

ЛОГИЧЕСКИЕ

ОСНОВЫ ЭВМ

## Таблицы истинности

Конъюнкция

<b>A</b>	<b>B</b>	<b>A &amp; B</b>
0	0	0
1	0	0
0	1	0
1	1	1

Дизъюнкция

<b>A</b>	<b>B</b>	<b>A    B</b>
0	0	0
1	0	1
0	1	1
1	1	1

Отрицание

<b>A</b>	<b>¬A</b>
0	1
1	0

При конъюнкции (логическом И) истина (1) бывает только в случае, если все простые выражения истинны.

При дизъюнкции (логическом ИЛИ) ложь (0) бывает только в случае, если все простые выражения ложны.

При логическом НЕ (отрицании) истина возникает тогда, когда значение исходного выражения ложно.

## Таблица истинности для сумматора

Входы			Выходы	
a	b	$P_i$	S	$P_{i+1}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
1	0	0	1	0
0	1	1	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

a - первое слагаемое

b - второе слагаемое

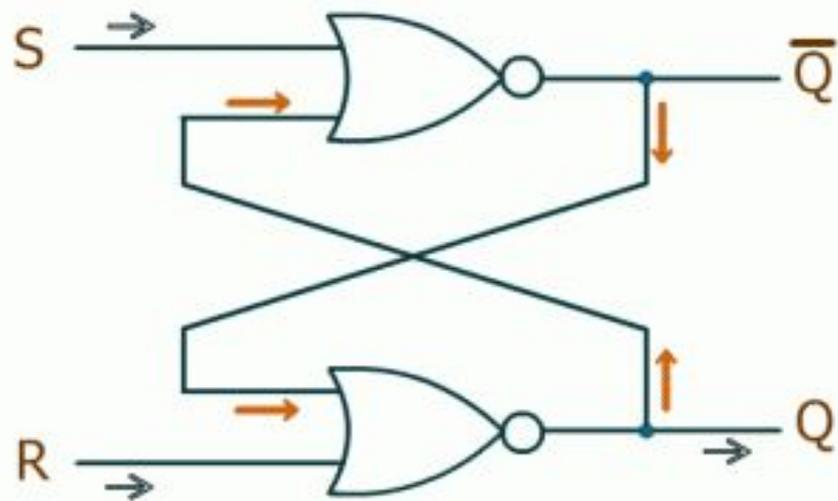
S - сумма разряда

$P_i$  - перенос из младшего разряда

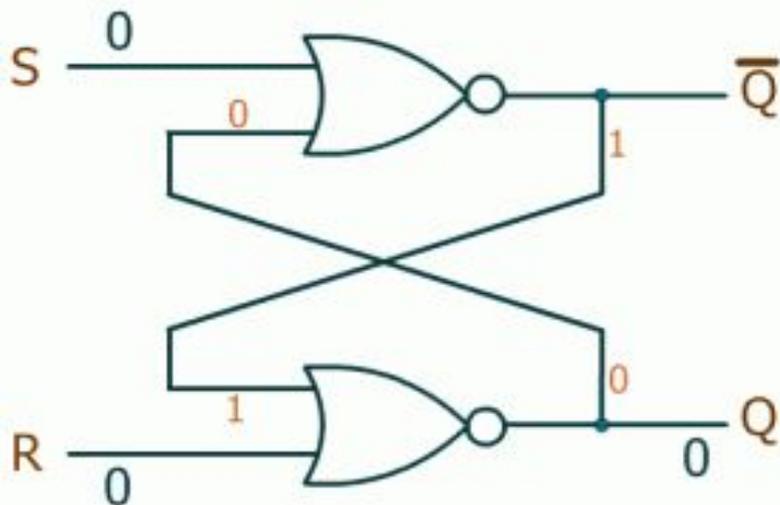
$P_{i+1}$  - перенос в старший разряд

Таблица истинности отражает, при каких входных значениях a и b, а также переноса из предыдущего разряда ( $P$ ), будут получены те или иные значения суммы (S) и переноса ( $P$ ) текущего разряда.

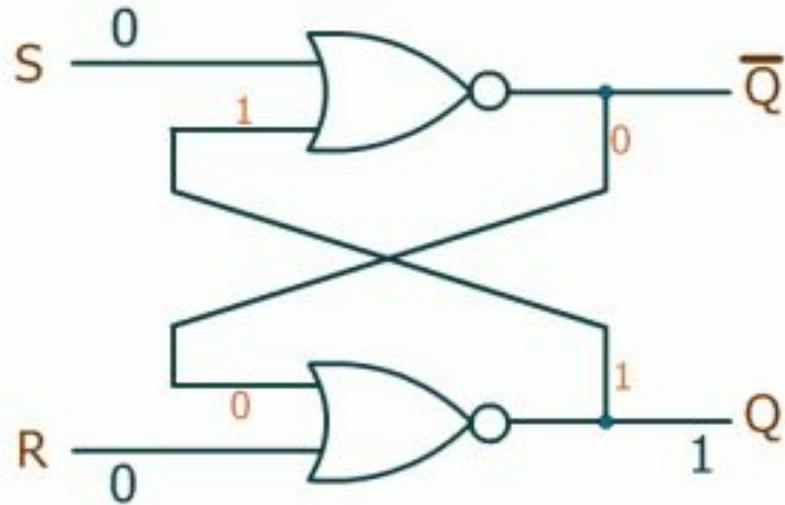
# Схема RS-триггера на вентилях ИЛИ-НЕ



Хранение нуля



Хранение единицы

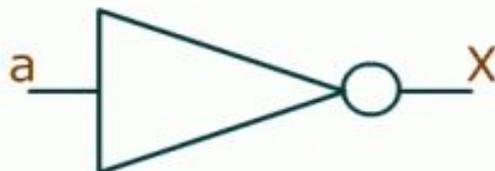


# Основные вентили: НЕ, ИЛИ-НЕ, И-НЕ

Обозначения

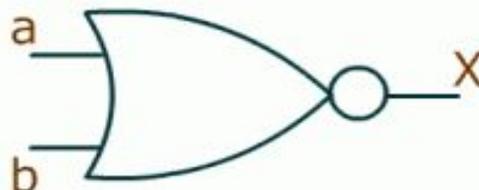
Таблицы истинности

НЕ



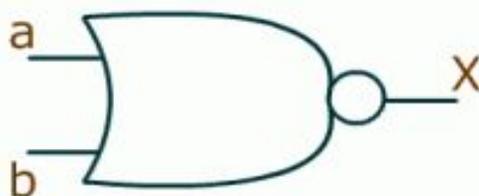
a	X
0	1
1	0

ИЛИ-НЕ



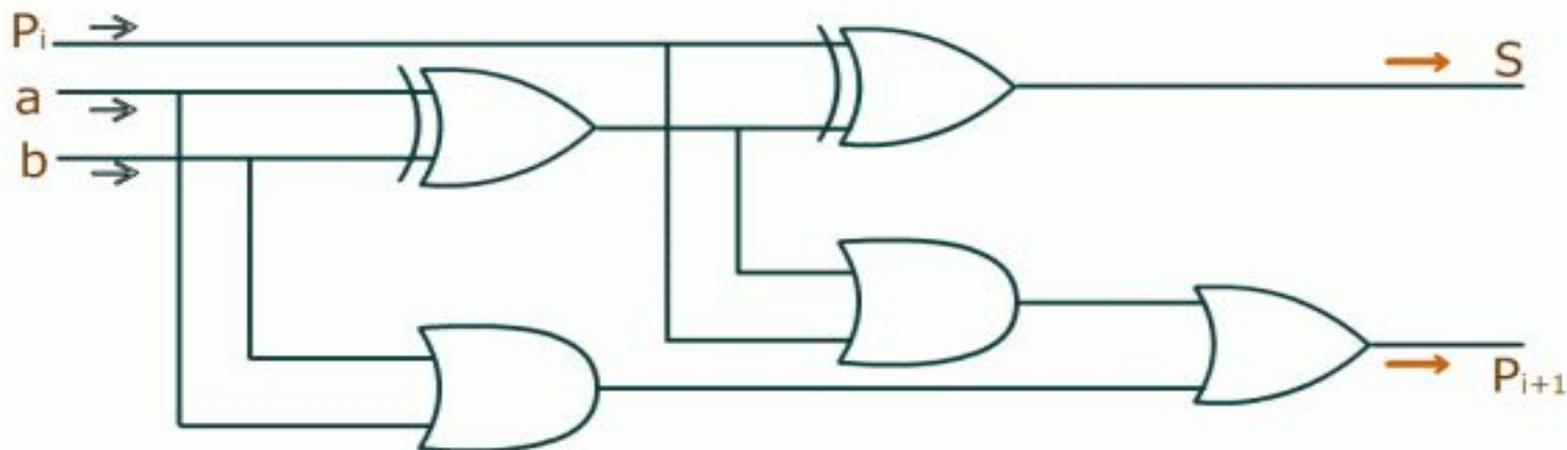
a	b	X
0	0	1
0	1	0
1	0	0
1	1	0

И-НЕ



a	b	X
0	0	1
0	1	1
1	0	1
1	1	0

## Схема сумматора

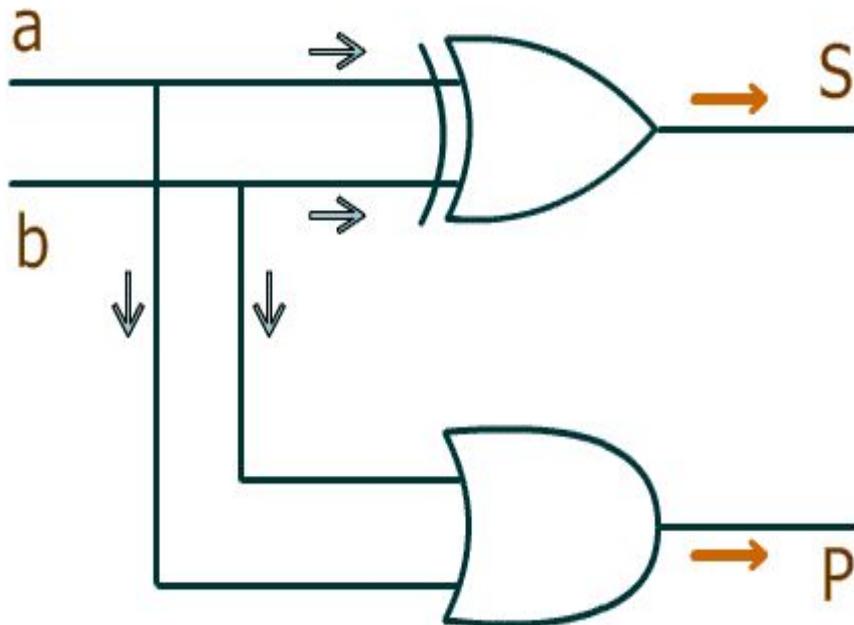


a - первое слагаемое  
b - второе слагаемое  
S - сумма разряда  
 $P_i$  - перенос из младшего разряда  
 $P_{i+1}$  - перенос в старший разряд

**Сумматор** является составной частью АЛУ. Осуществляет операции сложения  $n$ -разрядных двоичных чисел.

На схеме изображен сумматор, реализующий суммирование одного разряда. Полный сумматор состоит из серии таких элементов (количество зависит от разрядности обрабатываемых слов).

# Схема полусумматора



a - первое слагаемое

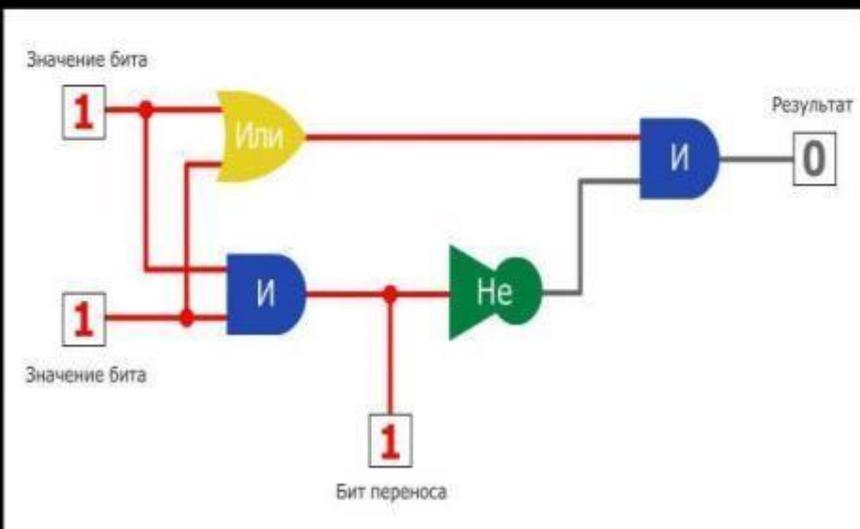
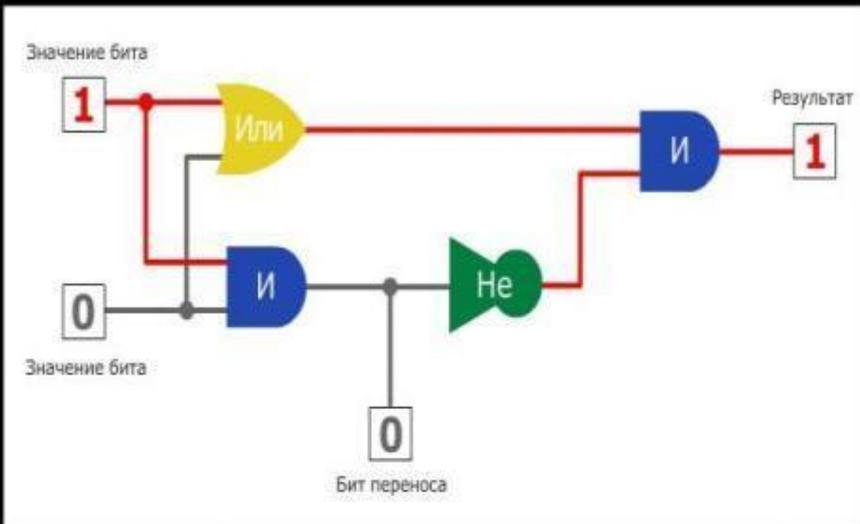
b - второе слагаемое

S - сумма разряда

P - перенос в следующий разряд

**Полусумматор** - составная часть сумматора. На схеме изображен полусумматор, состоящий из вентилей ИСКЛЮЧАЮЩЕЕ ИЛИ и И. S (сумма) равна единицы, если только одно значение (a или b) равно единице. Если значения обоих входных переменных совпадают, то сумма текущего разряда равна нулю. P (перенос) равен единице, если оба входных значения равны единицы. Во всех остальных случаях значение переноса равно нулю.

## Примеры работы полусумматора



Показанный здесь полусумматор состоит из вентиля ИЛИ, вентиля НЕ и двух вентилях И, складывает два одноразрядных двоичных числа.

Ток с двух входов направляется на вентили ИЛИ и И. В первом случае направляются 1 и 0. Вентиль ИЛИ дает 1, а вентиль И - 0. Затем вентиль НЕ инвертирует 0 на 1, которая вместе с другой 1 от вентиля ИЛИ поступает на второй вентиль И. В результате получается 1, а бит переноса отсутствует.

Во втором случае складываются 1 и 1. Возникает бит переноса, а НЕ инвертирует 1 на 0, в результате чего на выходе получается 0.