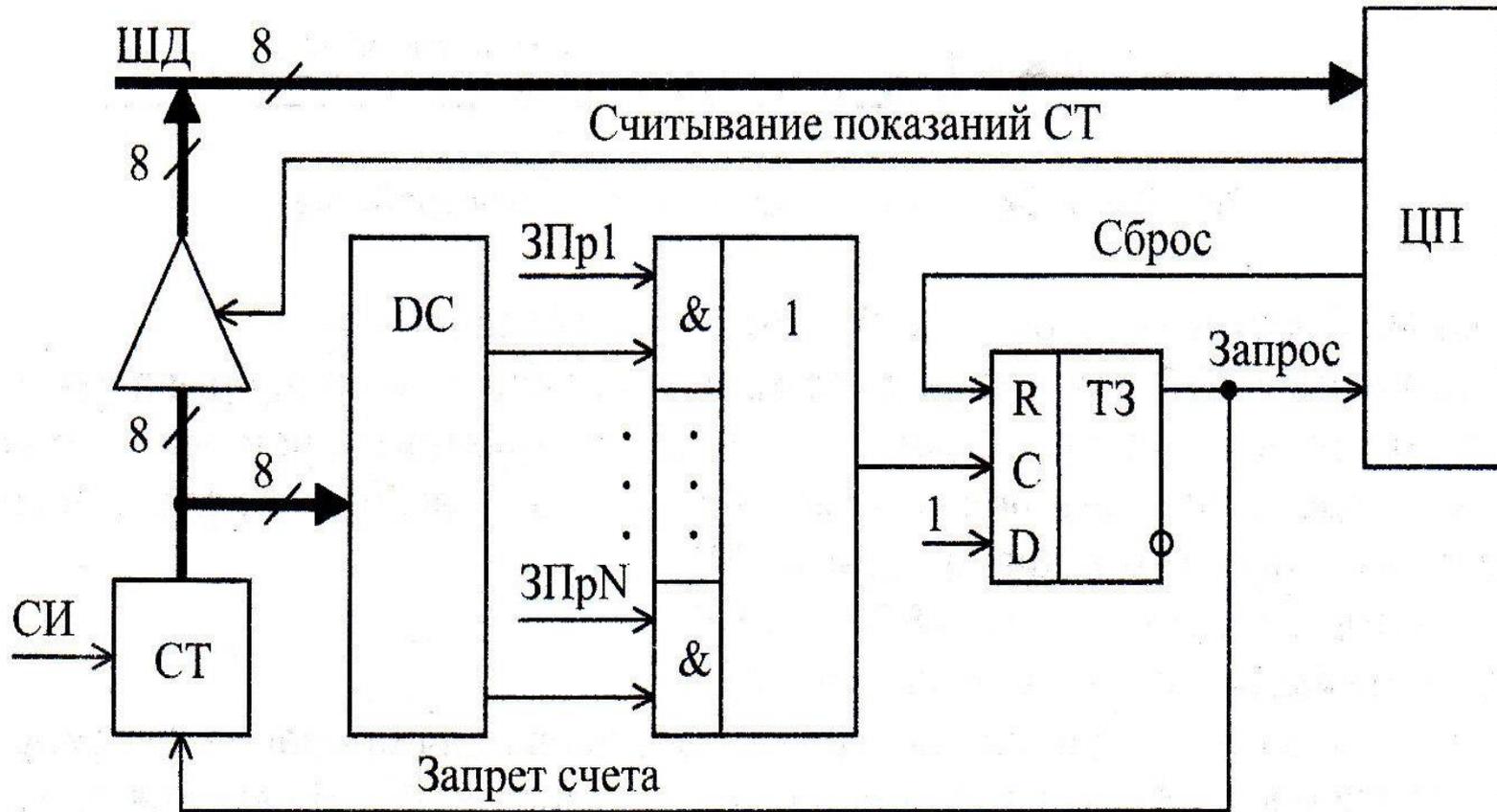


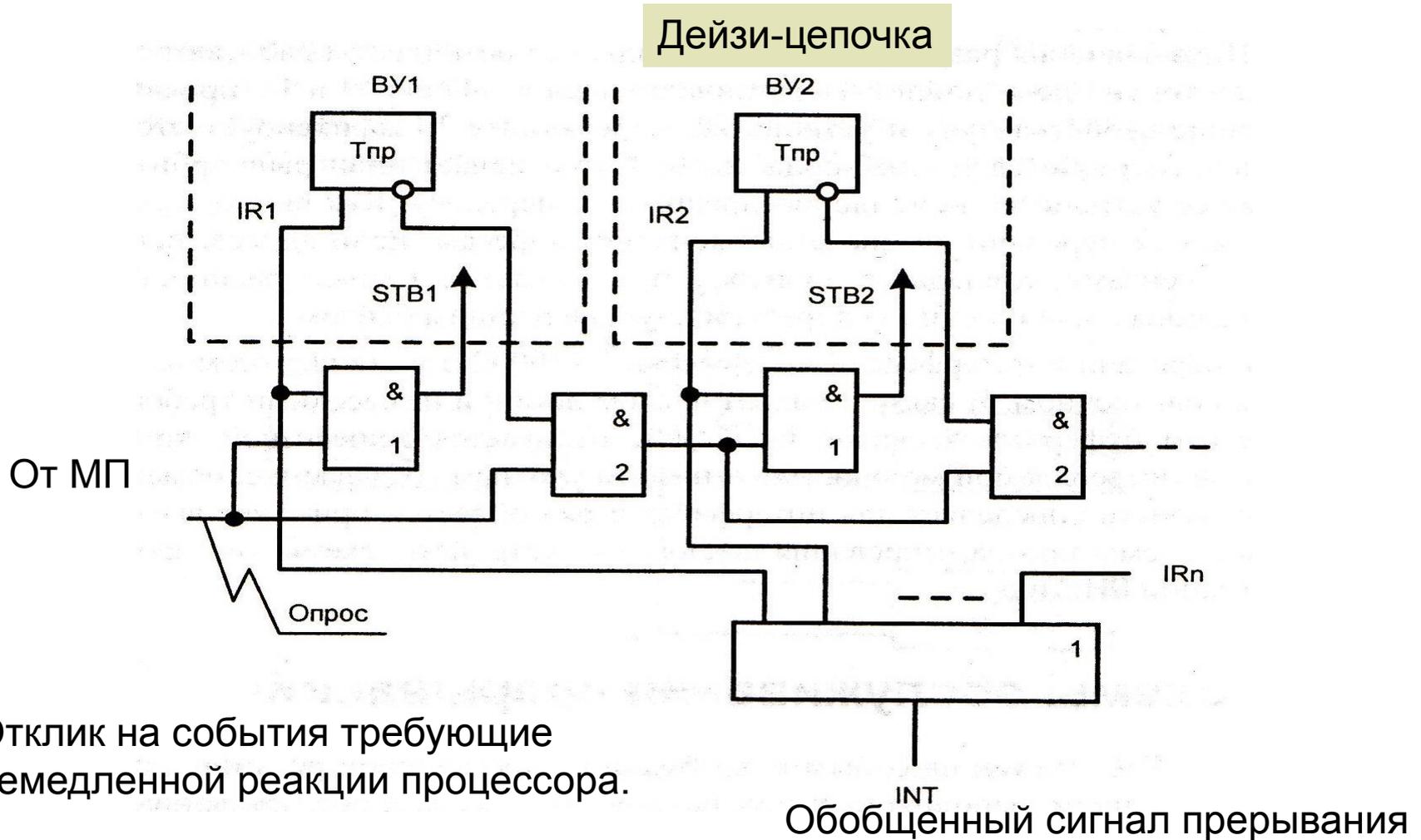
# Контроллеры прерывания и ПДП

Цель лекции: изучить структуру и принципы работы контроллера прерываний, контроллера прямого доступа к памяти

# Схемная идентификация источников прерывания – последовательный опрос

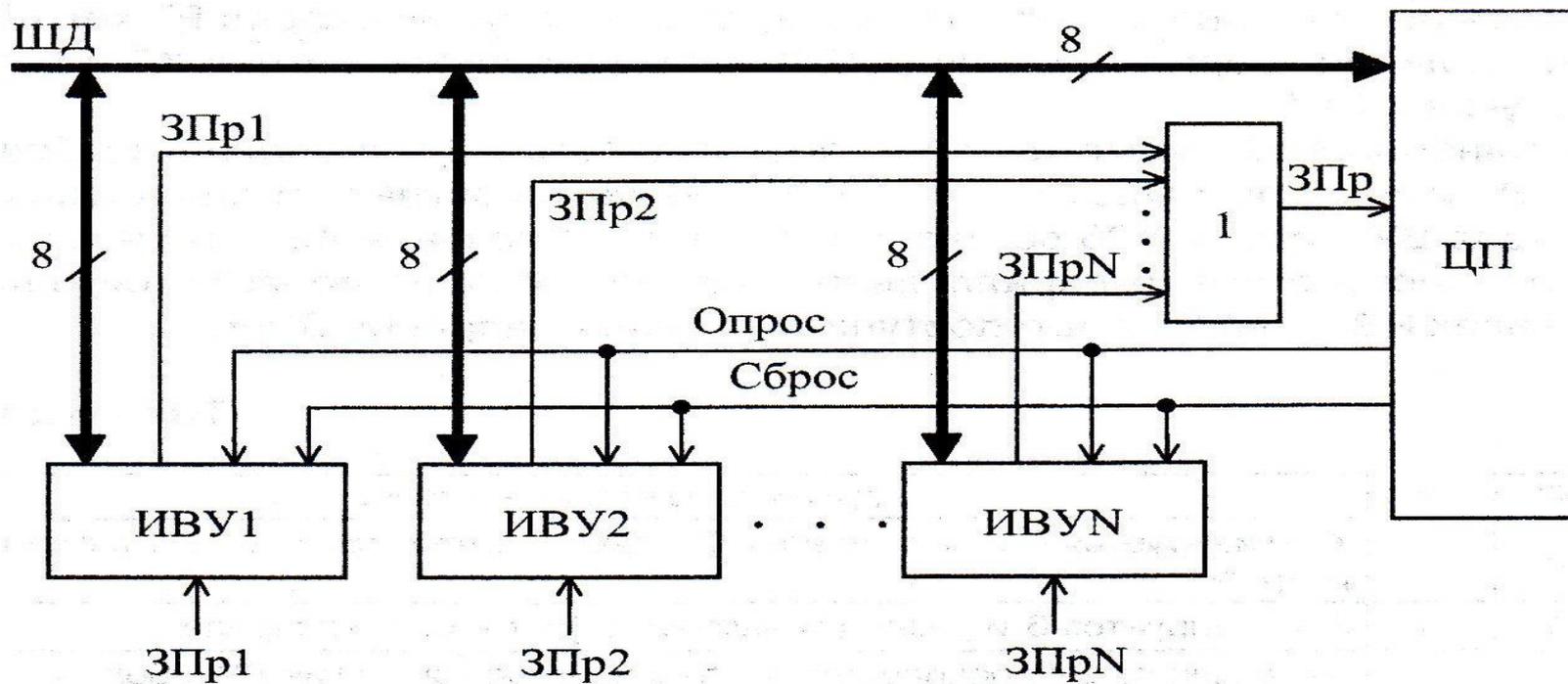


# Аппаратный поллинг источников прерывания – последовательный опрос



Отклик на события требующие немедленной реакции процессора.

# Схемная идентификация источников прерывания – параллельный опрос



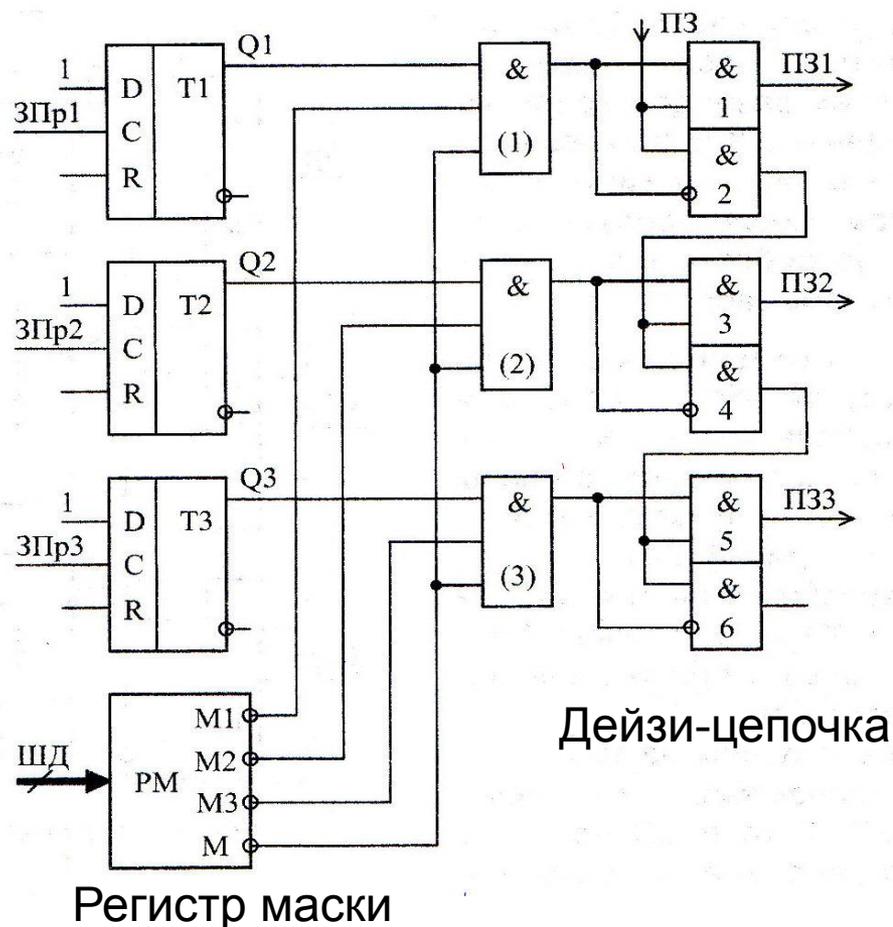
ИВУ – интерфейсы внешних устройств.

# Маскирование прерываний

- Источники прерываний, расположенные в конце опросного списка игнорируются из-за своего низкого приоритета и при длительном обслуживании прерываний с высоким приоритетом могут оказаться не обслуженными.
- Одной из мер обслуживания прерываний низкого уровня является временное отключение системы прерываний – через регистры разрешения прерывания или регистры маски.

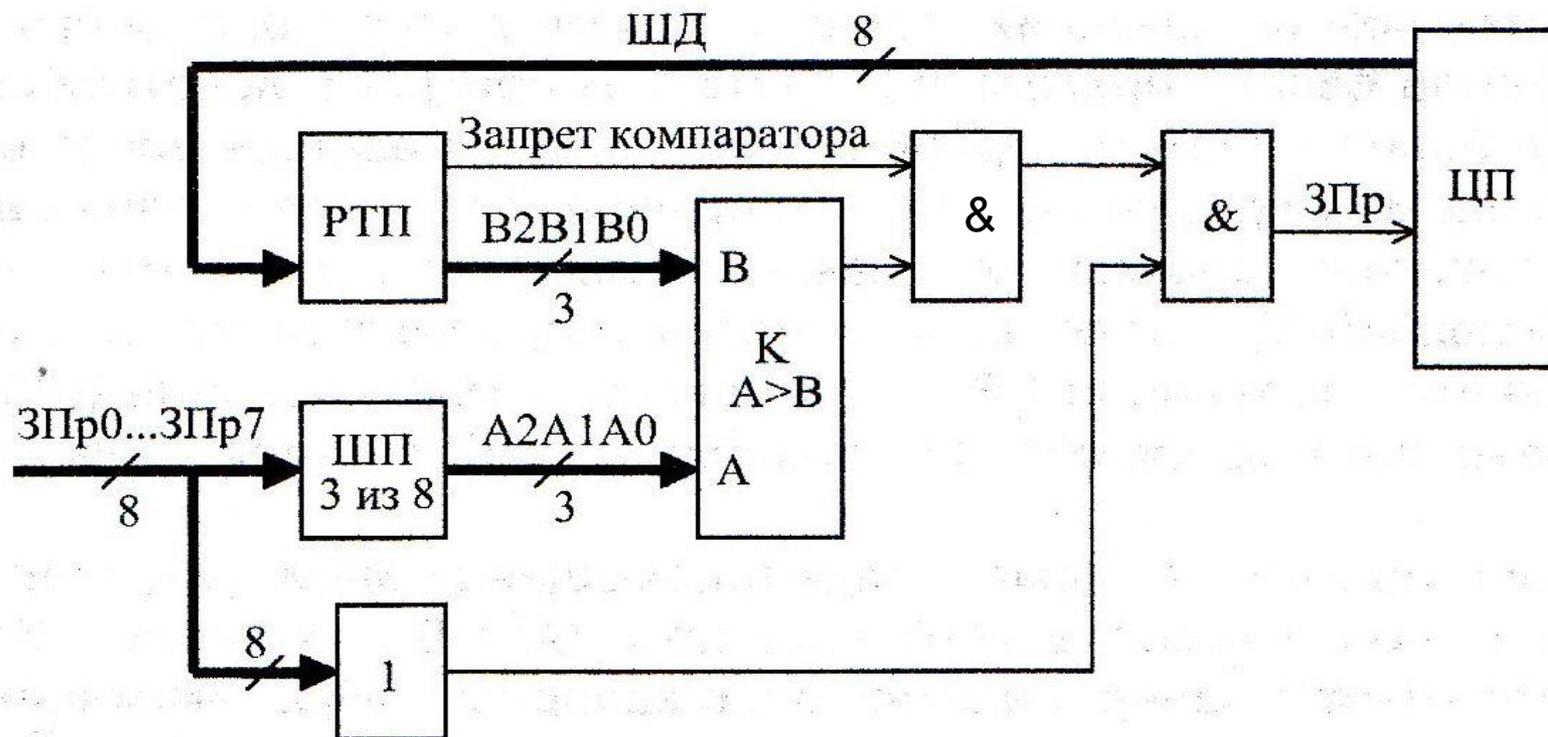
# Маскирование с использованием регистра маски

С помощью регистра маски можно разрешить обработку прерывания для определенного звена.



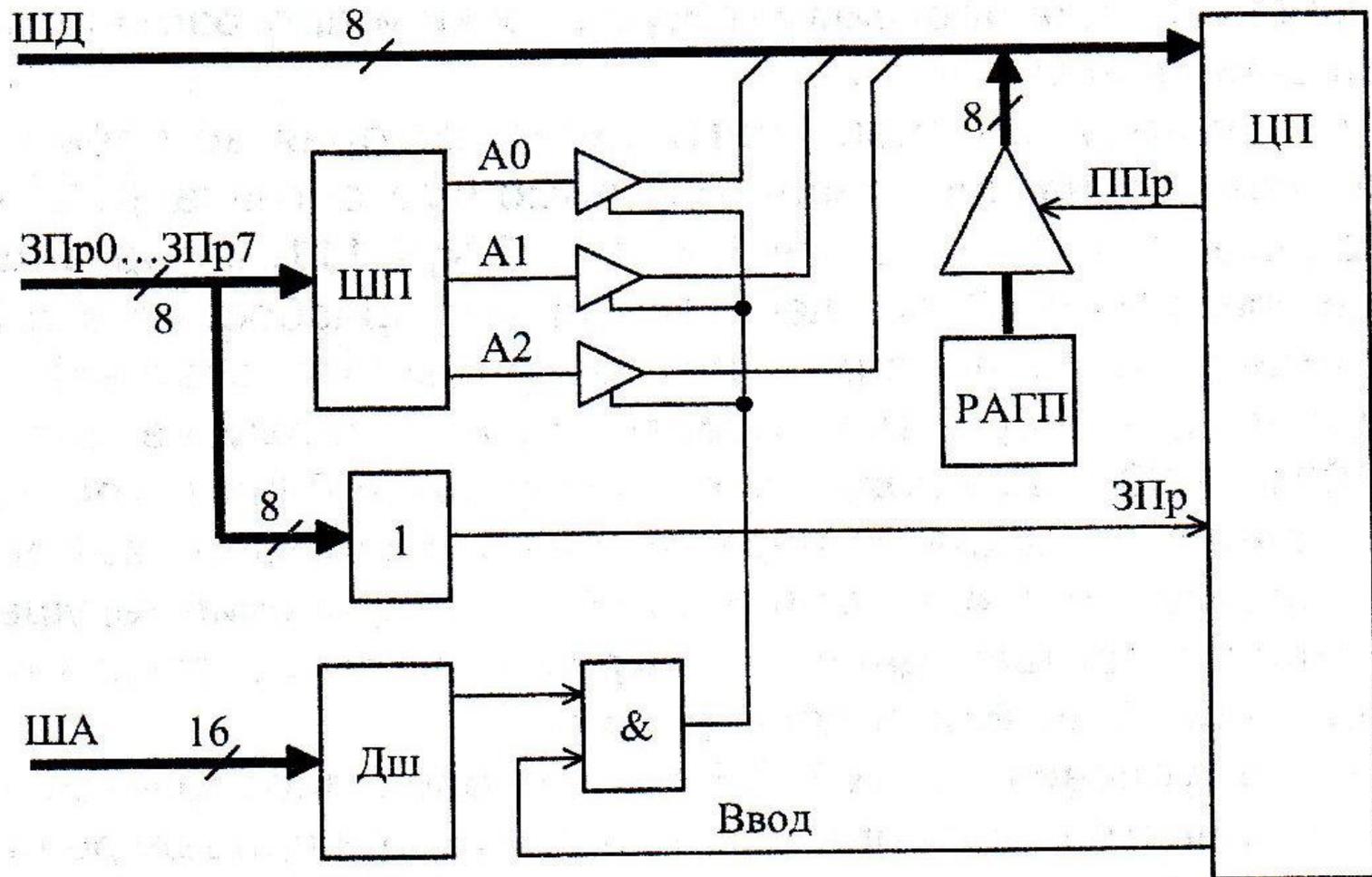
# Маскирование с использованием компаратора

РТП – регистр текущего приоритета хранит код обслуживаемого устройства

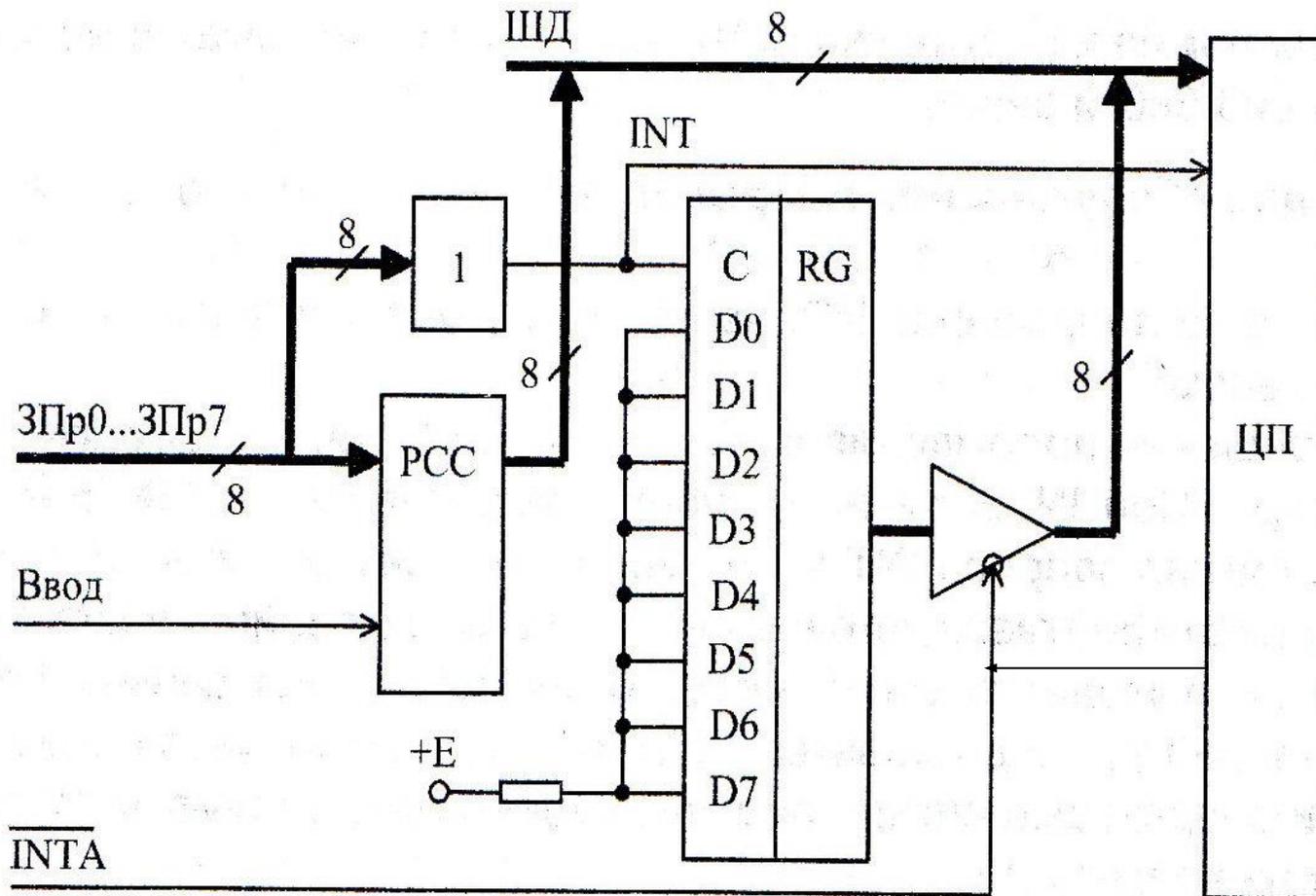


ШП – шифратор приоритетов, выделяющий из поступивших на вход запросов выделить запрос с наивысшим приоритетом.

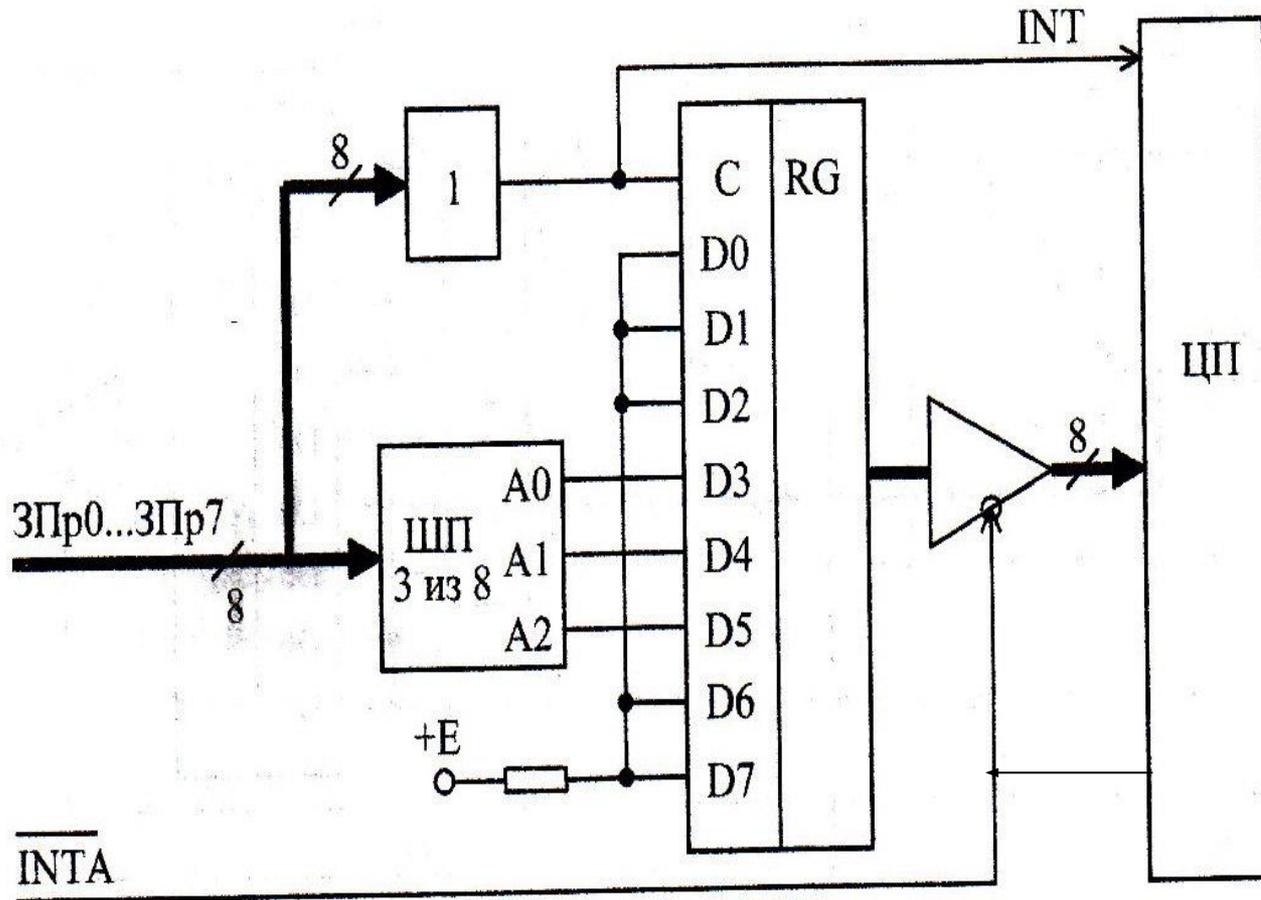
# Векторная система прерываний с шифратором приоритетов



# Система с одним вектором прерывания



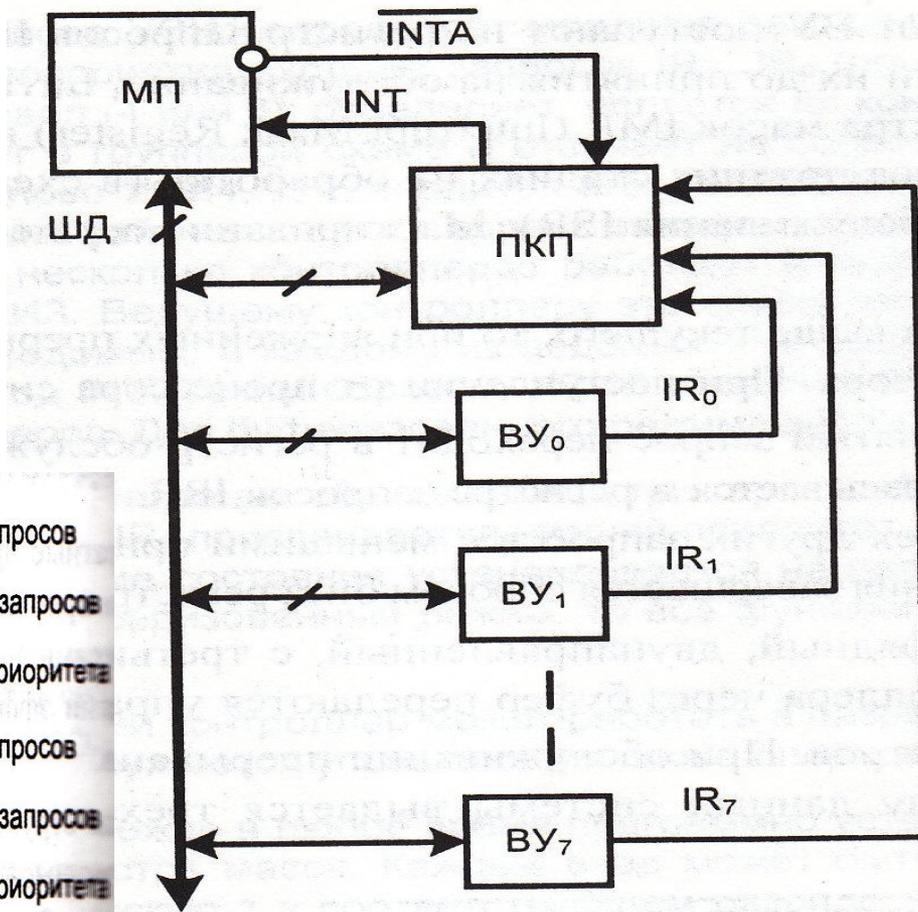
# Система с 8 векторами прерываний



# Контроллер прерываний в микропроцессорной системе

Прерывания с фиксированным приоритетом.

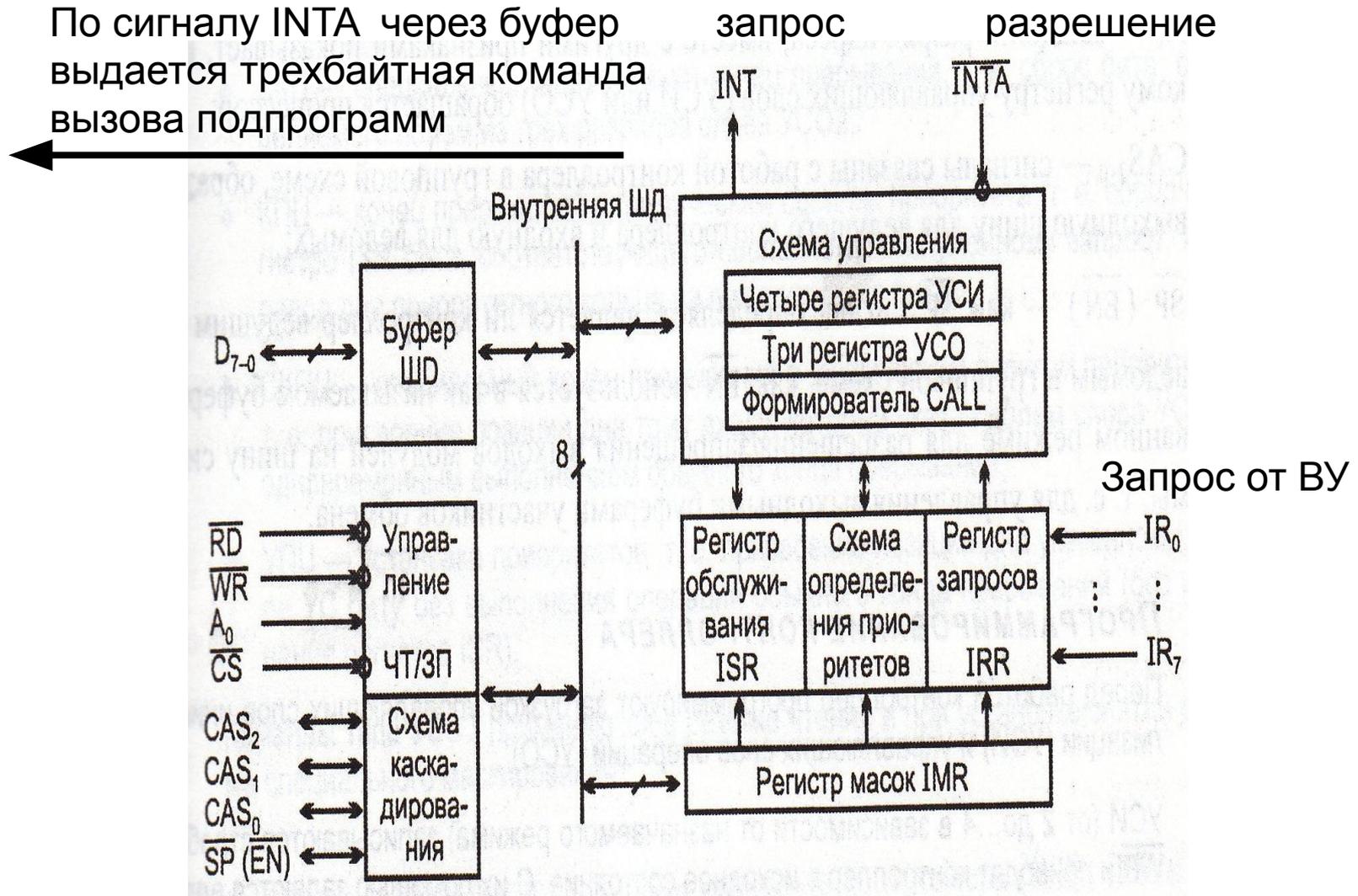
Прерывания с циклическим приоритетом.



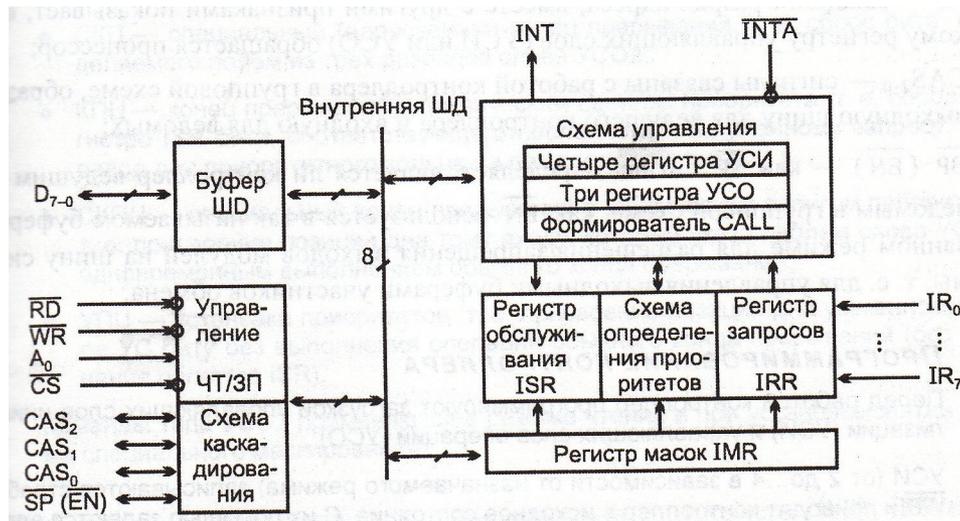
	IR <sub>7</sub>	IR <sub>6</sub>	IR <sub>5</sub>	IR <sub>4</sub>	IR <sub>3</sub>	IR <sub>2</sub>	IR <sub>1</sub>	IR <sub>0</sub>	Входы запросов
До обслуживания	0	1	0	1	0	0	0	0	Наличие запросов
	7	6	5	4	3	2	1	0	Уровни приоритета
	IR <sub>7</sub>	IR <sub>6</sub>	IR <sub>5</sub>	IR <sub>4</sub>	IR <sub>3</sub>	IR <sub>2</sub>	IR <sub>1</sub>	IR <sub>0</sub>	Входы запросов
После обслуживания	0	1	0	0	0	0	0	0	Наличие запросов
	2	1	0	7	6	5	4	3	Уровни приоритета

# Структура контроллера прерываний

По сигналу INTA через буфер выдается трехбайтная команда вызова подпрограмм



# Структура контроллера прерываний - регистр управления УСИ



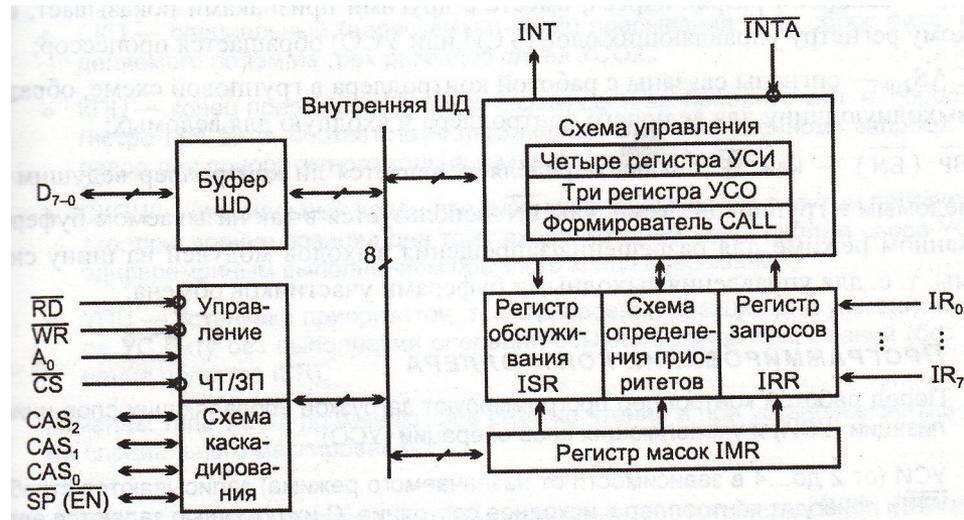
УСИ1 – определяет младшие разряды адресов подпрограмм, задает способ восприятия входных запросов IR по фронтам или по уровню, является ли контроллер единственным.

УСИ2 – содержит старший байт начального адреса зоны подпрограмм обслуживания прерываний.

УСИ3 – загружается при каскадировании контроллеров прерываний и отражает физическую схему соединений.

УСИ4 – используется при каскадировании.

# Структура контроллера прерываний – регистр управления УСО



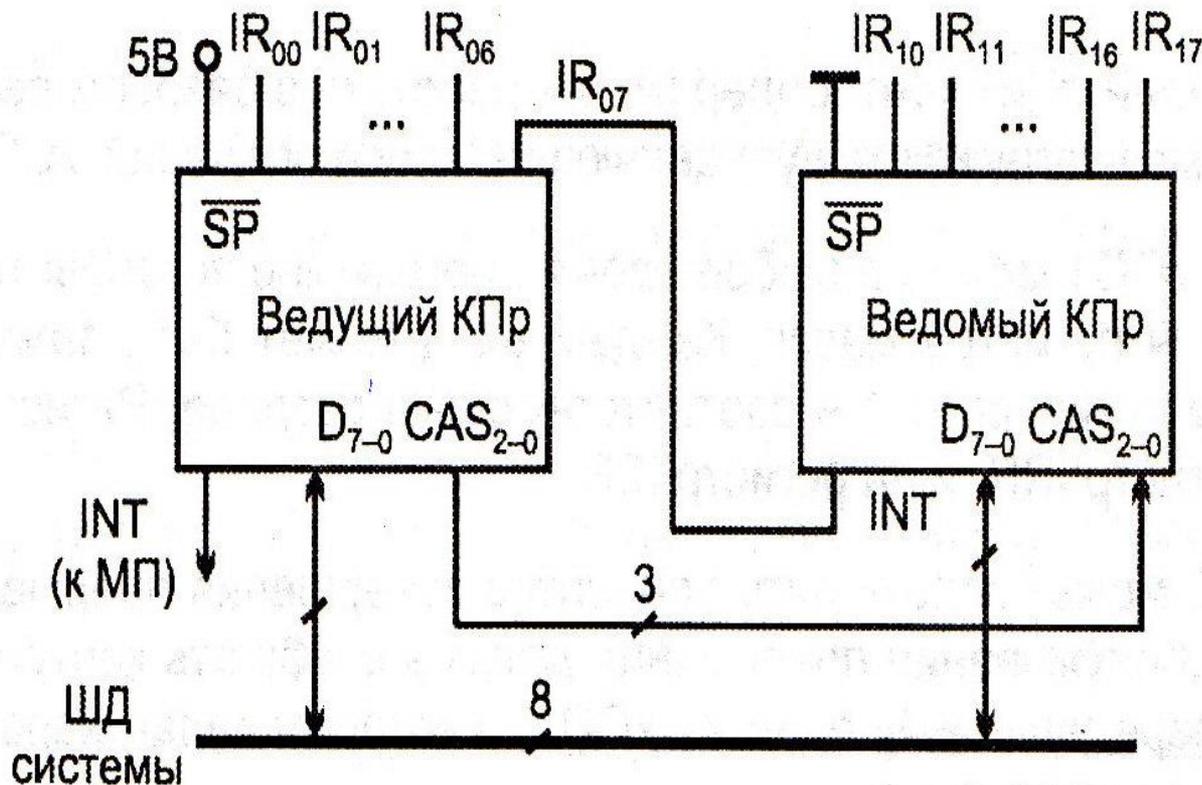
УСО1 – позволяет в любое время программно установить или сбросить регистр масок.

УСО2 – может задать пять вариантов завершения прерываний:

- КП – конец прерываний, сброс бита ISR;
- СКП – специальный (адресуемый) конец прерываний;
- КПЦ – конец прерываний с циклическим сдвигом приоритета;
- СКПЦ – специальный конец прерываний с циклическим сдвигом приоритета;
- УПЦ – установка приоритетов

# Каскадное включение контроллеров прерывания

Каскадирование позволяет расширить число обрабатываемых запросов. Возможно каскадирование до 8 контроллеров.



# Контроллер прямого доступа к памяти (DMA – Direct Memory Access)

- Для обмена данными между устройствами внешней памяти и оперативной памяти программный способ обмена и обмен по прерываниям - не подходят.
- ПРИЧИНЫ – обмен происходит блоками фиксированного размера в строгой последовательности. Время на передачу одного байта строго фиксировано и ограничено внешними причинами.
- Не требуется сохранения контекста программы.

# Схема взаимодействия блоков микропроцессорной системы при ПДП



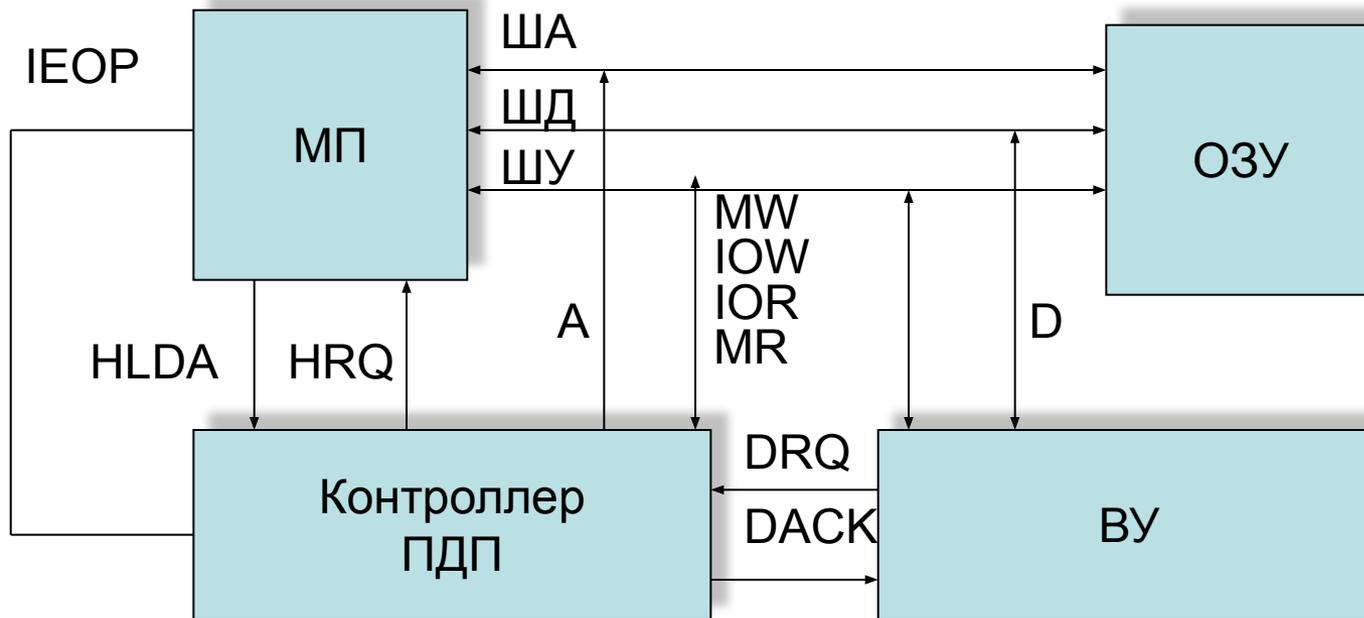
# Виды ПДП

- С захватом цикла. Обмен байтами в моменты когда процессор не обращается к памяти. Случайные и нерегулярные передачи.
- С захватом цикла и принудительным отключением ЦП от шины адреса и данных. Передача регулярная , но по байтная.
- С блокировкой процессора. Управление шиной передается контроллеру ПДП на время передачи блока данных.

# Структура МПС с контроллером ПДП

DRQ – запрос ПДП.

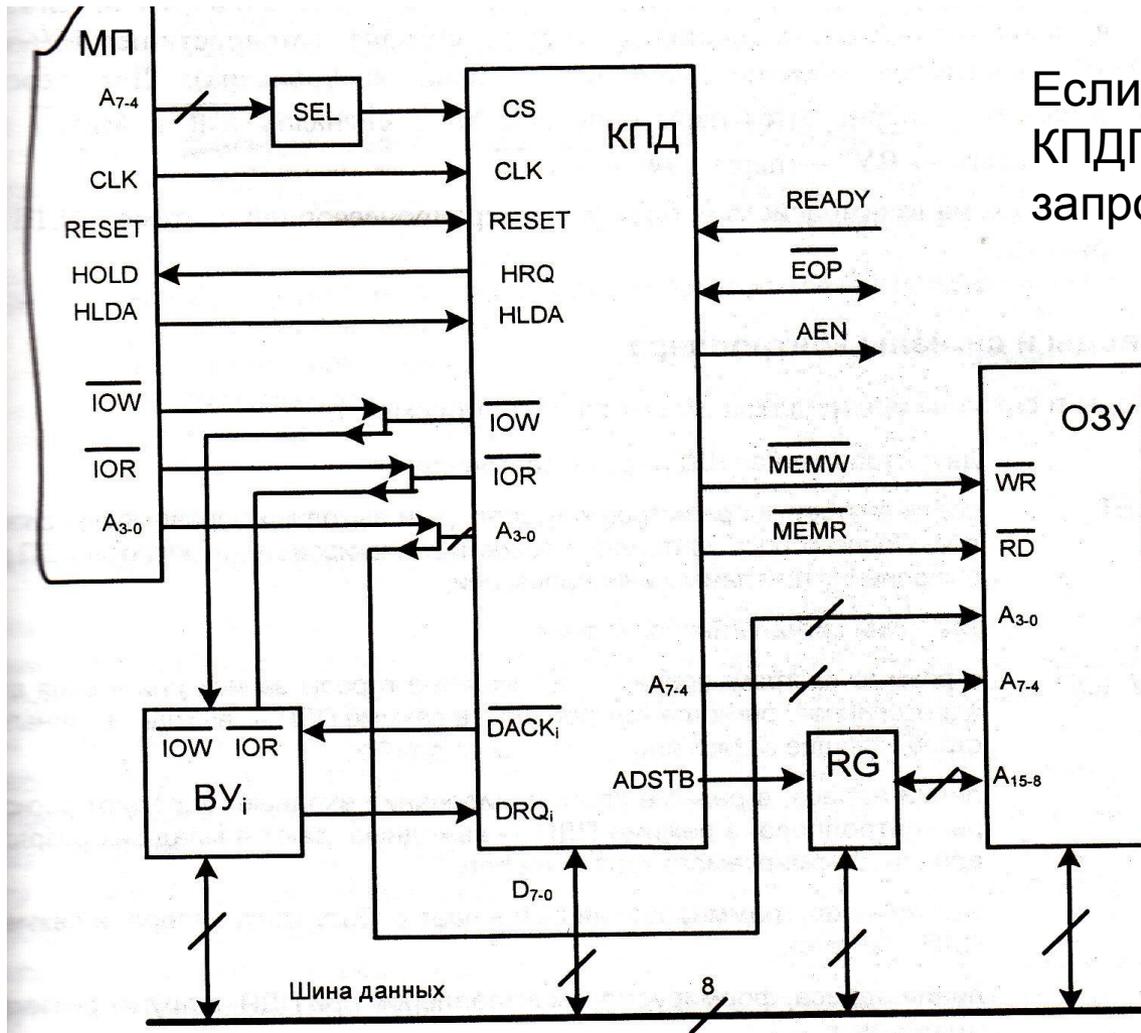
DACK - сообщение о начале цикла ПДП.



HRQ – запрос на захват шины.

HLDA – подтверждение о переводе шин МП в третье состояние.

# Взаимодействие ЦП, памяти и ВУ с контроллером ПДП



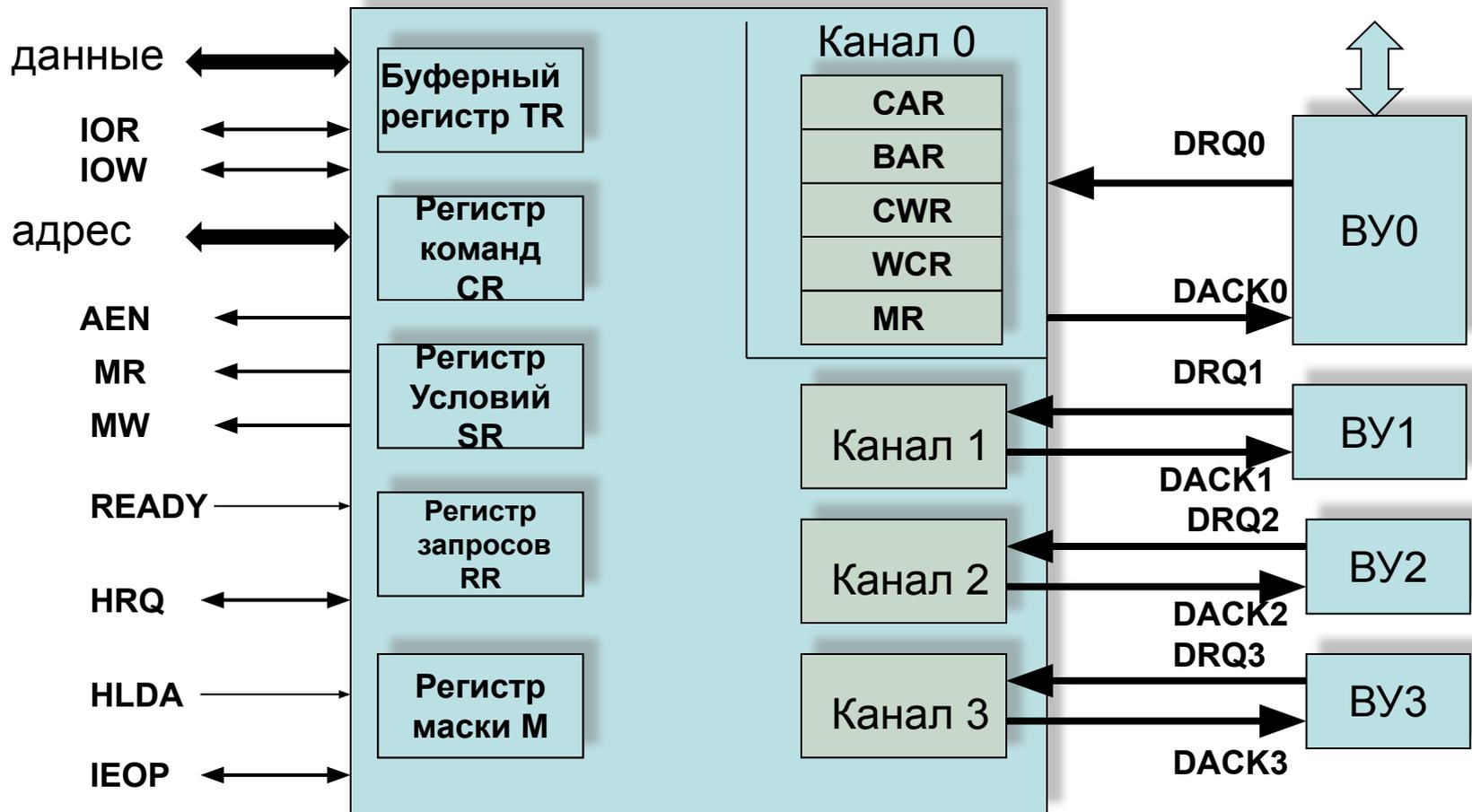
Если нет запросов от ВУ, КПДП может быть запрограммирован процессором

Режим ПДП может применяться для перемещения блоков внутри оперативной памяти

# Последовательность ПДП

1. Принять запрос на ПДП от ВУ ( сигнал DRQ).
2. Сформировать запрос к МП на захват шины (сигнал HRQ).
3. Принять от МП сигнал подтверждения перевода схем приема передатчиков в третье состояние (HLDA).
4. Сформировать для ВУ сигнал о начале цикла ПДП (DACK).
5. Сформировать на шине адрес ячейки памяти для обмена.
6. Выработать сигналы управления, обеспечивающие обмен (MR,MW,IOR,IOW).
7. Уменьшить значение в счетчике данных.
8. Проверить условие окончания ПДП. Если счетчик данных не обнулен, то повторить пункты 5-8.
9. Если счетчик данных пуст выработать сигнал окончания ПДП – IEOP.

# Контроллер прямого доступа к памяти блок схема Intel 8237



# Наращивание числа каналов ПДП

