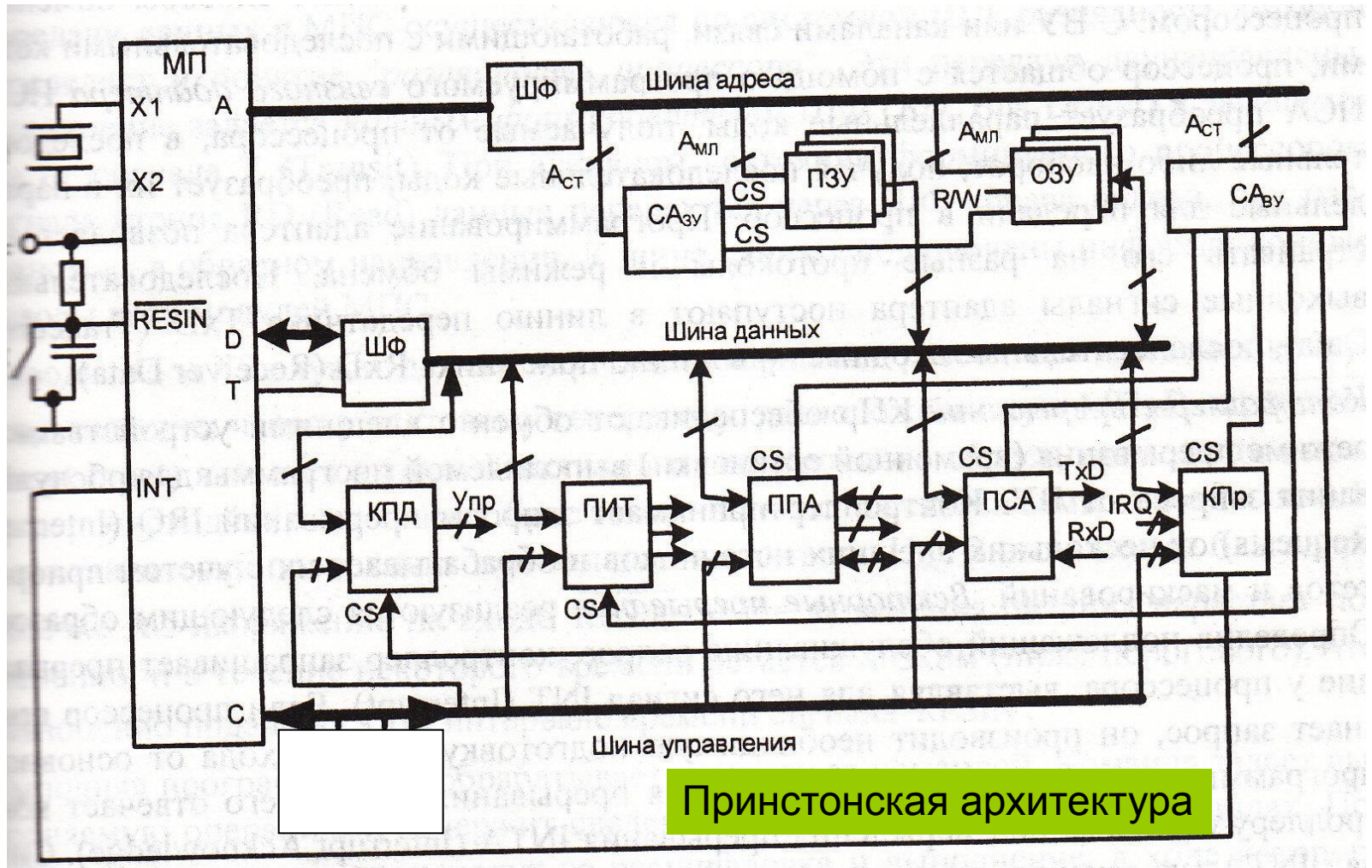


Простые микропроцессоры

Цель лекции: рассмотреть особенности структуры и функционирования микропроцессорной системы и схем обеспечивающих интерфейс ввода вывода.

Структура простой МПС

Магистрально-модульная структура

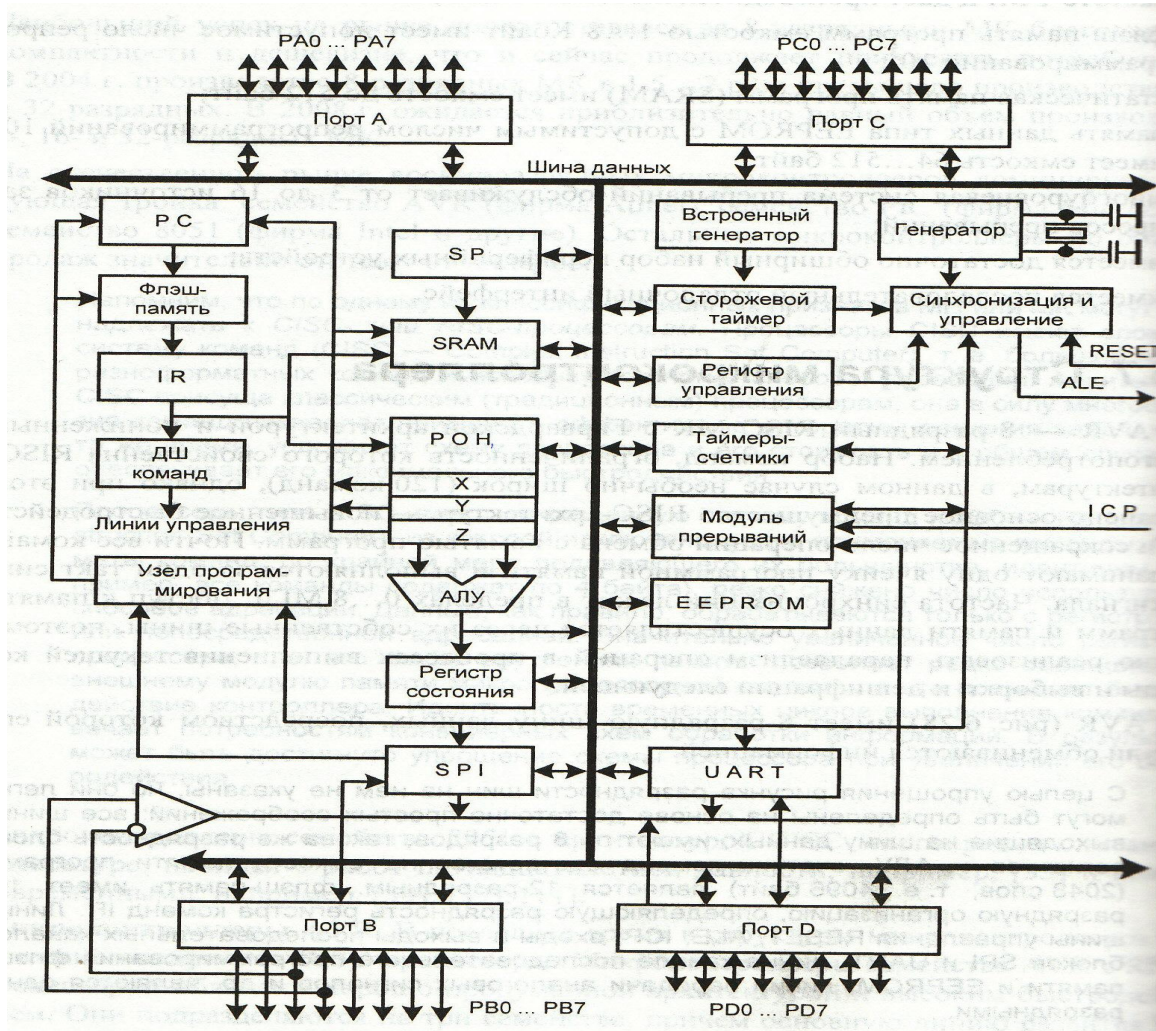


Характеристики микропроцессора



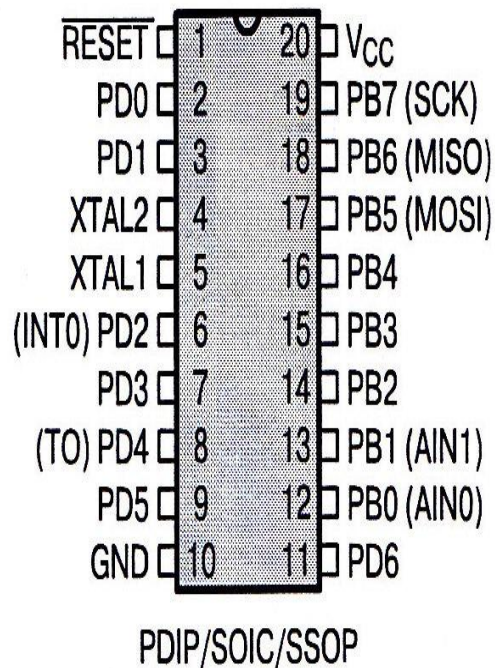
- Тип корпуса
- Назначение выводов
- Архитектура
- Год выпуска
- Кодовое название
- Количество транзисторов
- Ядро
- Кэш L1
- Кэш L2
- Размер минимальной структуры
- Тактовая частота шины
- Тактовая частота процессора
- Потребляемая мощность
- Интерфейс
- Набор команд

Структура контроллера ATME1



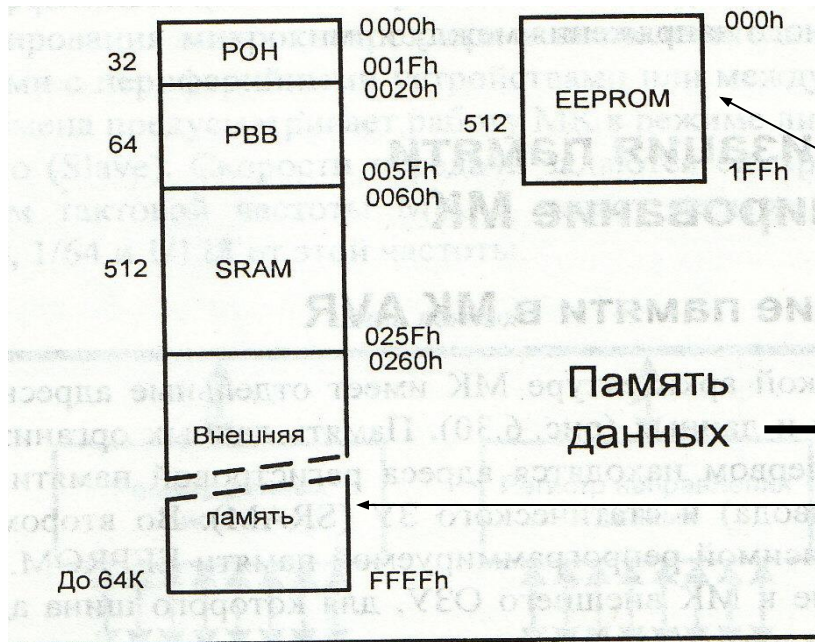
Расположение и назначение выводов корпуса

AT90S1200



Обозначение	Номер вывода	Тип вывода	Описание
XTAL1	5	I	Вход инвертора генератора и вход внешнего тактового сигнала
XTAL2	4	O	Выход инвертора генератора
$\overline{\text{RESET}}$	1	I	Вход сброса. При удержании на входе НИЗКОГО уровня в течение 50 нс выполняется сброс устройства
Порт В. 8-разрядный двунаправленный порт ввода/вывода с внутренними подтягивающими резисторами			
PB0 (AIN0)	12	I/O	B0 (Положительный вход компаратора)
PB1 (AIN1)	13	I/O	B1 (Отрицательный вход компаратора)
PB2	14	I/O	B2
PB3	15	I/O	B3
PB4	16	I/O	B4
PB5 (MOSI)	17	I/O	B5 (Вход данных при последовательном программировании (SPI))
PB6 (MISO)	18	I/O	B6 (Выход данных при последовательном программировании (SPI))
PB7 (SCK)	19	I/O	B7 (Вход тактового сигнала при последовательном программировании (SPI))
Порт D. 7-разрядный двунаправленный порт ввода/вывода с внутренними подтягивающими резисторами			
PD0	2	I/O	D0
PD1	3	I/O	D1
PD2 (INT0)	6	I/O	D2 (Вход внешнего прерывания)
PD3	7	I/O	D3
PD4 (T0)	8	I/O	D4 (Вход внешнего тактового сигнала таймера/счетчика T0)
PD5	9	I/O	D5
PD6	11	I/O	D6
GND	10	P	Общий вывод
V _{CC}	20	P	Вывод источника питания

Распределение памяти

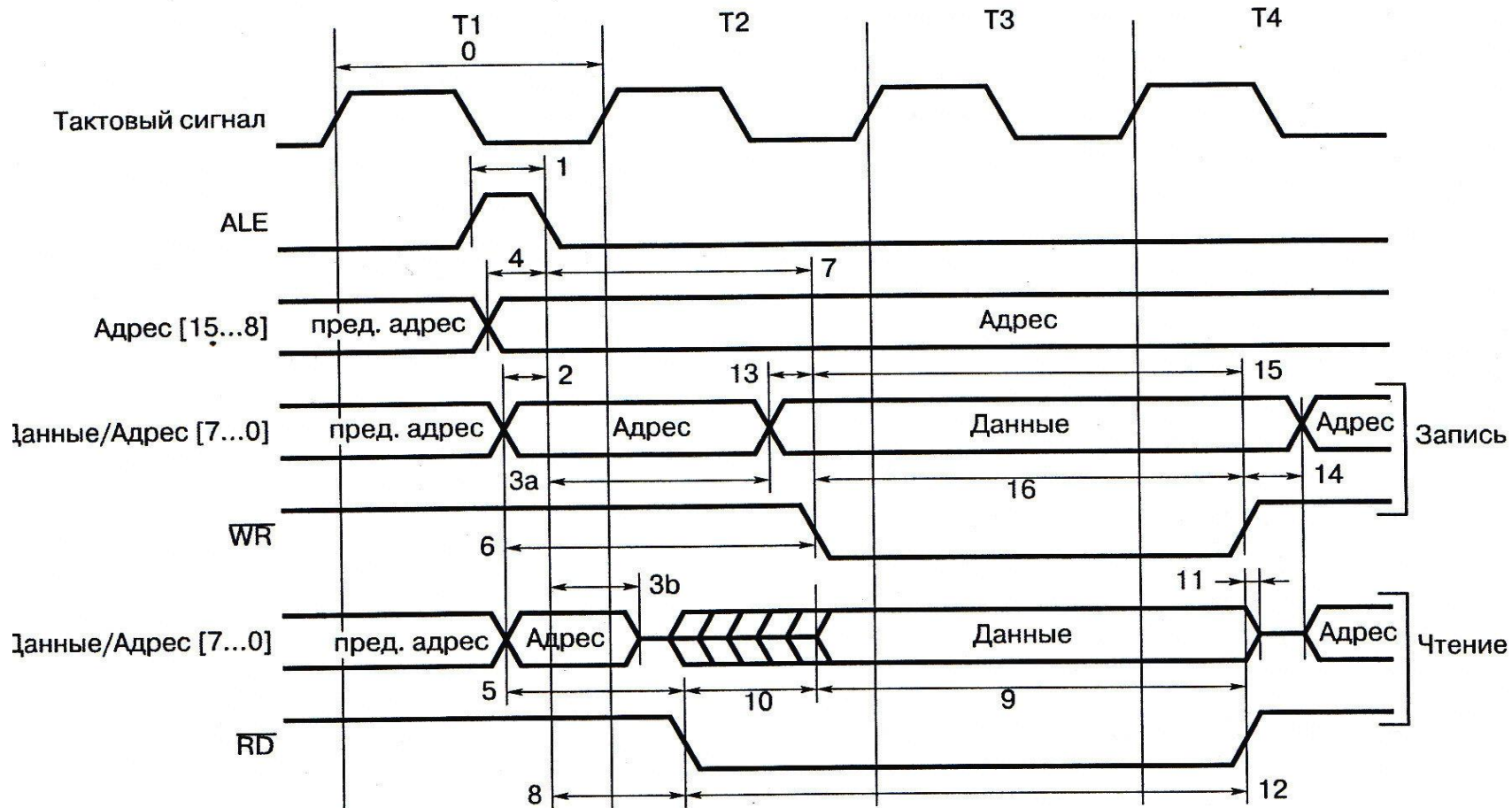


Гарвардская архитектура

Линейно организована и имеет два адресных пространства.

Линейно организована и имеет одно адресное пространство.

Временная диаграмма обращения ОЗУ



Интерфейсные схемы МПС

- **Интерфейс** – совокупность аппаратных и программных средств, обеспечивающих функциональную, электрическую и конструктивную совместимость устройств.

Шинные формирователи

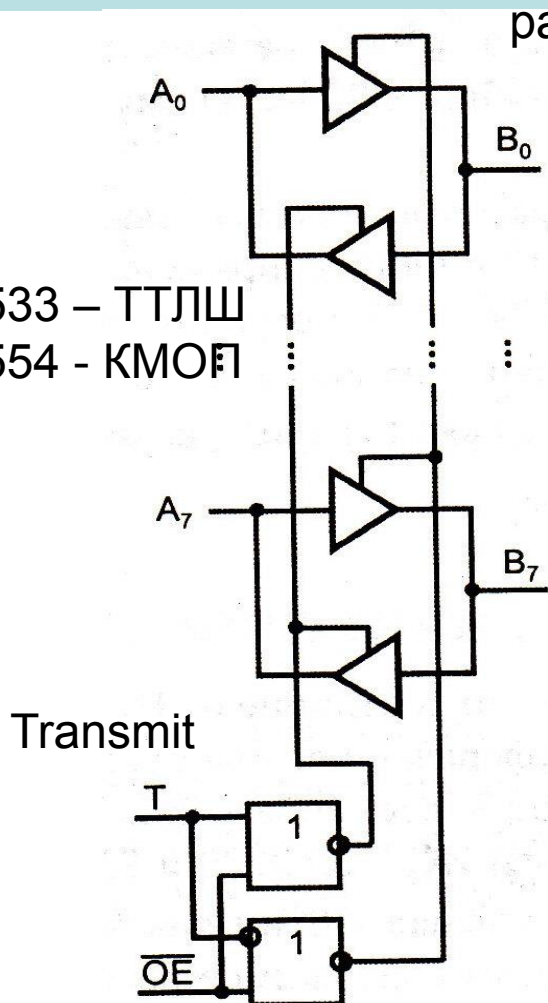
Буферные регистры

Параллельные порты ввода - вывода

Последовательные порты ввода - вывода

Шинные формирователи

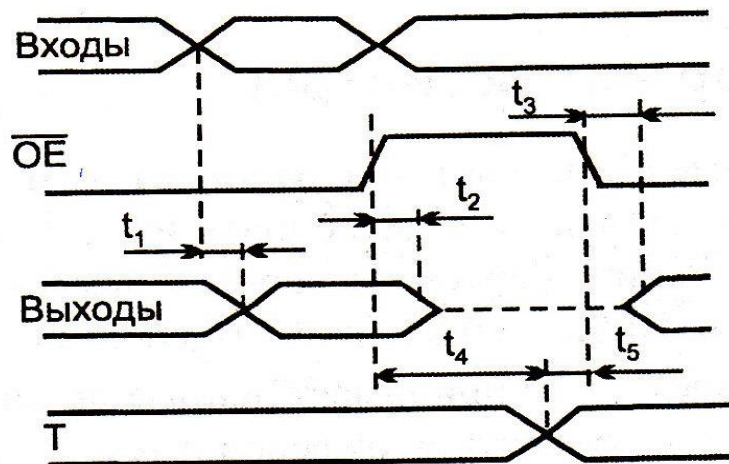
КР1533 – ТТЛШ
КР1554 - КМОФ



разрешение

направление

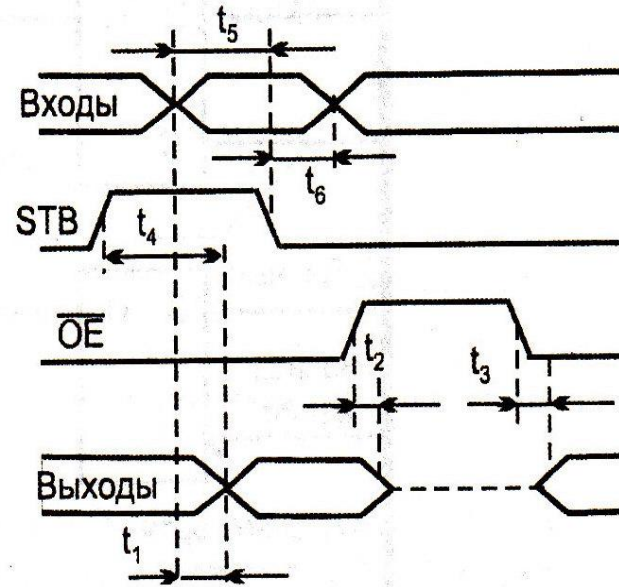
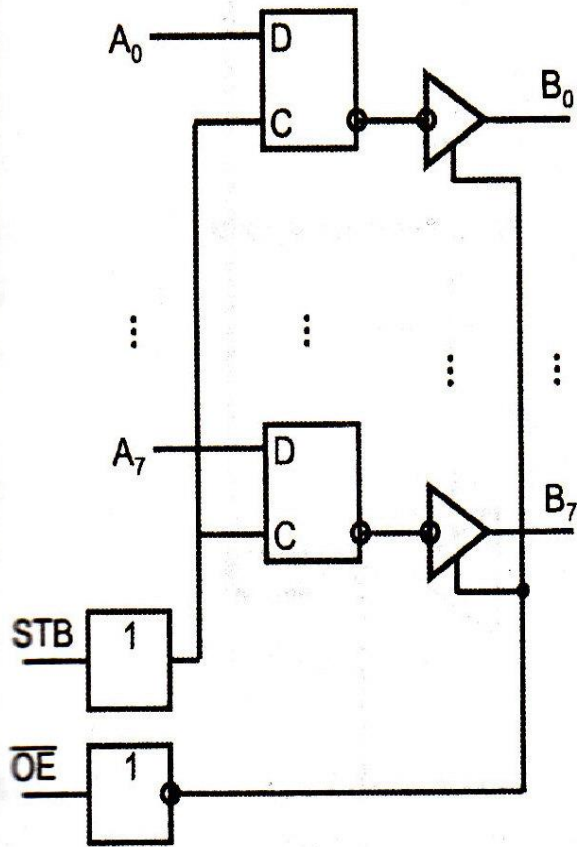
\overline{OE}	T	Режим
1	0	Нет передачи
1	1	Нет передачи
0	1	Передача от А к В
0	0	Передача от В к А



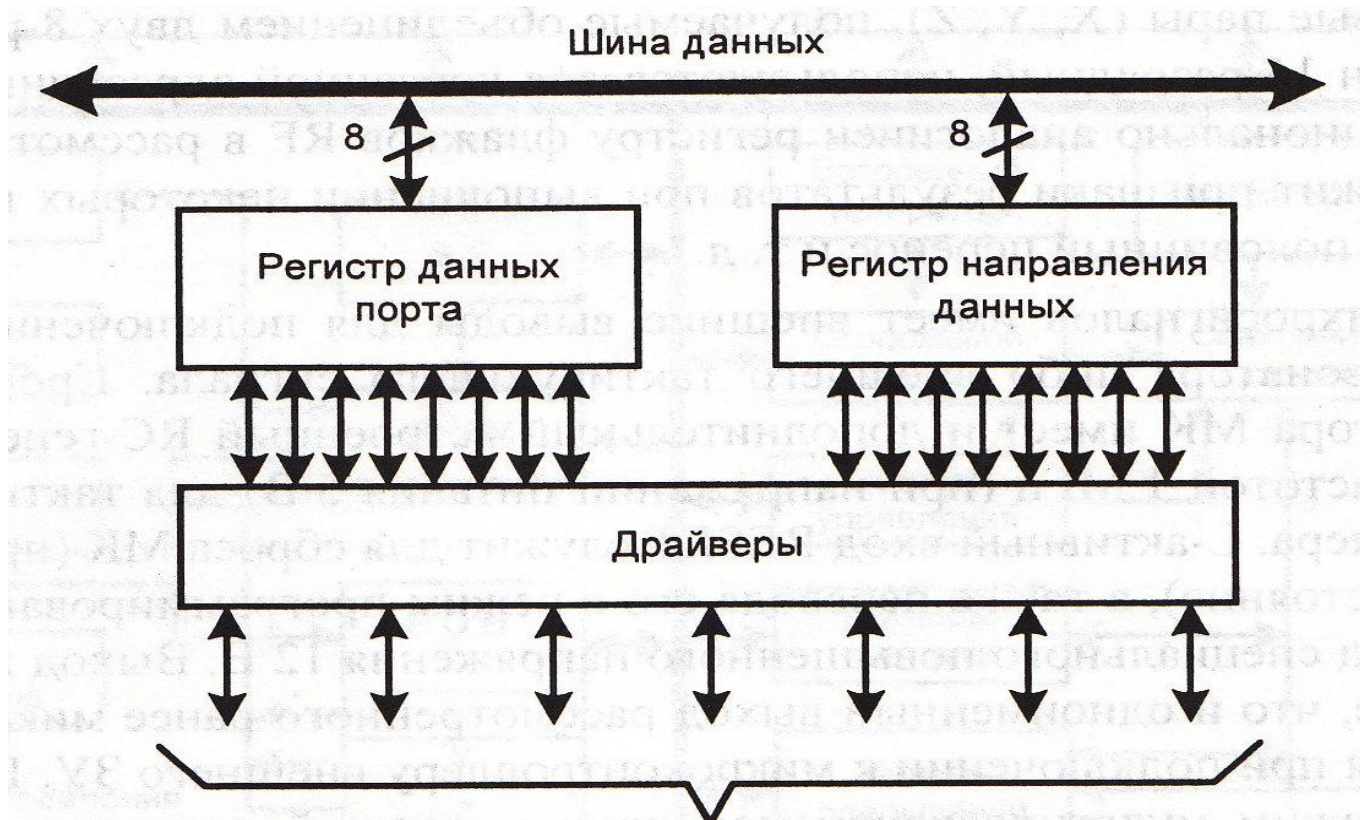
Разная нагрузочная способность входов-выходов

Буферные регистры

Временное хранение данных

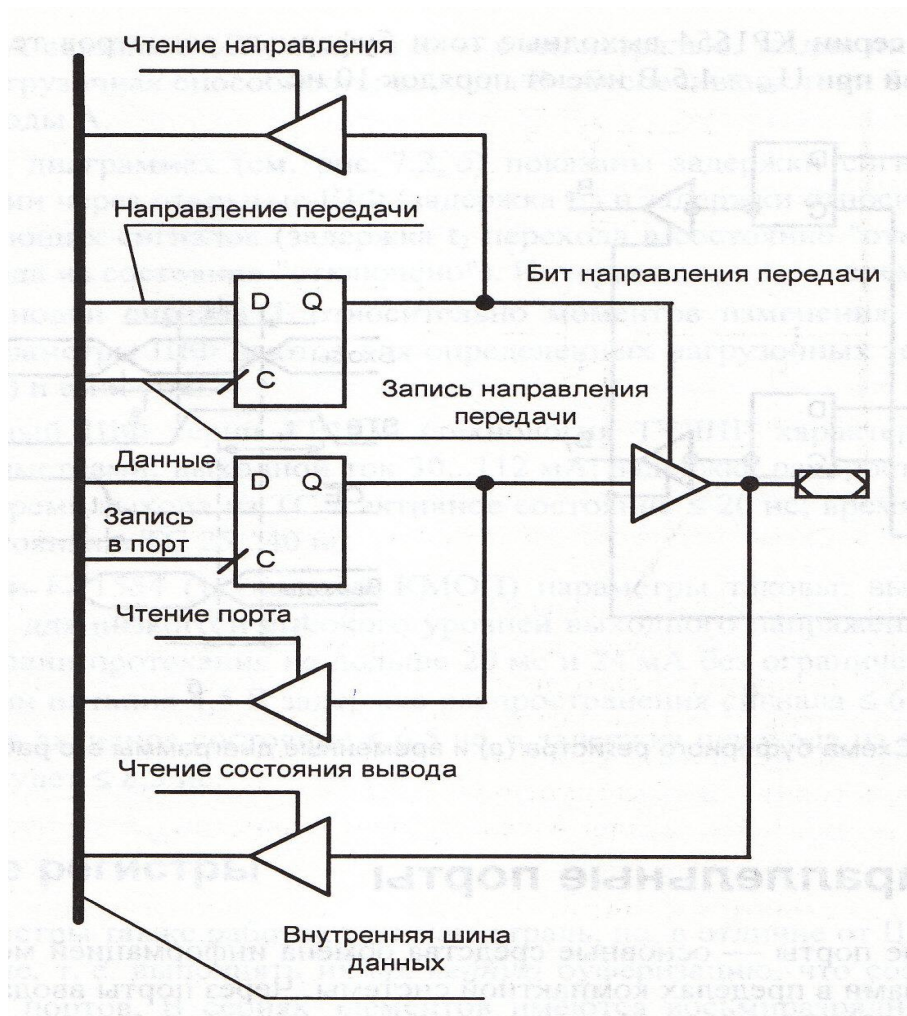


Структура порта ввода вывода



Индивидуальное управление каждым разрядом.
Дополнительные функции на разряды портов.

Упрощенная схема программируемой линии порта ввода -вывода



Регистр данных
Регистр направления
Регистр состояния

Параллельные адаптеры

ВВ55А

Режимы 0 – однонаправленный ввод вывод без квитирования.

Режим 1 – однонаправленный ввод вывод с квитированием.

Режим 2 – двунаправленный ввод – вывод с квитированием.

