

Лекция № 5

Последовательностные логические устройства

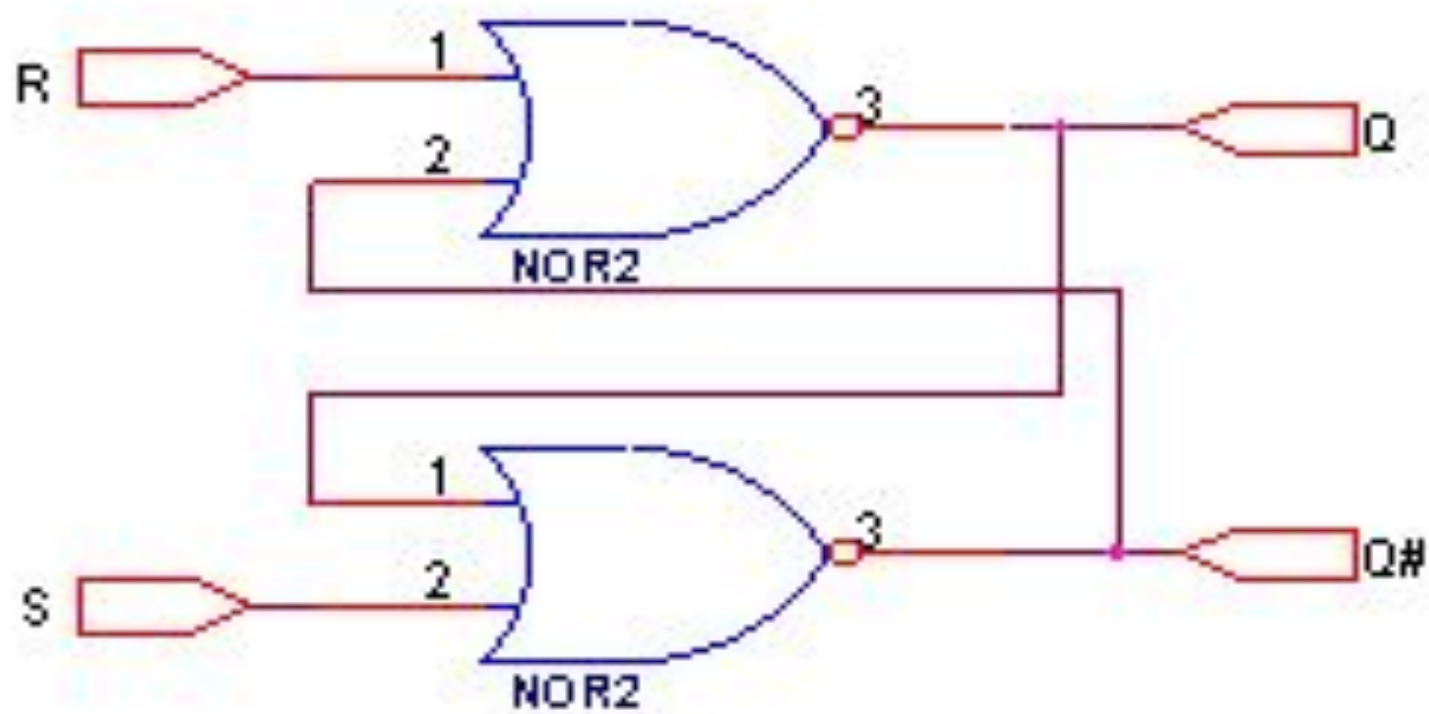
- Все ранее рассмотренные схемы являются схемами **мгновенного действия**. Информация на их выходах меняется мгновенно с изменением информации на входах. Поэтому, они называются **комбинационными**. Однако, зачастую бывает необходим элемент, способный запоминать информацию о том, что какое-то событие имело место. Назовем его **запоминающим устройством (ЗУ)**.

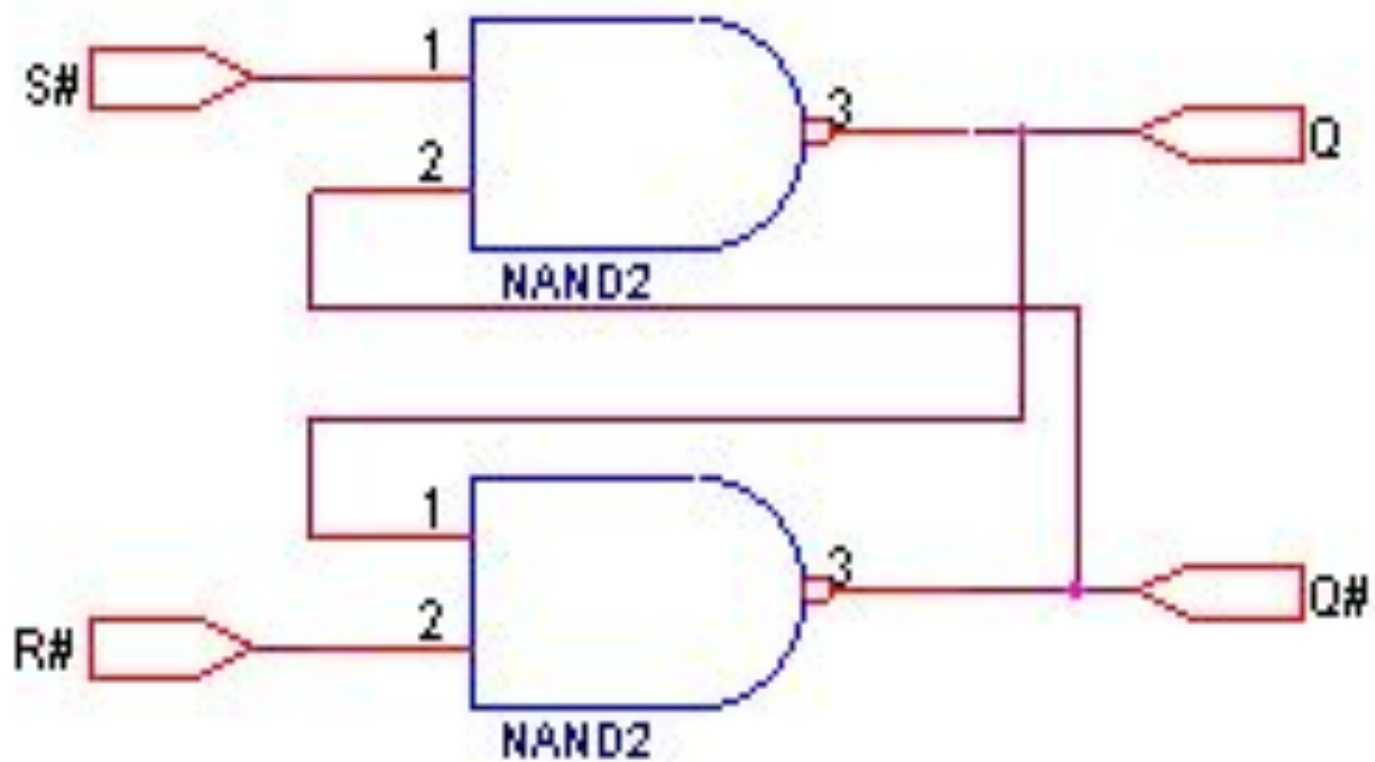
План лекции

- :
- **1.Простейшие триггеры.**
- **2.D-триггеры.**
- **3.Регистры.**

Простейшие триггеры

- Элементарной запоминающей ячейкой является триггер. Простейший, т.н.
- **“R-S” триггер** может быть построен с помощью двух логических элементов путем введения обратных связей.





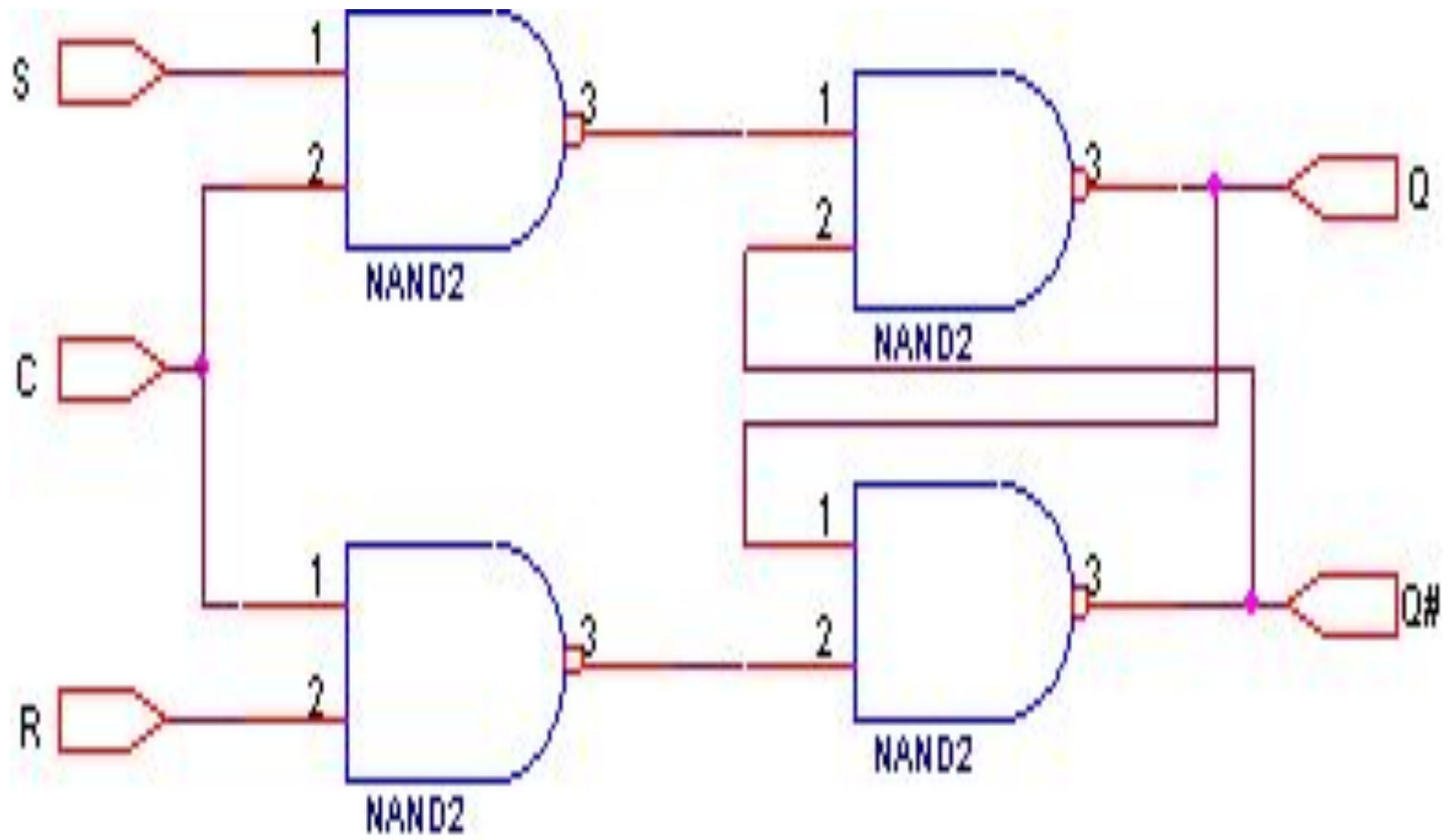
- При подаче активного уровня на вход R на выходе Q устанавливается низкий уровень (на Q#-**высокий**) и не меняется при дальнейших изменениях уровня сигнала на входе R. Аналогично, при подаче активного уровня на вход S, на выходе Q устанавливается высокий уровень,

- состояние выходных сигналов подобных схем зависит не только от входных, но и от выходных сигналов, запоминаемых устройством до прихода новой совокупности входных сигналов. Такие устройства называются **последовательностными схемами** или **конечными автоматами**.

Таблица переключений простейшего RS-триггера

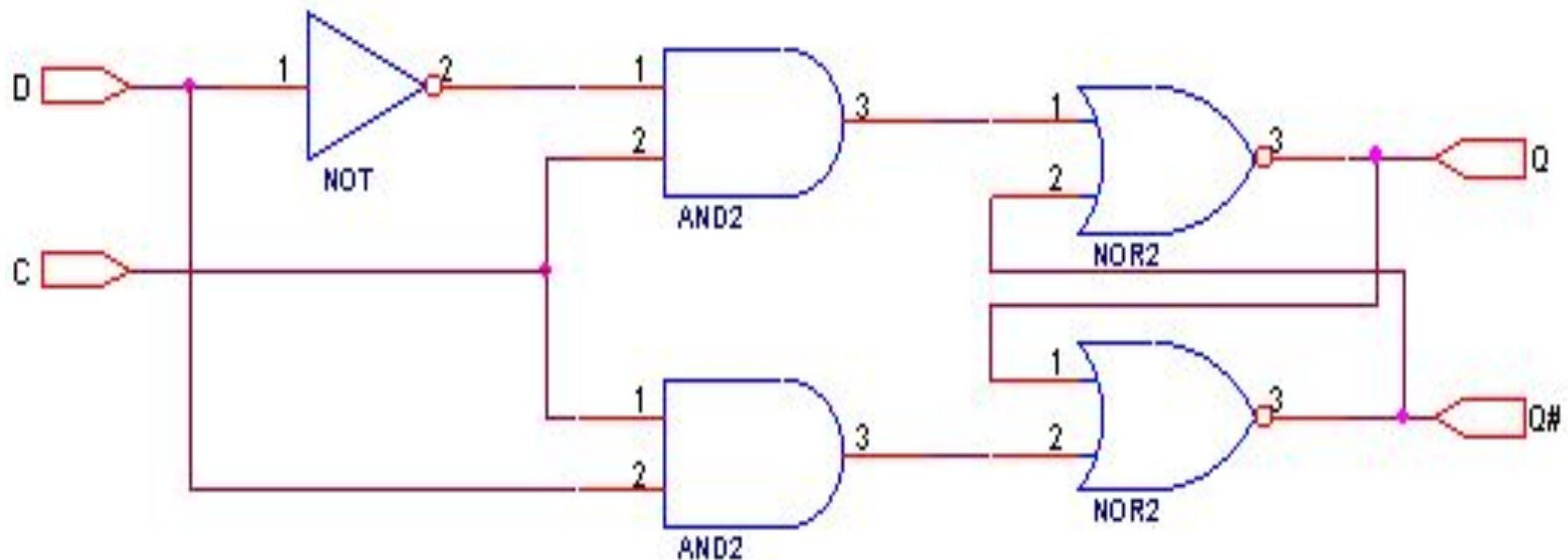
S_n	R_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

синхронный RS-триггер



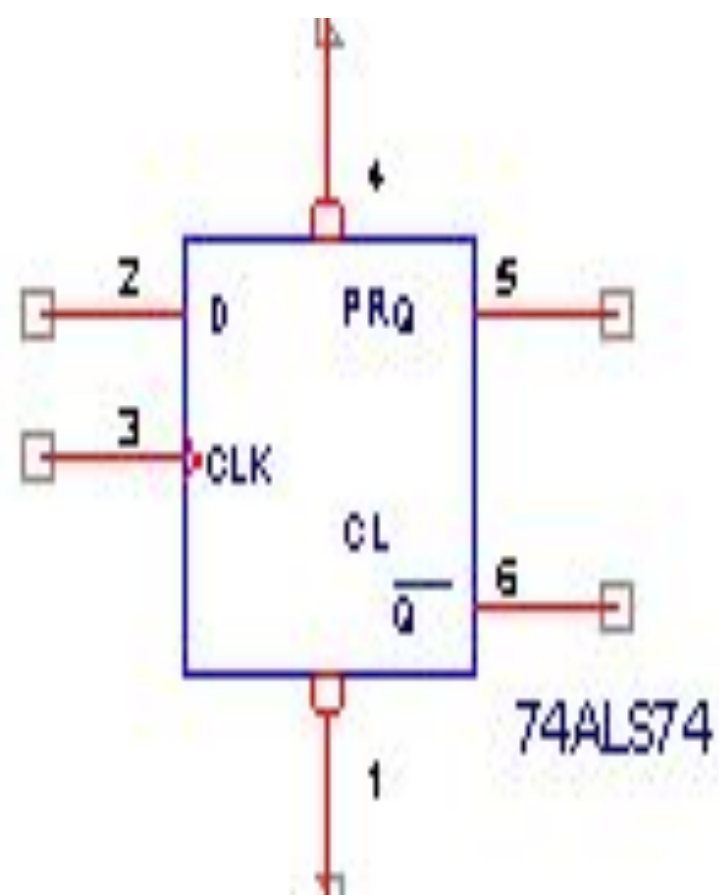
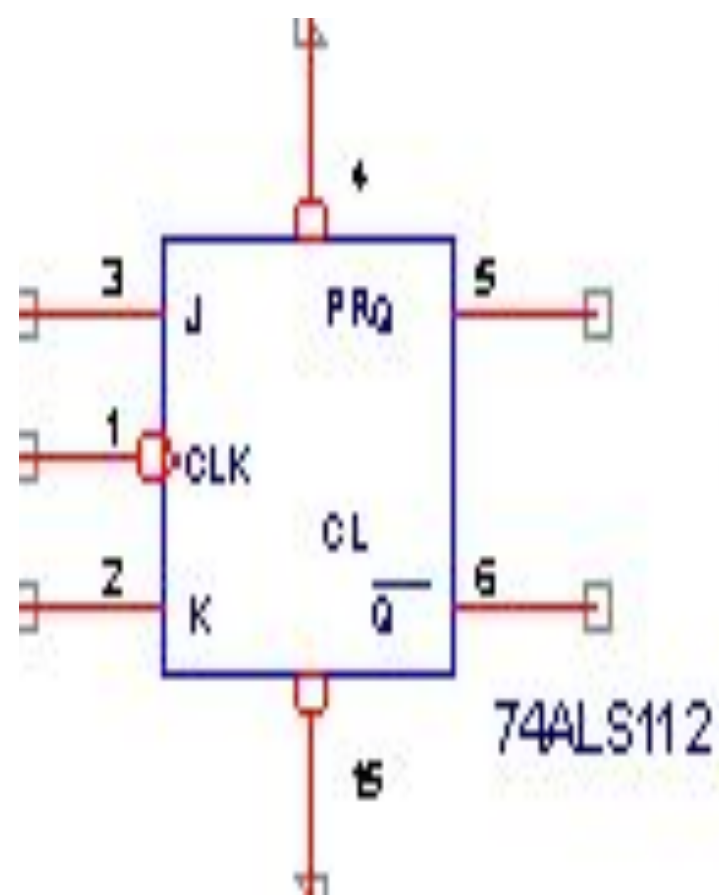
- Состояние в синхронных триггерах может измениться только во время действия синхроимпульса. В промежутках между синхроимпульсами выходные напряжения постоянны. Это свойство позволяет создать на основе синхронных RS-триггеров триггеры задержки - **D-триггеры** (Delay Trigger).

D-триггер



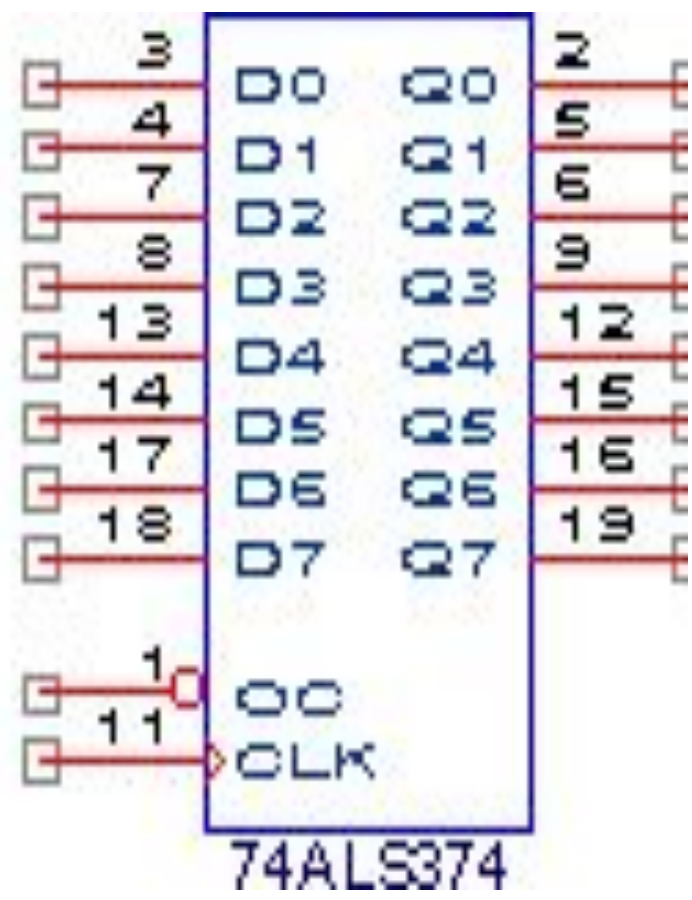
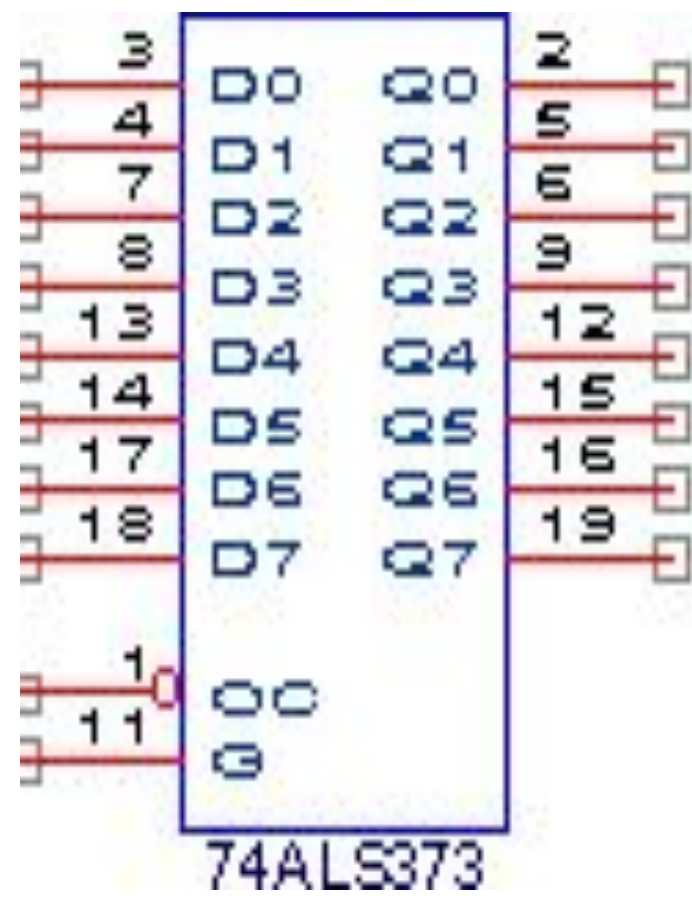
$$Q_{n+1} = C_n * D_n + Q_n * \overline{C_n} * \overline{D_n}$$

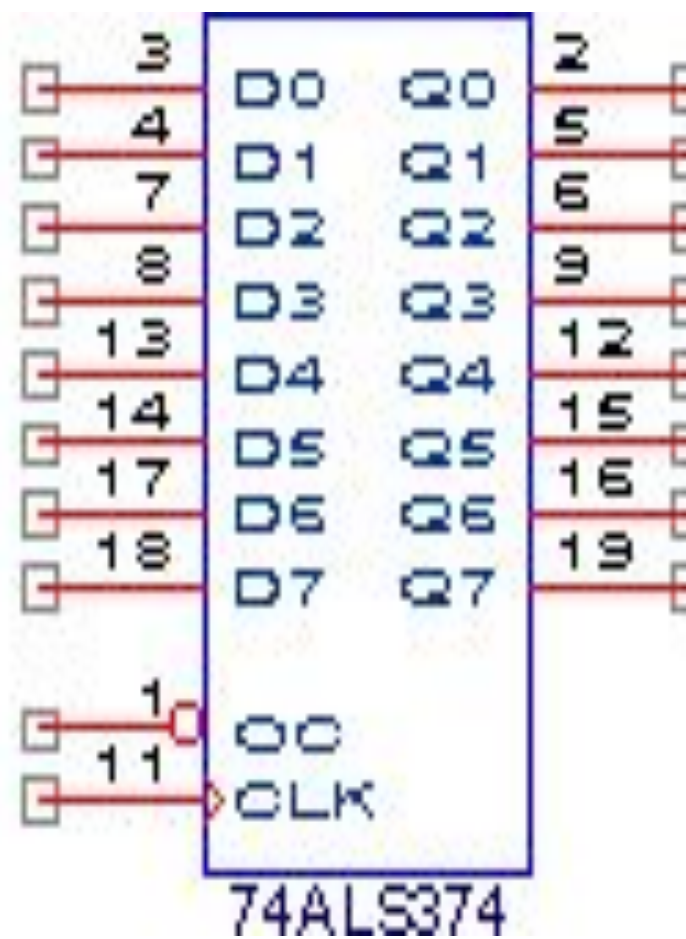
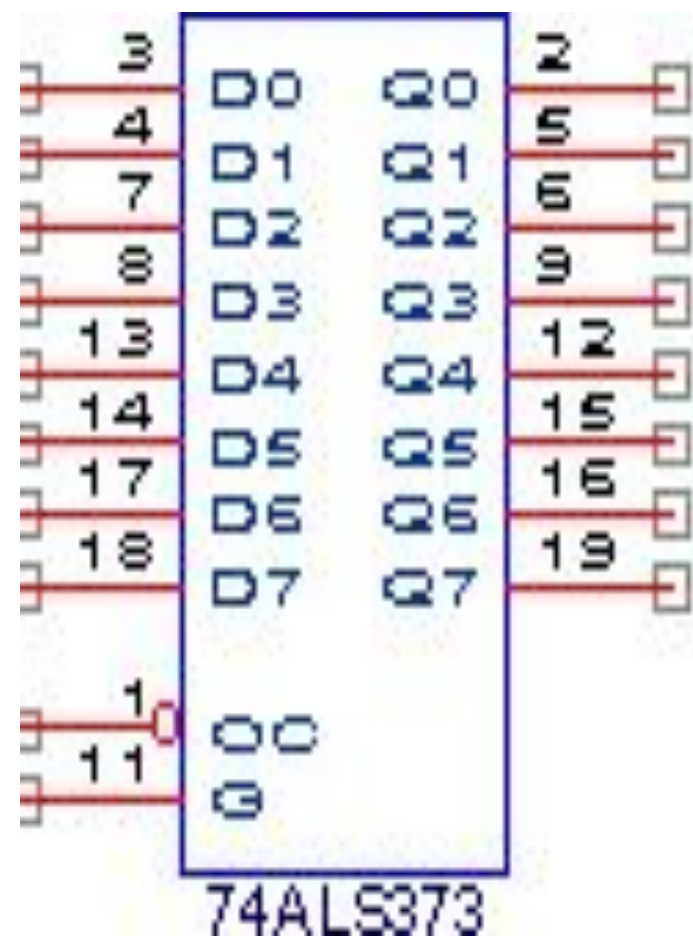
-). D-триггер фиксирует информацию, приходящую на один вход данных. У D-триггера **значение выходного сигнала в $(n+1)$ такте равно значению входного сигнала в n такте.** Т.о., D-триггер запоминает состояние входного сигнала на период одного такта квантования.

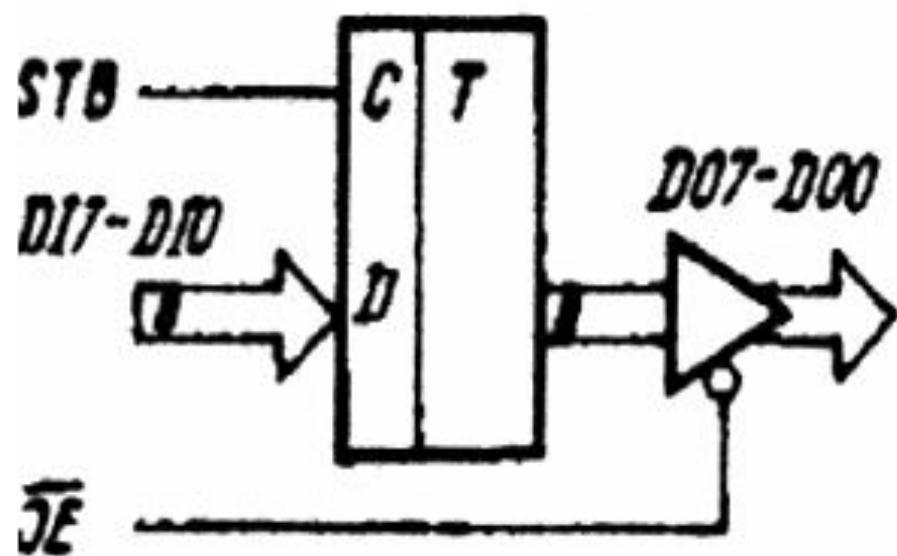


. Регистры

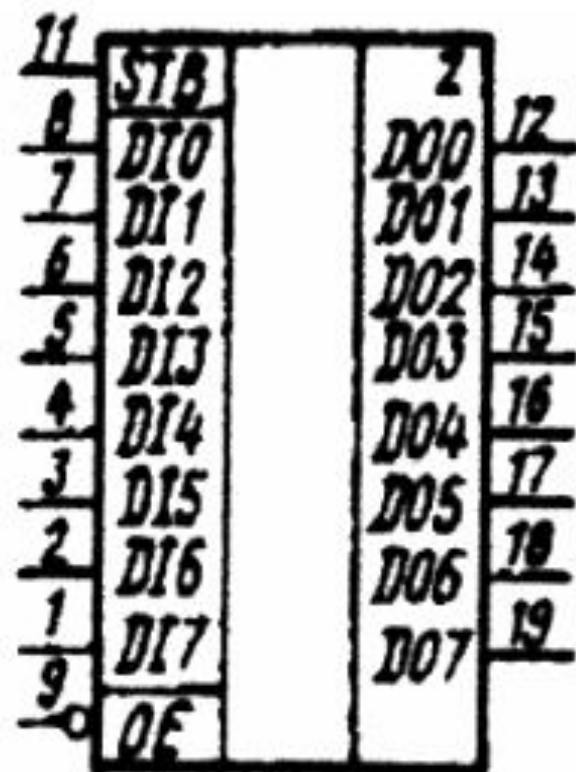
- Объединив несколько D-триггеров с единым входом синхронизации можно получить **регистр**, способный фиксировать многоразрядную информацию. В соответствии со структурой внутренних триггеров существуют регистры-защелки и регистры с синхронным стробированием.
- **. Регистры-защелки** пропускают входную информацию на выход при одном уровне сигнала синхронизации и фиксируют ее при переходе сигнала синхронизации в другое состояние.
- **Регистры с синхронным стробированием** фиксируют информацию по фронту сигнала синхронизации.







a)



b)

-). Запись данных в регистр разрешена при
- **STB = 1**. В противном случае регистр находится в режиме хранения. На выходе регистра имеется трехстабильный буфер, управляемый сигналом **OE (Output Enable)**. Буфер обеспечивает выходной ток до 32 мА и емкость нагрузки до 300 пФ. Если управляющий сигнал OE активен, то данные регистра передаются на выход микросхемы. При **OE=1** выходной буфер закрыт и находится в высокоомном состоянии