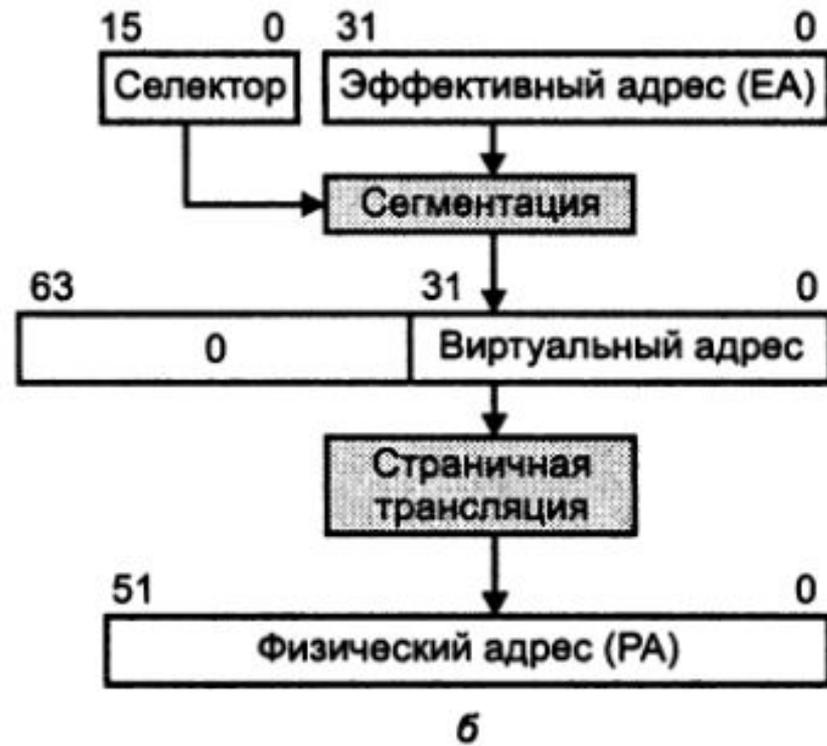
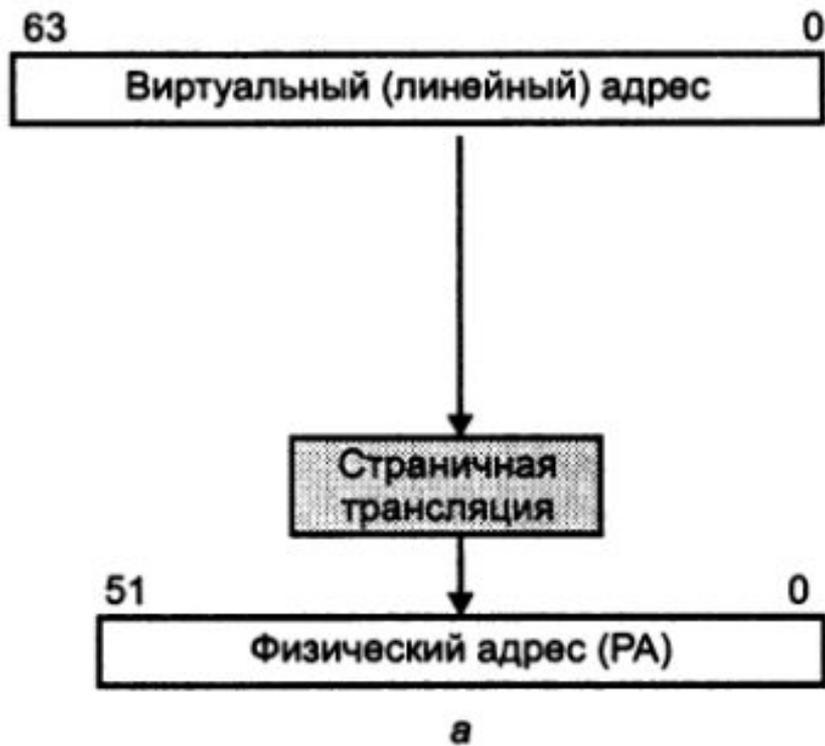


64 битная адресация

В 64-битном режиме сегментация упразднена : приложения оперируют только линейными виртуальными адресами. В процессорах с 64-битными расширениями механизм сегментации оставлен только для режима совместимости . Эти адреса должны соответствовать канонической форме: их старшие биты, выходящие за предел поддерживаемой разрядности, должны быть нулевыми. В противном случае сработает исключение защиты. Из сегментных регистров процессор использует только регистры CS, FS и GS. В дескрипторе сегмента, на который указывает CS, задействуются лишь атрибуты: признак 64-битного режима, размер операнда по умолчанию и уровень привилегий. Регистры FS и GS требуются для нового режима адресации: в дескрипторе сегмента, на который они ссылаются, базовый адрес может применяться как смещение при вычислении адреса (эффективного, виртуального и линейного — теперь это одно и то же).



Формирование адреса памяти процессоров с 64-битным расширением

- ◆ В современных процессорах 6-8-го поколений используется расширение физического адреса (*PAE*): 32-битный линейный адрес транслируется в 36-битный физический адрес (до 64 Гбайт физически адресуемой памяти).
- ◆ В процессорах с 64-битным расширением на текущем этапе линейный адрес ограничен 48-битным пределом, а физический адрес может иметь разрядность до 52 бит. Использование «полноразмерного» (64-битного) линейного адреса потребовало бы слишком громоздких структур таблиц дескрипторов страниц, на эти жертвы пока не идут.