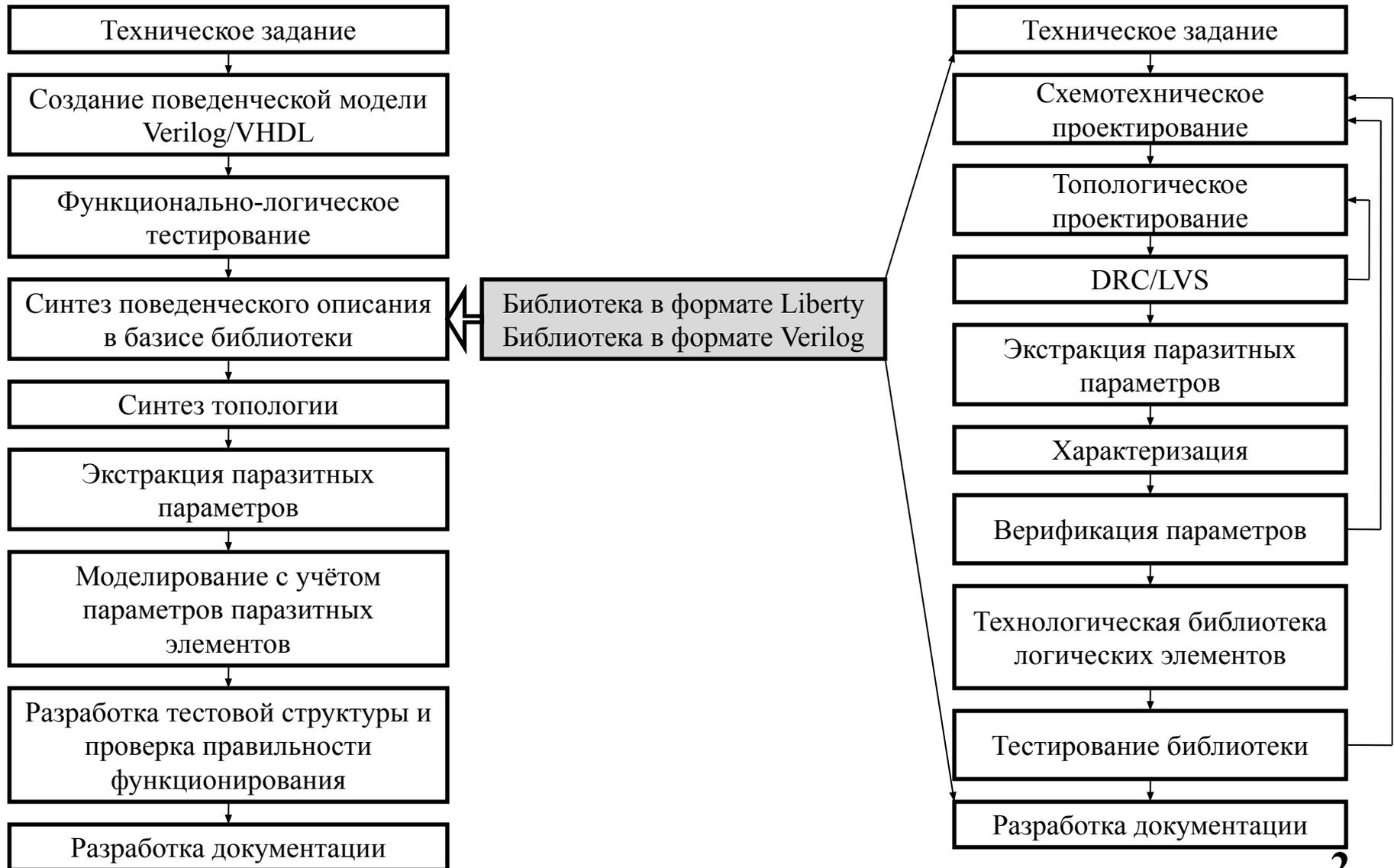
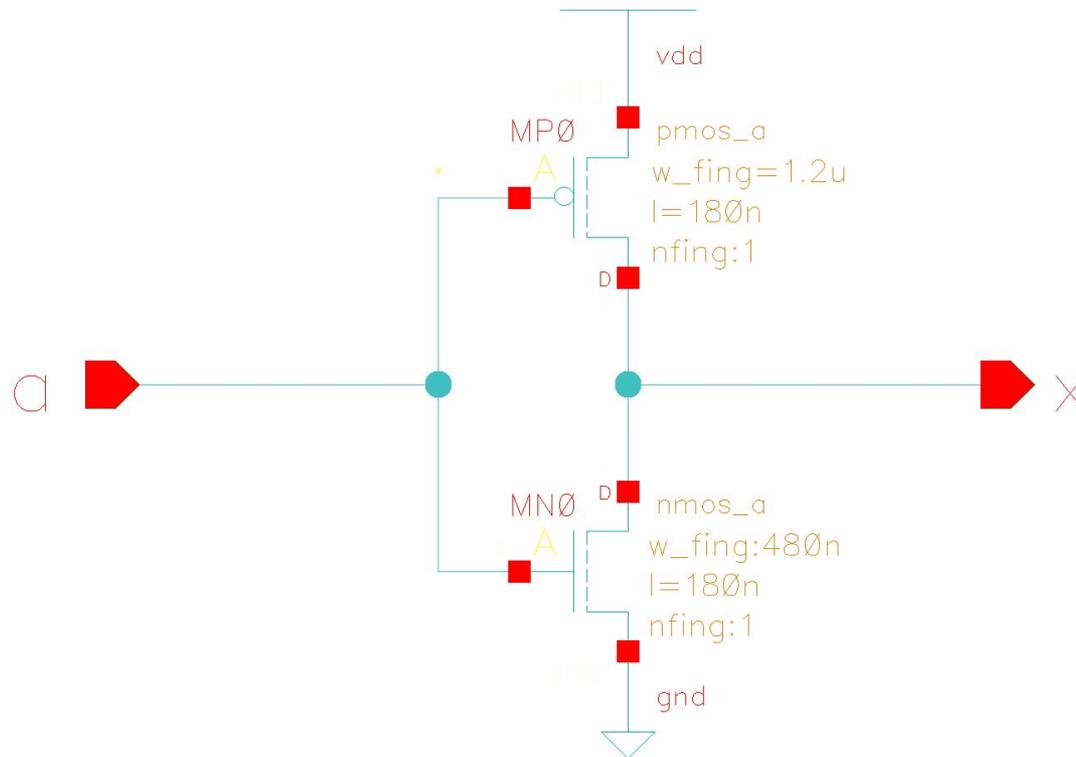


Маршрут проектирования
библиотек
цифровых элементов ядра

Маршруты разработки цифрового устройства и библиотеки стандартных цифровых элементов



Схемотехническое проектирование (schematic view)



Топологическое проектирование

Название слоя	Атрибут	GDS	Тип	Описание
nwell	drawing	1	0	N-карман
active	drawing	2	0	Активная область
poly	drawing	13	0	Поликремний
nldd	drawing	14	0	LDD в N-канальных транзисторах
pldd	drawing	15	0	LDD в P-канальных транзисторах
nplus	drawing	16	0	N ⁺ диффузия
pplus	drawing	17	0	P ⁺ диффузия
contact	drawing	19	0	Контактные окна
metall	drawing	23	0	Металл 1
metall	pin	23	10	Обозначение выводов (pins)
metall	pintext	23	21	Текстовая метка портов/выводов (ports/pins) для LVS в слое metall
lil	drawing	39	0	LIL - локальные вольфрамовые межсоединения
prBoundary	drawing	59	0	Граница ячейки
text	drawing	60	0	Текст (любая текстовая информация, не используется при верификации)
mdiode	drawing	62	41	Распознавание диода

Топологическое проектирование.

Общие требования.

При разработке топологии элементов библиотеки необходимо соблюдать следующие требования общего характера:

- При разработке топологии используется стандартная сетка проектирования для данной технологии, составляющая 0.02 мкм.
- Высота ячеек библиотеки составляет 6.4 мкм (10 tracks).
- Ширина ячеек библиотеки кратна 0.64 мкм. Данный размер эквивалентен шагу трассировки в слоях “Металл x” (x = 1, 2, 3, 4).
- Начало координат совпадает с левым нижним углом ячейки.
- Граница и габариты ячейки определяются слоем (“prBoundary” “drawing”).
- Каждая ячейка должна иметь область N-кармана (“nwell” “drawing”).
- Каждая ячейка должна содержать области N⁺ диффузии (“nplus” “drawing”) и P⁺ диффузии (“pplus” “drawing”).
- Каждая ячейка должна содержать области LDD в N-канальных (“nlld” “drawing”) и P-канальных транзисторах (“pldd” “drawing”).
- Все ячейки библиотеки (за исключением ячейки “antenna”) не содержат антенных диодов.
- Ширины шин земли/питания позволяют провести 6 трасс в слое “Металл 1” внутри ячейки.
- Каждая ячейка должна иметь текстовую метку с названием ячейки, метки шин земли и питания, метки входных/выходных портов элемента, штамп с информацией о ячейке. Все перечисленные метки должны присутствовать в одном экземпляре.
- Метки входных/выходных портов элемента должны находиться внутри областей в слое “Металл 1”. Расположение данных меток вне указанных областей не допускается.
- Каждая ячейка должна иметь входные/выходные порты со свойством CONNECTIVITY. Для сохранения данного свойства при экспорте топологии в файл формата GDSII необходимо в поле “Keep pin information as attribute number” установить значение “10”.

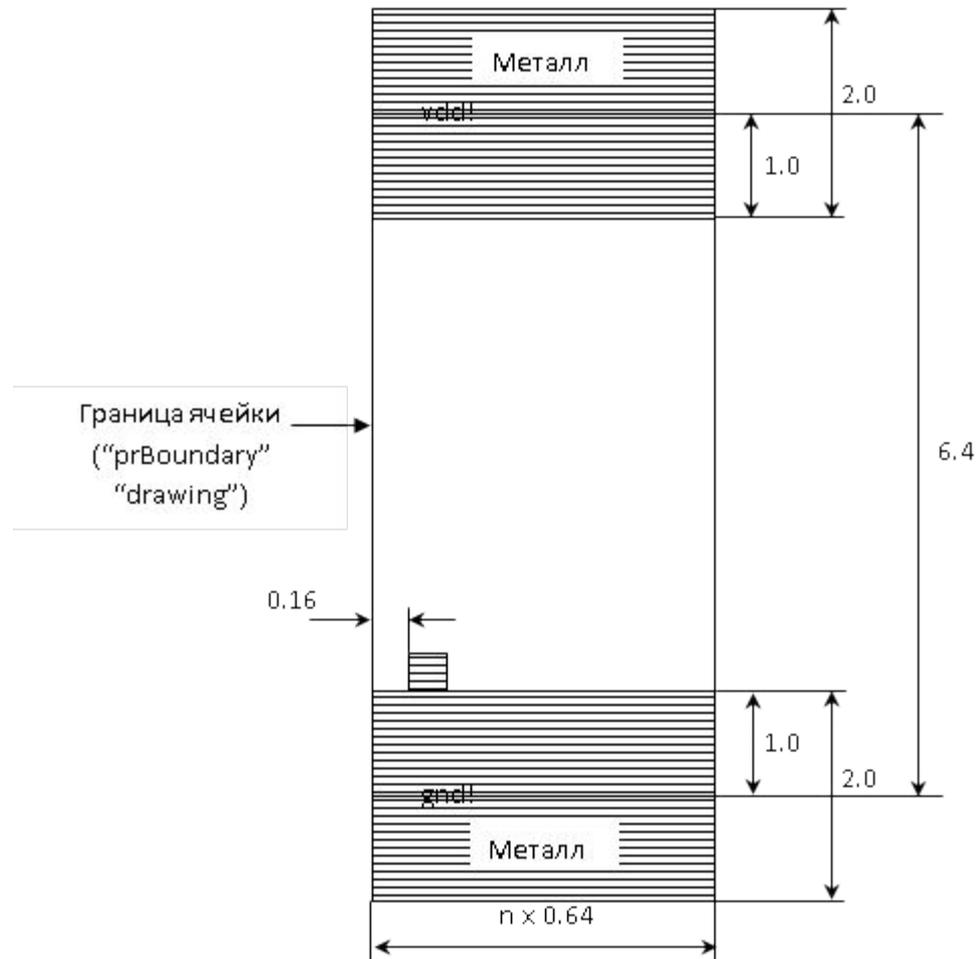
Конфигурация шин земли и питания

- Шина земли в слое “Металл 1” располагается на нижней границе каждой ячейки.
- Шина земли ячейки обозначается меткой “gnd!” (шрифт “stick”, высота метки 0.26) в слое (“metal1” “pintext”), координаты метки (0.32, 0.0).
- Шина земли ячейки имеет ширину 2.0 мкм и располагается на 1.0 мкм выше и на 1.0 мкм ниже нижней границы ячейки.
- Шина питания в слое “Металл 1” располагается на верхней границе каждой ячейки.
- Шина питания ячейки обозначается меткой “vdd!” (шрифт “stick”, высота метки 0.26) в слое (“metal1” “pintext”), координаты метки (0.32, 6.4).
- Шина питания ячейки имеет ширину 2.0 мкм и располагается на 1.0 мкм выше и на 1.0 мкм ниже верхней границы ячейки.

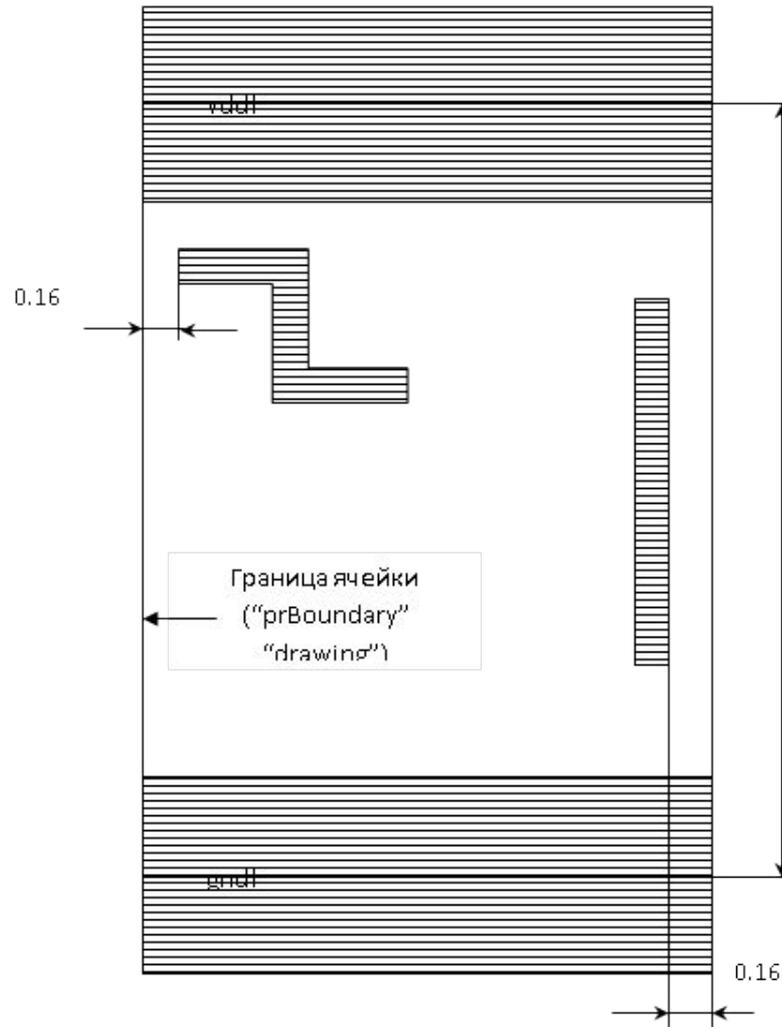
Текстовые метки в топологии

- Все текстовые метки имеют ориентацию “R0” по отношению к ячейке.
- Каждая ячейка должна иметь текстовую метку в слое (“text” “drawing”), шрифт “roman”, высота метки 0.3, выравнивание “lowerLeft”, координаты метки (0.32, 4.16), содержащую реальное имя ячейки.

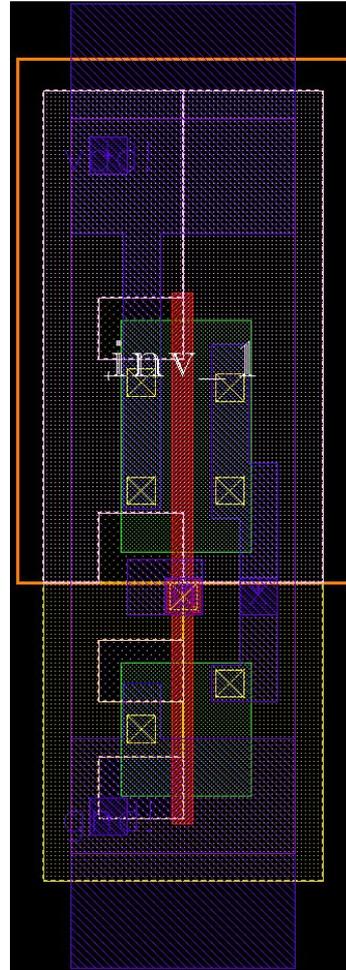
Топологическое проектирование. Эскиз топологии ячейки.



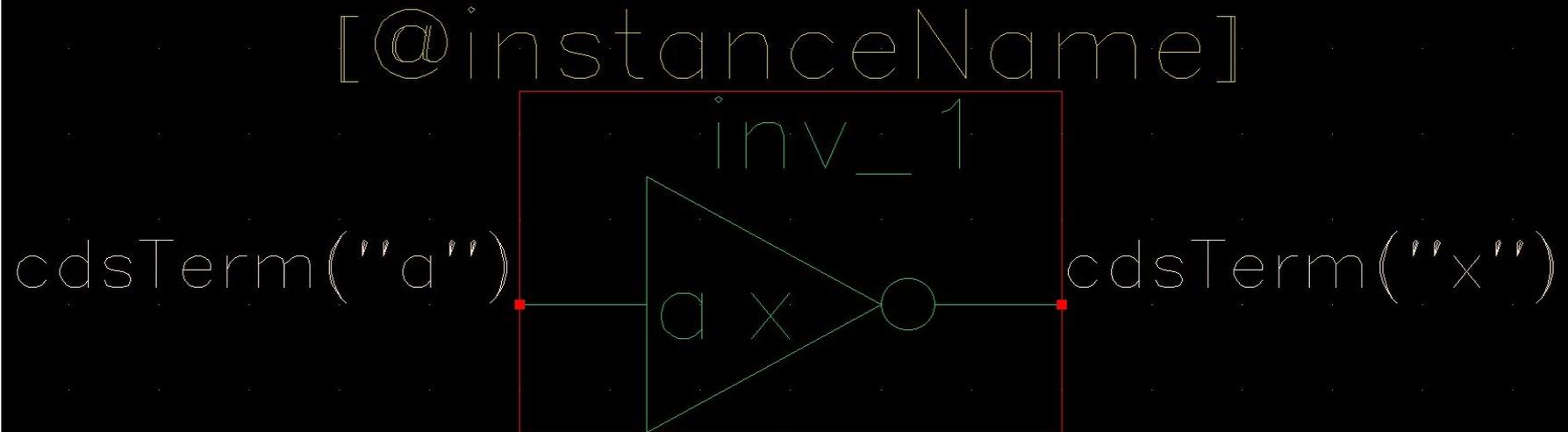
Топологическое проектирование. Ограничения на разводку внутри ячеек



Топологическое проектирование. (layout view)



Топологическое проектирование. (symbol view)



Технологические представления. CDL-файл.

```
*****
*****
* auCdl Netlist:
*
* Library Name:  mksoi018std9t1v8
* Top Cell Name: inv_0
* View Name:     schematic
* Netlisted on:  Aug 23 19:30:34 2013
*****
*****

*****
*****
* Library Name:  mksoi018std9t1v8
* Cell Name:     inv_0
* View Name:     schematic
*****
*****

.SUBCKT inv_0 a x vdd! gnd!
*.PININFO a:I x:O
MM4 x a vdd! vdd! pmos_a W=720.0n L=180n W_CONT=640.0n M=1
MM1 x a gnd! gnd! nmos_a W=480.0n L=180n W_CONT=640.0n M=1
.ENDS
```

Технологические представления. LPE-файл.

```
//-----  
//calibre2spectre.perl: $Rev: 884 $  
//Date of creation: Tue May 26 19:37:26 2015  
//-----  
  
subckt inv_0 ( a gnd! vdd! x )  
MM1 ( x a gnd! gnd! ) nmos_a l=1.8e-07 w=4.8e-07 m=1 w_cont=6.4e-07  
MM4 ( x a vdd! vdd! ) pmos_a l=1.8e-07 w=7.2e-07 m=1 w_cont=6.4e-07  
c_1 ( a 0 ) capacitor c=1.73458f  
c_2 ( gnd! 0 ) capacitor c=0.507344f  
c_3 ( vdd! 0 ) capacitor c=0.628837f  
c_4 ( x 0 ) capacitor c=1.14915f  
  
// include inv_0.pex.netlist.inv_0.pxi  
  
ends inv_0
```

Технологические представления. LEF-файл.

```
MACRO inv_1
  CLASS CORE ;
  FOREIGN inv_1 0 0 ;
  ORIGIN 0.00 0.00 ;
  SIZE 1.92 BY 6.40 ;
  SYMMETRY X Y ;
  SITE LibMikron_SOI_018_1V8_coreal0t ;
  PIN a
    DIRECTION INPUT ;
    ANTENNAMODEL OXIDE1 ;
    ANTENNAGATEAREA 0.57 LAYER metall ;
    PORT
      LAYER metall ;
      RECT 0.48 2.08 1.12 2.56 ;
    END
  END a
  PIN x
    DIRECTION OUTPUT ;
    ANTENNADIFFAREA 1.59 LAYER metall ;
    PORT
      LAYER metall ;
      POLYGON 1.76 3.40 1.52 3.40 1.52 4.44 1.20
4.44 1.20 2.92 1.44 2.92
      1.44 1.64 1.20 1.64 1.20 1.32 1.76 1.32 ;
    END
  END
END x

END x
PIN gnd!
  DIRECTION INOUT ;
  USE GROUND ;
  SHAPE ABUTMENT ;
  PORT
    LAYER metall ;
    POLYGON 1.92 1.00 0.76 1.00 0.76 1.48
0.44 1.48 0.44 1.00 0.00 1.00
      0.00 -1.00 1.92 -1.00 ;
  END
END gnd!
PIN vdd!
  DIRECTION INOUT ;
  USE POWER ;
  SHAPE ABUTMENT ;
  PORT
    LAYER metall ;
    POLYGON 1.92 7.40 0.00 7.40 0.00 5.40
0.44 5.40 0.44 3.00 0.76 3.00
      0.76 5.40 1.92 5.40 ;
  END
END vdd!
END inv_1
```

Технологические представления. Verilog-файл.

```
`timescale 1ns/10ps
`celldefine
module inv_1 (x, a);
    output x;
    input a;

    // Function
    not (x, a);

    // Timing
    specify
        (a => x) = 0;
    endspecify
endmodule
`endcelldefine
```

Характеризация. Liberty-файл

```
cell ( inv_1 ) {
  area : 12.288;
  cell_footprint : inv;

  pin ( x ) {
    direction : output;
    function : "!a";
    max_capacitance : 0.042;
    timing () {
      related_pin : "a";
      timing_sense : negative_unate;
    }
  }

  cell_rise {
    index_1("0.01, 0.1, 0.25, 0.5, 1");
    index_2("0.003, 0.006, 0.01, 0.021, 0.042");
    values( \
      "0.0386484, 0.0499882, 0.0643839, 0.102756, 0.175062", \
      "0.0806822, 0.0951632, 0.110274, 0.149557, 0.222875", \
      "0.130135, 0.153161, 0.178153, 0.230174, 0.304942", \
      "0.196376, 0.227614, 0.262277, 0.33657, 0.43871", \
      "0.311289, 0.35326, 0.400172, 0.502054, 0.647193" );
  }

  rise_transition {
    index_1("0.01, 0.1, 0.25, 0.5, 1");
    index_2("0.003, 0.006, 0.01, 0.021, 0.042");
    values( \
      "0.0368458, 0.0554257, 0.0802179, 0.148406, 0.278967", \
      "0.0476396, 0.0613543, 0.0824827, 0.148462, 0.278736", \

```

Технологические представления. Документация.

INV_1

The logo for Mikron, featuring the word "mikron" in a lowercase, sans-serif font. The letter "i" has a blue dot, and the letter "o" is a blue circle.

mks0i018std9t1v8PypV180T025 Cell Library: Process PVT_1P8V_25C, Voltage 1.80, Temp 25.00

Truth Table

INPUT	OUTPUT
a	x
0	1
1	0

Pin Capacitance Information

Cell Name	Pin Cap(pf)	Max Cap(pf)
	a	x
inv_1	0.00621	0.13100

Leakage Information

Cell Name	Leakage(nW)		
	Min.	Avg	Max.
inv_1	0.00021	0.00211	0.00400

Технологические представления.

Документация.

Delay Information

Delay(ns) to x rising :

Cell Name	Timing Arc(Dir)	Delay(ns)								
		Slew(ns)	Load(pf)	Min	Slew(ns)	Load(pf)	Mid	Slew(ns)	Load(pf)	Max
inv_1	a->x (FR)	0.01000	0.00500	0.05332	0.50000	0.03300	0.44485	2.00000	0.13100	1.69711

Delay(ns) to x falling :

Cell Name	Timing Arc(Dir)	Delay(ns)								
		Slew(ns)	Load(pf)	Min	Slew(ns)	Load(pf)	Mid	Slew(ns)	Load(pf)	Max
inv_1	a->x (RF)	0.01000	0.00500	0.07267	0.50000	0.03300	0.51140	2.00000	0.13100	1.94807

Power Information

Internal switching power(pJ) to x rising :

Cell Name	Input	Power(pJ)								
		Slew(ns)	Load(pf)	Min	Slew(ns)	Load(pf)	Mid	Slew(ns)	Load(pf)	Max
inv_1	a	0.01000	0.00500	0.00880	0.50000	0.03300	0.00775	2.00000	0.13100	0.00898

Internal switching power(pJ) to x falling :

Cell Name	Input	Power(pJ)								
		Slew(ns)	Load(pf)	Min	Slew(ns)	Load(pf)	Mid	Slew(ns)	Load(pf)	Max
inv_1	a	0.01000	0.00500	0.00724	0.50000	0.03300	0.00554	2.00000	0.13100	0.00655