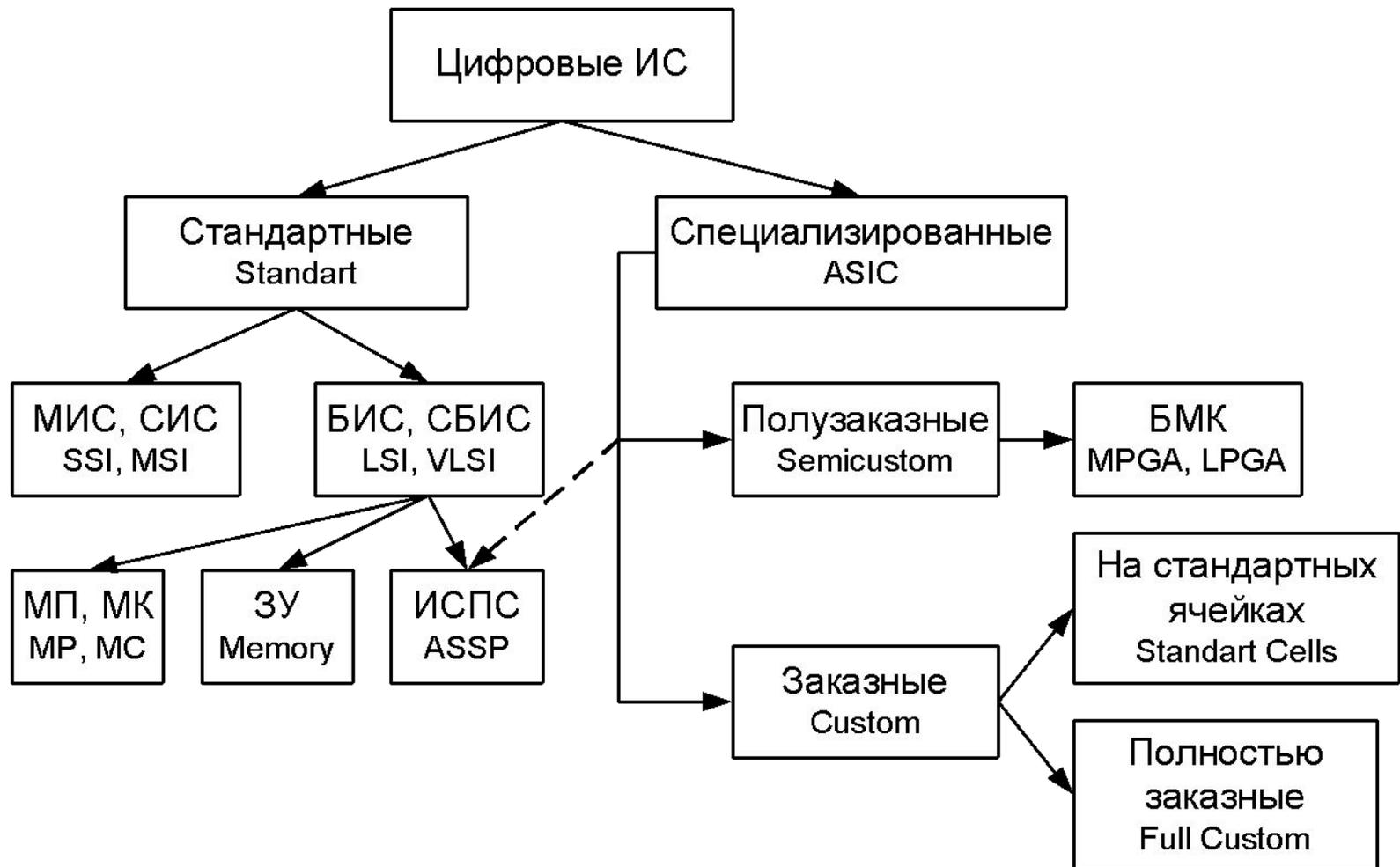


ЛЕКЦИЯ №13

- Классификация ЦИС. Сравнение вариантов создания специализированных проектов.
- Базовые Матричные Кристаллы
- Классификация ПЛИС.
 - PLD, ПЛМ.
 - FPGA.
- Транзистор с плавающим затвором

Классификация цифровых интегральных схем



Классификация цифровых интегральных схем (прод.)

- ***МИС, СИС, БИС, СБИС*** – микросхемы малого, среднего, большого и сверхбольшого уровня интеграции.
- ***МП*** – микропроцессоры
- ***МК*** – микроконтроллеры
- ***ЗУ*** – запоминающие устройства
- ***БМК*** – базовый матричный кристалл

Классификация цифровых интегральных схем (прод.)

- **ИСПС** – интегральные схемы с программируемой структурой или **ПЛИС** – программируемые логические интегральные схемы
- **SSI, MSI, VSI, VLSI** – Small, Medium, Large, Very Large Scale Integration.
- **ASIC** – Application Specific Integrated Circuit
- **ASSP** – Application Specific Standard Products
- **MPGA** – Mask Programmable Gate Array
- **LPGA** – Laser Personalized Gate Array

Классификация цифровых интегральных схем (прод.)

- **Стандартные ИС** – это готовые изделия, производимые массовыми тиражами, затраты на проектирование мало влияют на конечную стоимость.
- **Специализированные ИС** – проектируются по конкретному заказу, затраты на проектирование составляют большую часть стоимости. Ограничена область применения.

Стандартные цифровые ИС

- МИС и СИС используются и сейчас для отдельных задач, но сложные устройства делать на них не выгодно
- МП и МК широко используются для решения задач программной реализации алгоритмов
- БИС и СБИС запоминающих устройств массово применяются в различных системах.

Стандартные ЦИС (прод.)

- ИСПС – дают возможность использовать ИС высокого уровня интеграции не только в массовых (от сотен тысяч), но и в проектах малой тиражности (вплоть до 1). Для потребителя ИСПС являются специализируемыми, а для промышленности – стандартными.

До создания ПЛИС **специализированные проекты**, в зависимости от сложности проекта, его тиражности, требований к техническим и экономическим характеристикам и т.д., традиционно выполнялись в следующих вариантах:

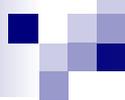
- на МИС и СИС
- на БМК
- на заказных ИС спроектированных по методу стандартных ячеек
- на полностью заказных ИС

Полностью заказные схемы целиком проектируются под требования конкретного заказчика. Проектировщик имеет полную свободу действий, определяя схему по своему усмотрению вплоть до уровня отдельных транзисторов. Для изготовления схемы требуется разработка полного комплекта фотошаблонов, верификация и отладка всех схемных фрагментов. Такие схемы очень дороги и имеют длительные циклы проектирования.

Схемы на стандартных ячейках

разрабатываются на основе разработанной ранее библиотеки стандартных ячеек, которая представляет собой набор хорошо отработанных схемных фрагментов, выполняющих определенные элементарные функции. Так же необходимо разрабатывать полный набор фотошаблонов, а характеристики несколько хуже чем у полностью заказных, но время проектирования схем на стандартных ячейках значительно меньше чем полностью заказных схем.

БМК представляют собой стандартный полуфабрикат, который доводится до готового изделия с помощью разработки индивидуальных межсоединений. Для специализации требуется изготовление малого числа фотошаблонов (MPGA) или проведения цикла операций разрушения межсоединений лазерным лучом (LPGA). Сходство методов проектирования на стандартных ячейках и БМК заключается в наличии библиотек функциональных элементов. Различие – в меньшем количестве необходимых фотошаблонов.



Проектирование на **ПЛИС** стало более дешевой альтернативой методам проектирования с использованием специализированных ИС и БМК. В настоящее время проектирование цифровых систем и логических устройств все больше перемещается в сторону широкого использования ПЛИС. ПЛИС сделали БИС/СБИС, предназначенные для решения специализированных задач, стандартной продукцией электронной промышленности.

Сравнительная таблица вариантов создания специализированных проектов на ИС

	Быстродействие	Степень интеграции	Время проектирования	Сложность отладки проекта	Стоимость специализации
МИС и СИС	очень низкое	очень низкая	среднее	очень высокая	низкая
БМК	среднее	средняя	среднее – большое	средняя	средняя
Full Custom	очень высокое	очень высокая	очень большое	высокая	очень высокая
Standart Cells	очень высокое	очень высокая	малое	очень низкая	очень высокая
ПЛИС	высокое	низкая	очень малое	очень низкая	очень низкая

Базовые Матричные Кристаллы

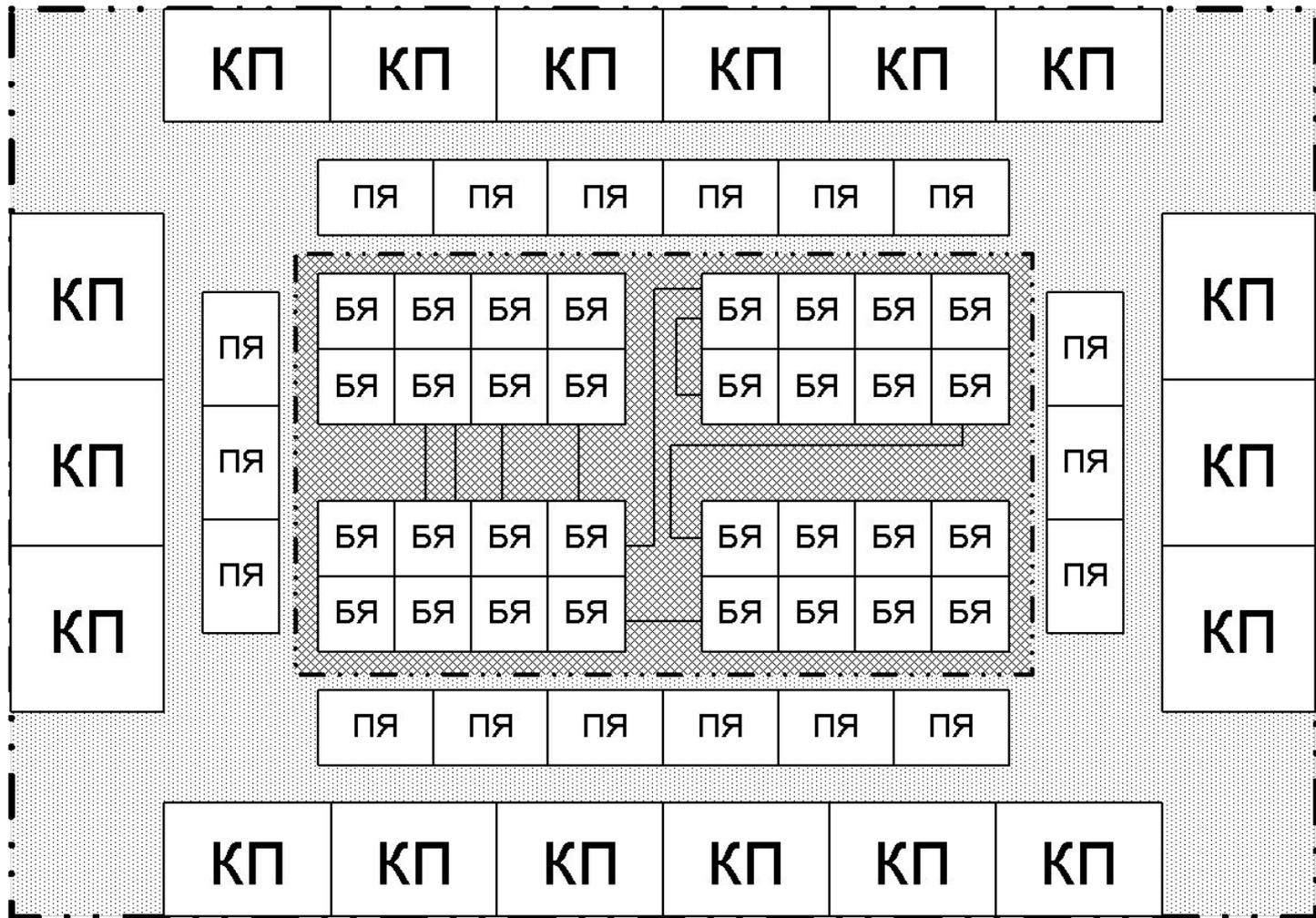
БМК – полузаказная ИС.

БМК – кристалл, на прямоугольной поверхности которого размещены *внутренняя* и *периферийная области* (ВО и ПО). В ВО по строкам и столбцам (в виде матрицы) расположены *базовые ячейки* (БЯ) – группы нескоммутированных схемных элементов (транзисторов, резисторов). Элементный состав базовой ячейки при разных вариантах межсоединений элементов допускает реализацию некоторого множества схем определенного класса, каждая из которых соответствует определенной *функциональной ячейке* (ФЯ). Для каждого БМК создается *библиотека* ФЯ, т.е. в сущности рисунков межсоединений, дающих ту или иную схему.

В БМК канальной структуры между строками и столбцами базовых ячеек или их компактных групп остаются горизонтальные и вертикальные свободные зоны (каналы) для межсоединений.

В ПО кристалла размещаются *периферийные ячейки (ПЯ)*, выполняющие операции ввода/вывода сигналов через контактные площадки, расположенные по краям кристалла.

Структура БМК



Классификация логических схем программируемой логики

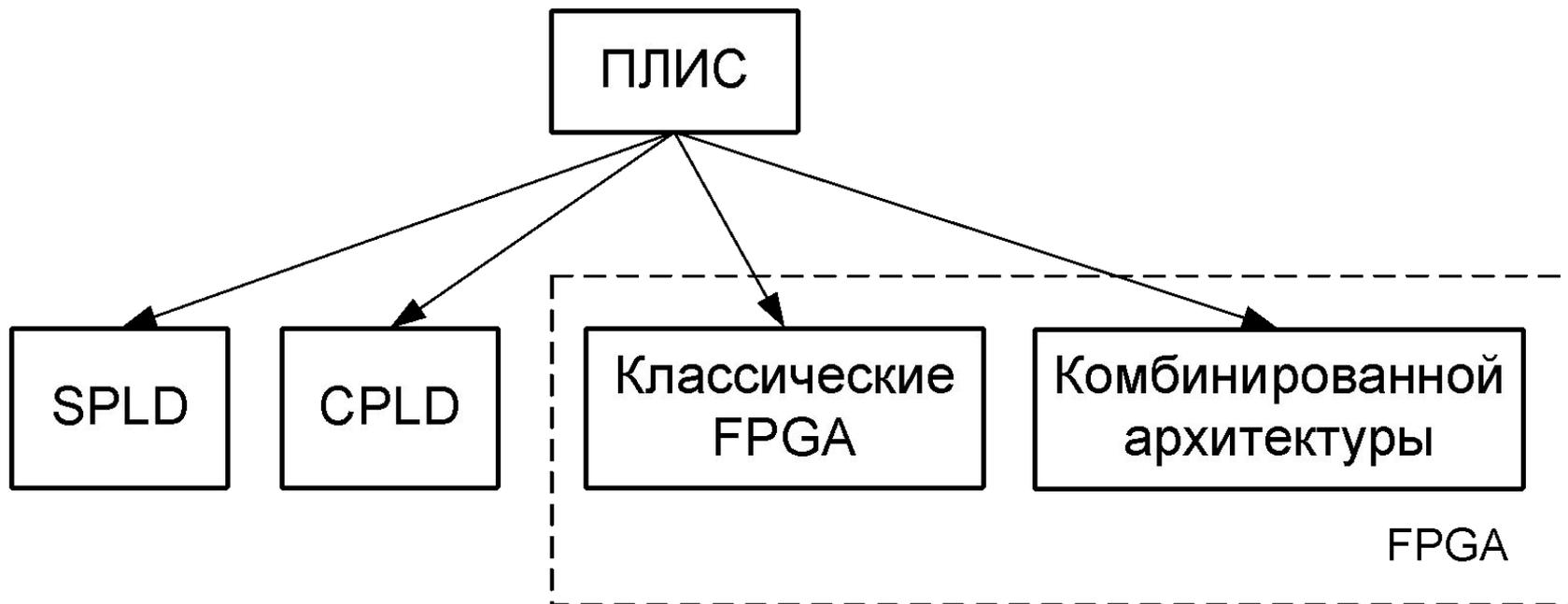
- по уровню интеграции и связанной с ним логической сложности;
- по архитектуре (типу функциональных блоков, характеру системы межсоединений)
- числу допустимых циклов программирования;
- типу памяти конфигурации (теневой памяти)
- степени зависимости задержек сигналов от путей их распространения;
- системным свойствам
- схемотехники (КМДП, ТТЛШ)
- однородности или гибридности

Классификация логических схем программируемой логики

Рассмотрим классификацию по 3-м основным признакам:

- архитектуре
- уровню интеграции и однородности/гибридности
- числу допустимых циклов программирования и типу памяти конфигурации

Классификация ПЛИС по архитектуре



- ***SPLD*** – Simple Programmable Logic Device, простые программируемые устройства.

- ▣ ***ПЛМ, PLA*** – программируемые логические матрицы, Programmable Logic Arrays

- ▣ ***ПМЛ, PAL*** – программируемая матричная логика, Programmable Array Logic

SPLD реализуют дизъюнктивные нормальные формы (ДНФ) переключательных функций.

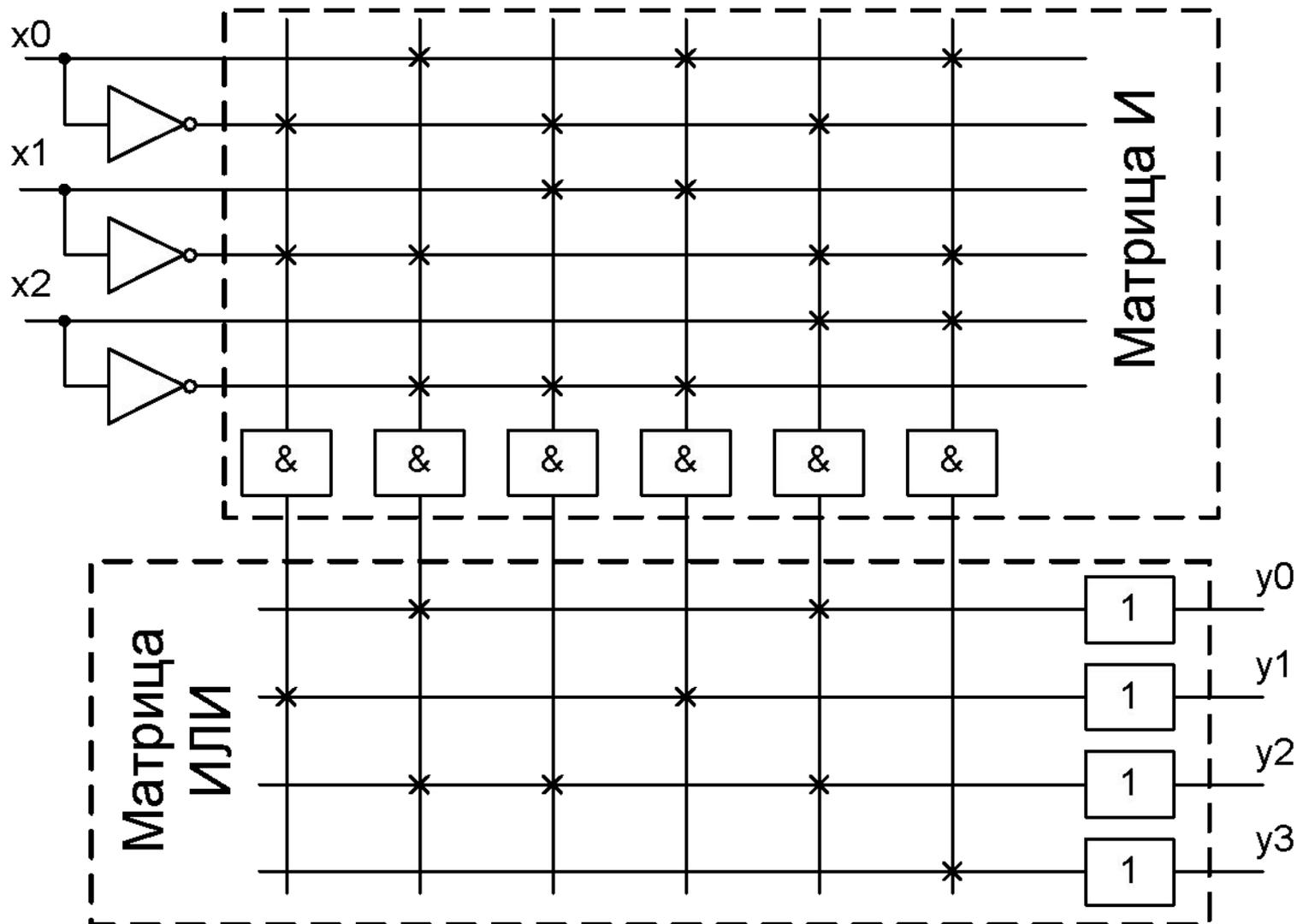
- Структура:

- Включенные последовательно две матрицы элементов: И, ИЛИ.

- Техническая реализация:

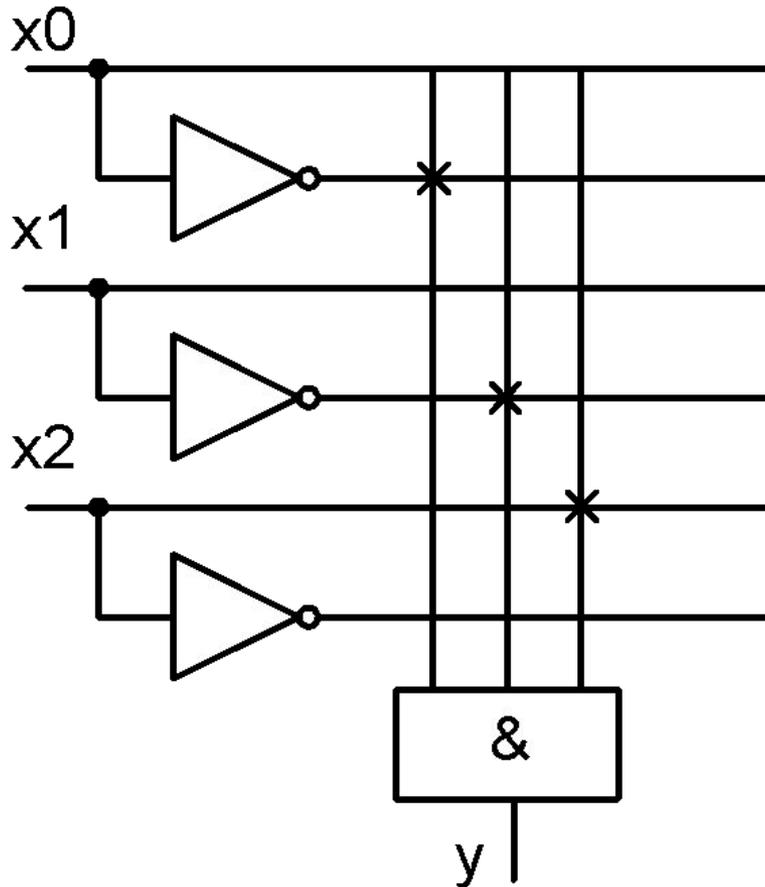
- И-НЕ, ИЛИ-НЕ
- 2 матрицы И-ИЛИ

Структура SPLD

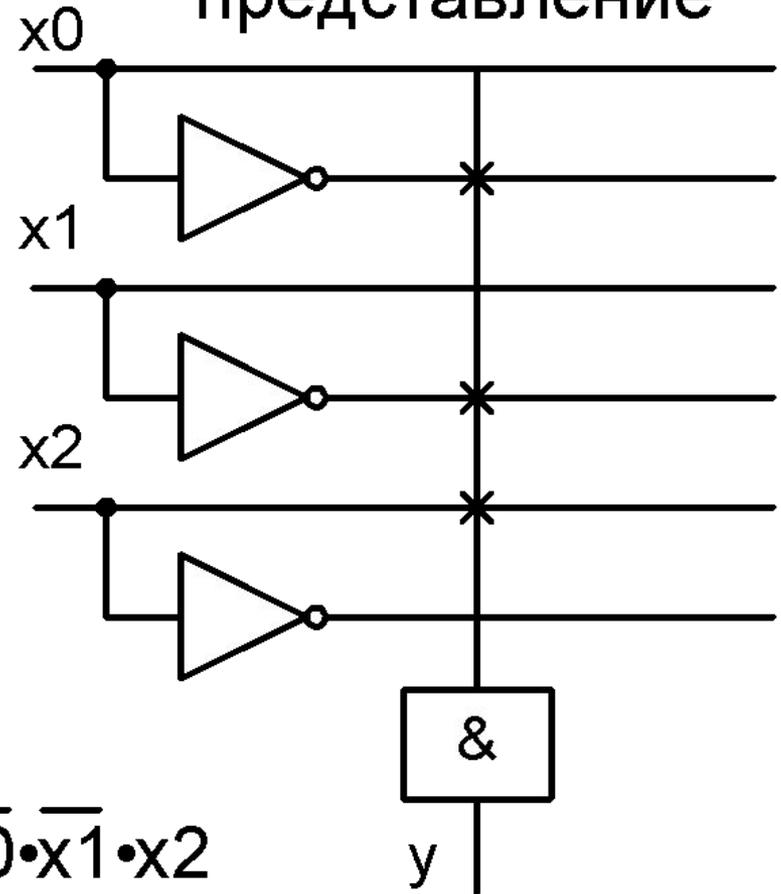


Представление вентиля в PLD

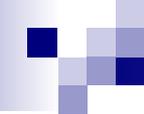
Полное представление



Сокращенное представление



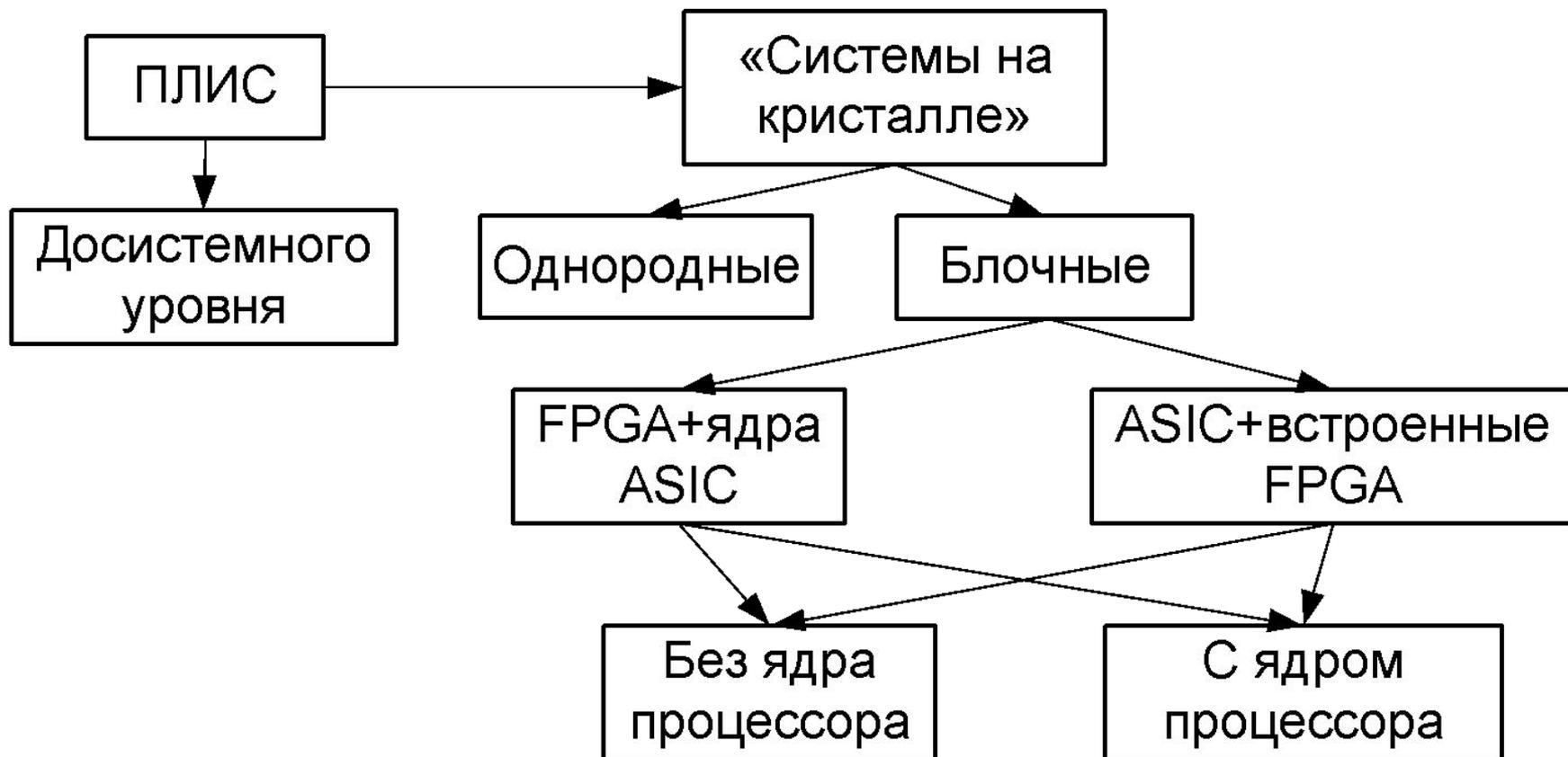
$$y = \bar{x}_0 \cdot \bar{x}_1 \cdot x_2$$

- 
- **CPLD** – состоят из нескольких блоков, подобных ПМЛ, которые объединяются с помощью программируемой коммутационной матрицы.
 - Фирмы выпускающие CPLD: Altera, Atmel, Lattice Semiconductors, Cypress Semiconductors, Xilinx и др.

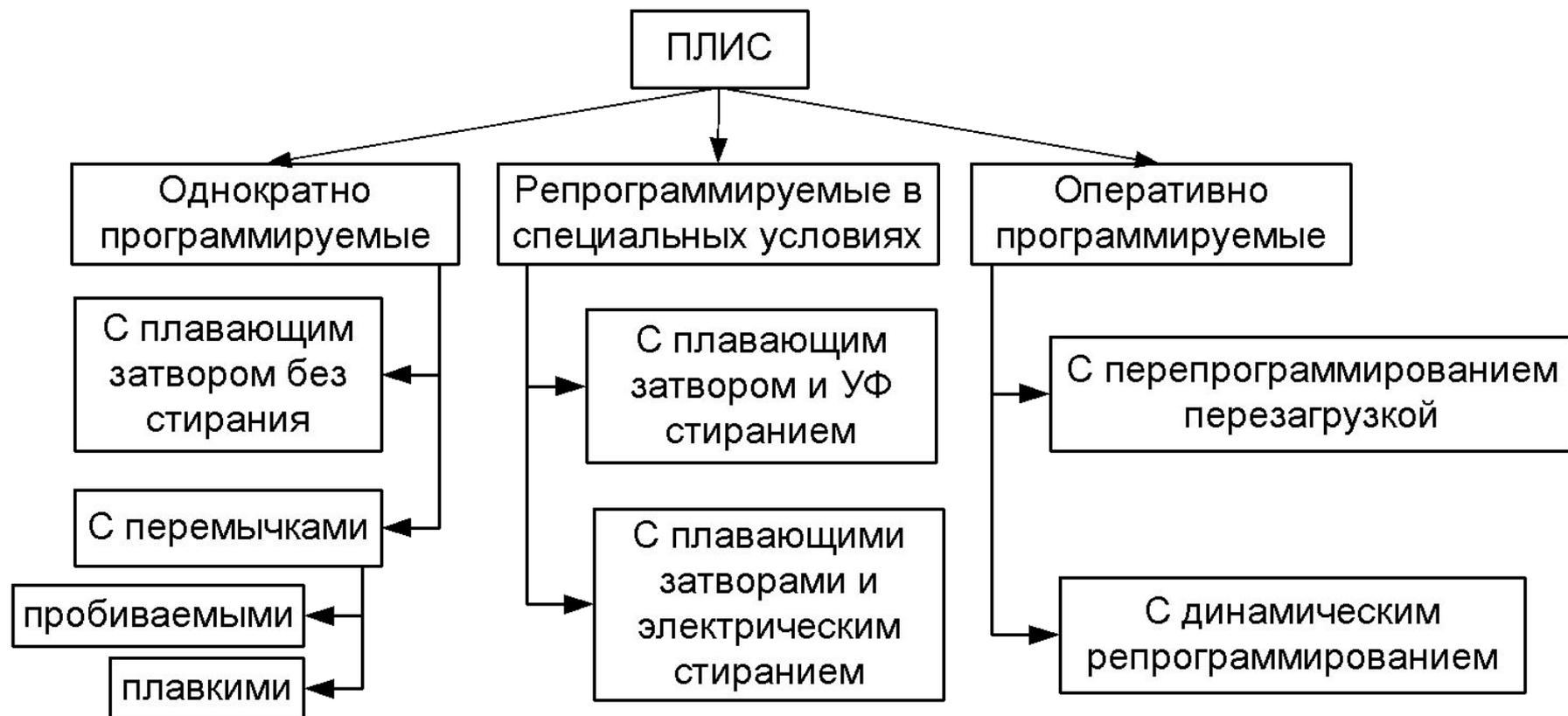
Классические FPGA

- **FPGA** – состоят из большого числа конфигурируемых логических блоков (ЛБ), расположенных по строкам и столбцам в виде матрицы, и трассировочных ресурсов, обеспечивающих их межсоединения.
- FPGA схожи с MPGA, только для специализации не требуется обращаться к производителю ИМС.

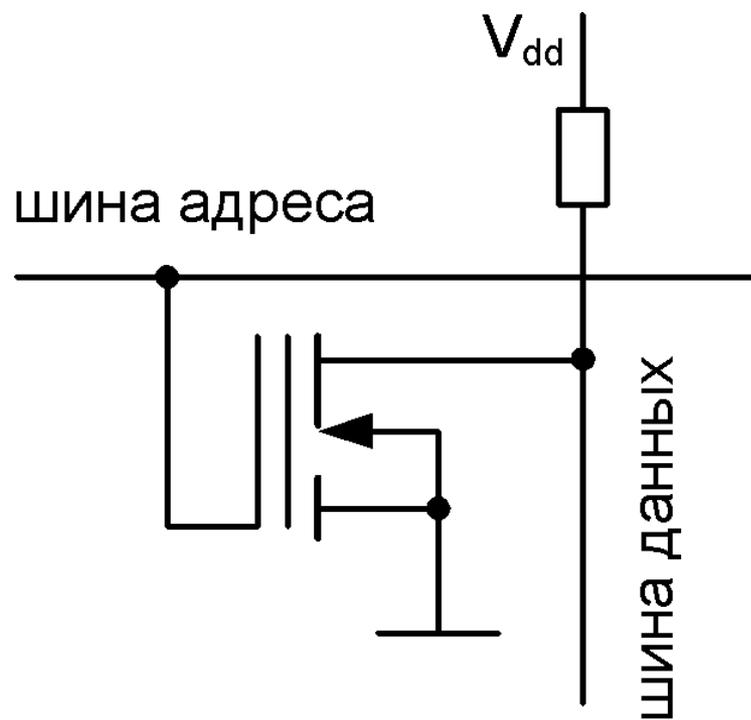
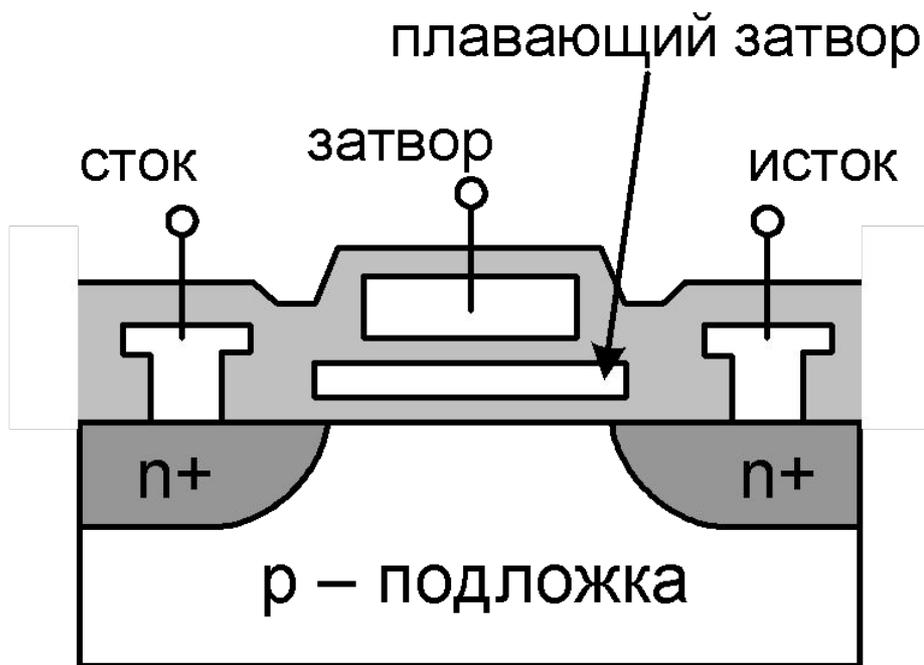
Классификация ПЛИС по уровню интеграции



Классификация ПЛИС по кратности программирования



Транзистор с плавающим затвором



ПЛИС с динамическим репрограммированием

Такие ПЛИС открывают ряд новых возможностей в области построения устройств и систем с многофункциональным использованием аппаратных ресурсов для решения сложных задач при разбиении на последовательные этапы и реализации разных этапов на одних и тех же быстроперестраиваемых ПЛИС

Общие (системные) свойства микросхем программируемой логики

- Универсальность и связанные с нею высокий спрос со стороны потребителей, что обеспечивает массовое производство.
- Низкая стоимость, обусловленная массовым производством и высоким процентом выхода годных при производстве вследствие регулярной структуры.
- Высокое быстродействие и надежность как следствие реализации на базе передовых технологий и интеграции сложных устройств на одном кристалле.
- Разнообразие конструктивного исполнения.
- Разнообразие в выборе напряжений питания и параметров сигналов ввода/вывода, а также режимов снижения мощности.
- Наличие эффективных САПР, малое время проектирования и отладки проектов, а также выхода продукции на рынок.
- Простота модификации проектов на любых стадиях их разработки

Области применения ИСПС различных типов

Формула стоимости ИС, изготовленной на освоенном тех.процессе:

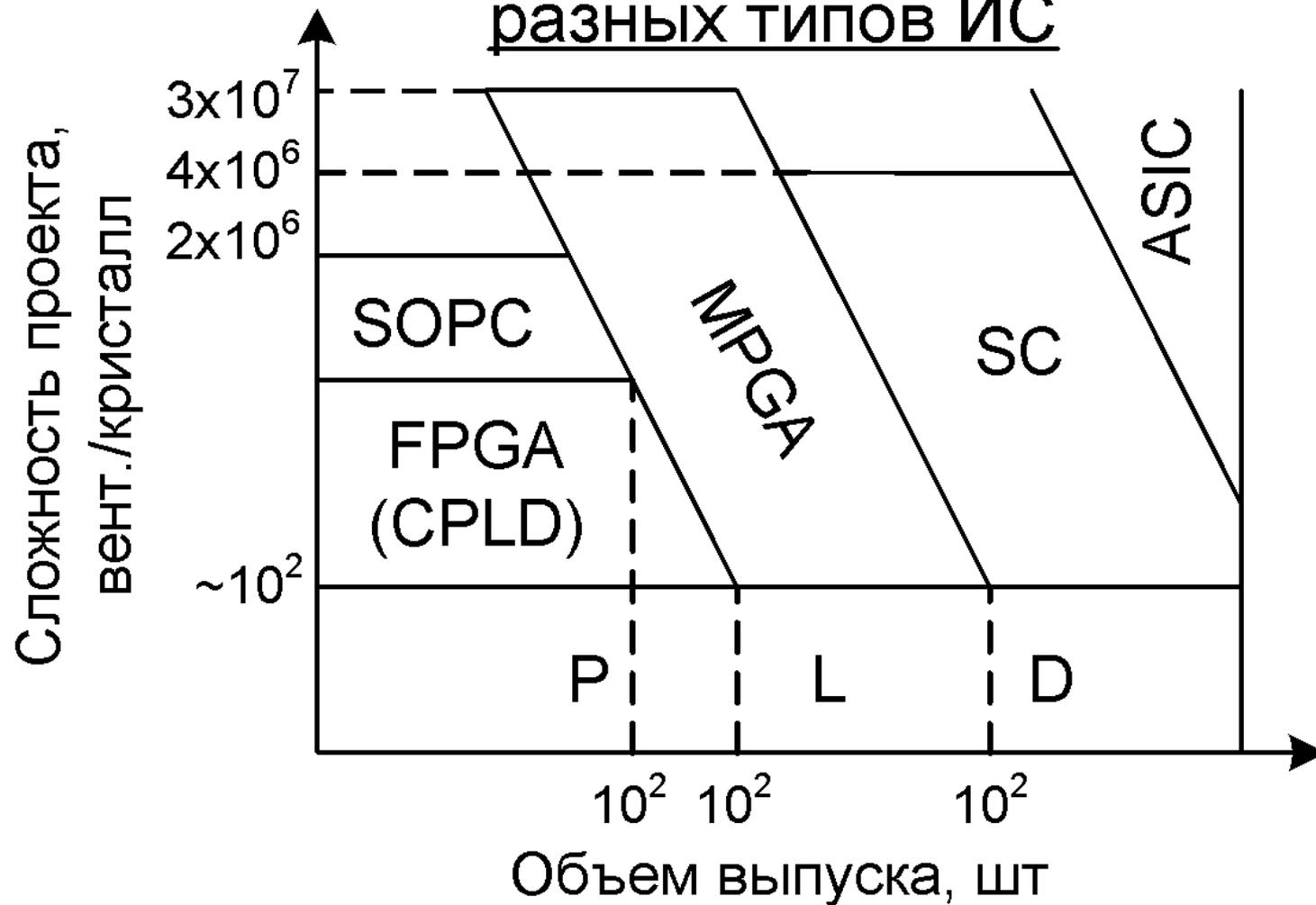
$$C_{\text{ис}} = C_{\text{изг}} + C_{\text{пр}} / N,$$

где $C_{\text{изг}}$ – стоимость изготовления ИС (стоимость кристалла и других материалов, стоимость технологических операций по изготовлению ИС, контрольных испытаний), $C_{\text{пр}}$ – стоимость проектирования ИС, т.е. однократные затраты для данного типа ИС, N – объем производства (шт.)

$C_{\text{пр}}$ и $C_{\text{изг}}$ – находятся во взаимосвязи.

Рациональные объемы выпуска

разных типов ИС



Место ИСПС в процессе создания современной аппаратуры

- Львиной долей инженерных разработок в современной России является использование ПЛИС и МП(МК), а также систем, включающих в себя и то и другое.
- Целесообразность использования того или иного типа СПИС определяется в основном минимальным временем выхода конечного изделия на рынок (time-to-market).

Место ИСПС в процессе создания современной аппаратуры

