

Кафедра “компьютерные системы и технологии”

курс

Системы ввода-вывода, интерфейсы  
и периферия компьютеров

часть 1

СИСТЕМЫ ВВОДА-ВЫВОДА И ИНТЕРФЕЙСЫ

Лектор профессор Чернышев Ю.А.

## **Тема 1.1.**

# **Основные принципы построения систем ввода вывода и интерфейсов**

## Что такое система ввода-вывода и периферия?

Система ввода-вывода-средства передачи информации, объединяющих между собой основные устройства компьютера: ЦПр., ОЗУ и ПУ.

Периферийные устройства-средства передачи информации между внешним миром и компьютером.

# Роль и место систем ввода-вывода и интерфейсов в компьютере

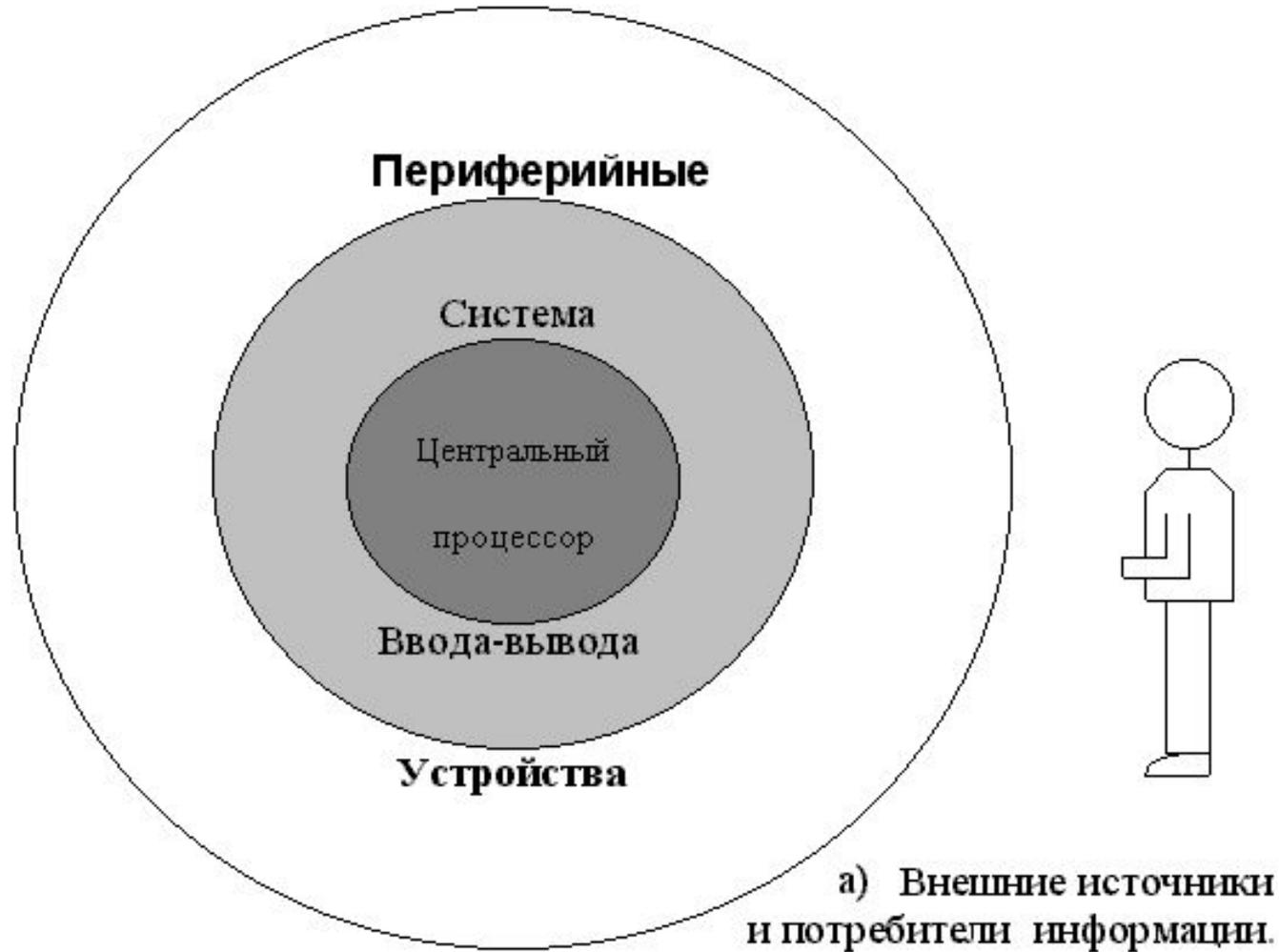


Рис.1.1. Информационное взаимодействие компьютера и внешней среды



Рис.1.1. Информационное взаимодействие компьютера и внешней среды

# ИНТЕРФЕЙС

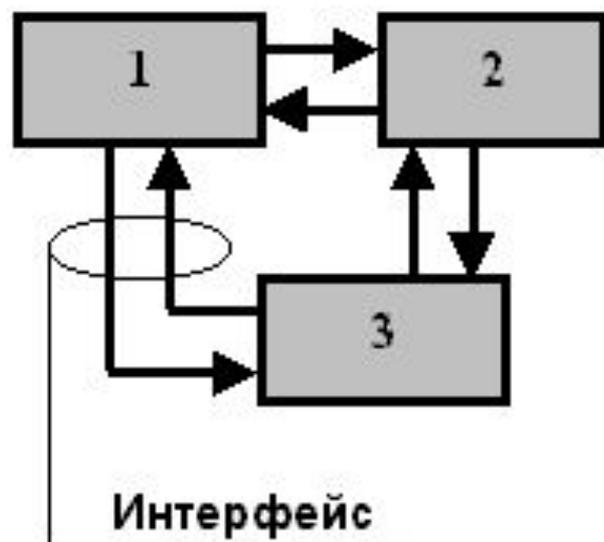
Средства и правила, обеспечивающие взаимосвязь устройств между собой, называются интерфейсом.

В интерфейсе стандартизируются:

1. Назначение и количество линий интерфейса.
2. Параметры электрических сигналов.
3. Протоколы обмена информацией.
4. Конструктивные параметры.

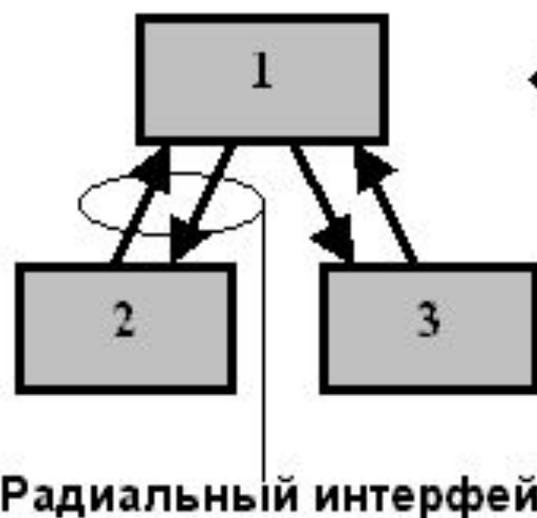
А) Каждый с каждым

Модуль 1



Б) Радиальный

Главный модуль



В) Магистральный

Общая магистраль

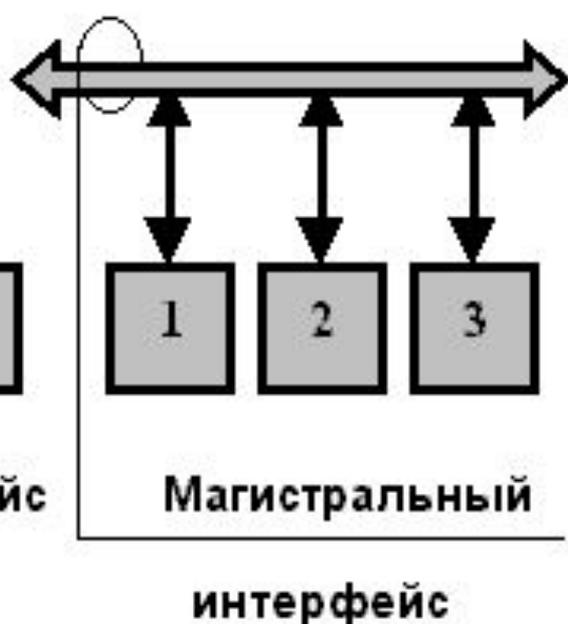


Рис. 1.2. Способы соединения модулей

# Основные принципы передачи информации в вычислительных системах



Рис.1.3. Управление обменом информации

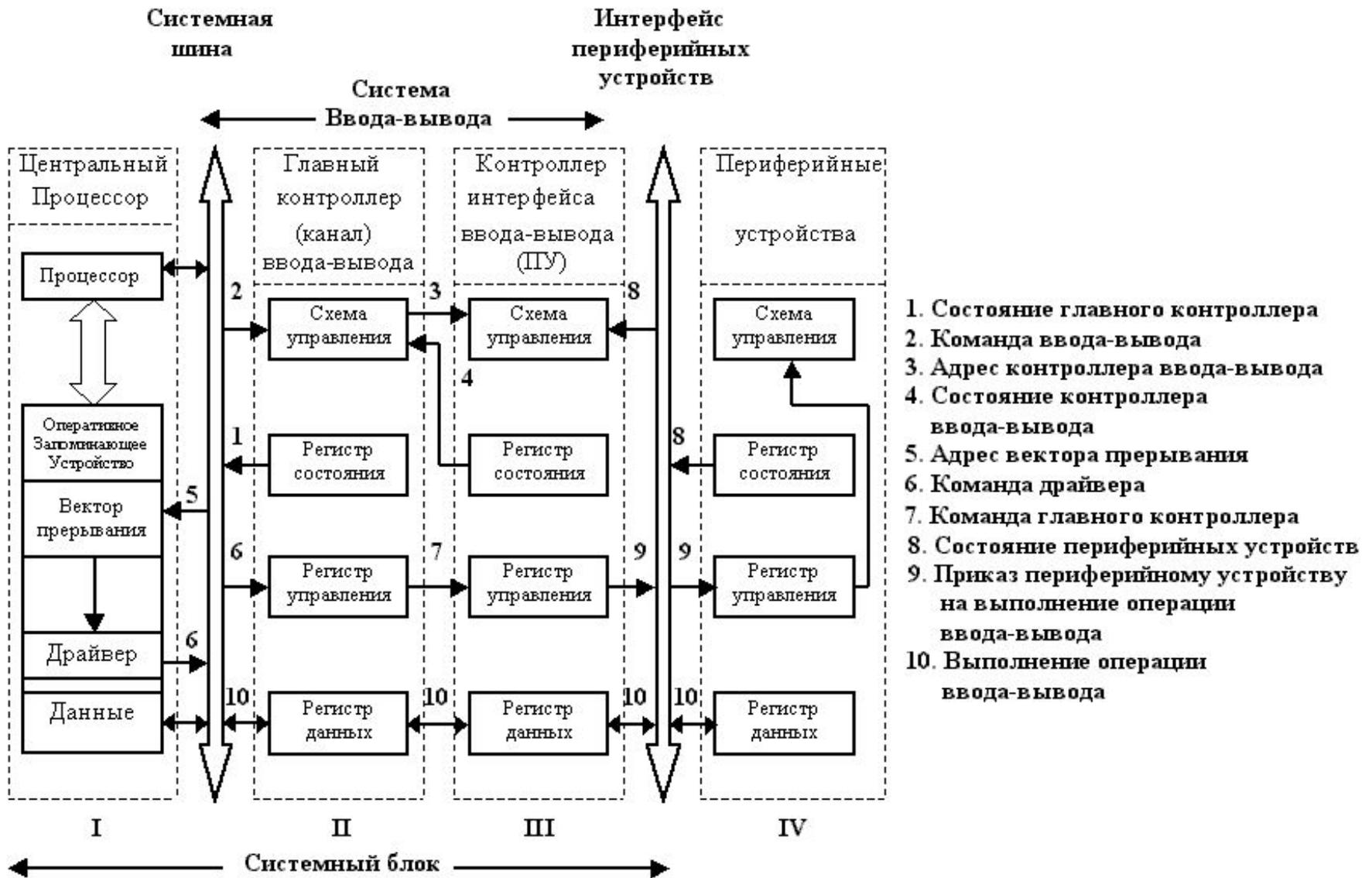
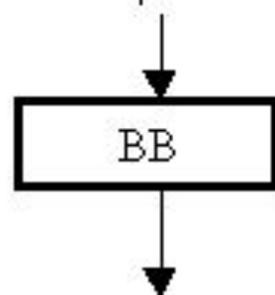
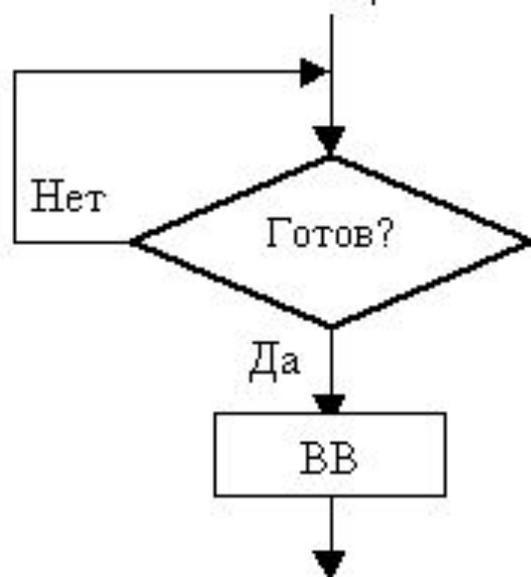


Рис. 1.4. Функциональная схема организации передачи информации в компьютере

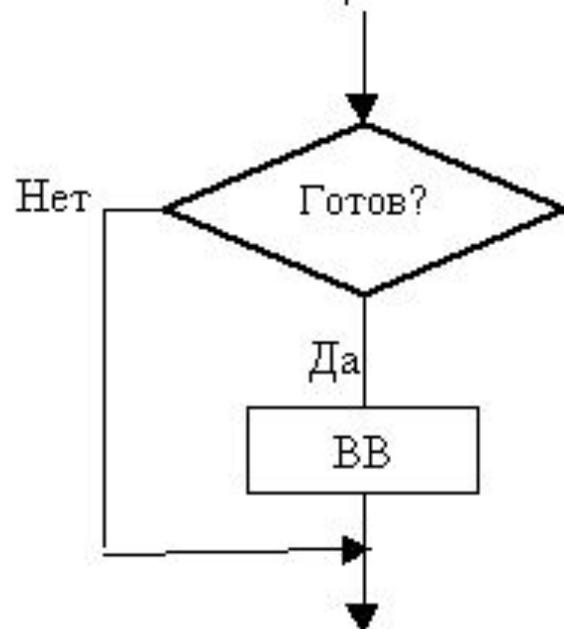
а) Прямой-для  
синхронных ПУ



б) Условный с  
занятием цикла



в) Условный с  
замещением



**Рис.1.5. Программный ввод-вывод**

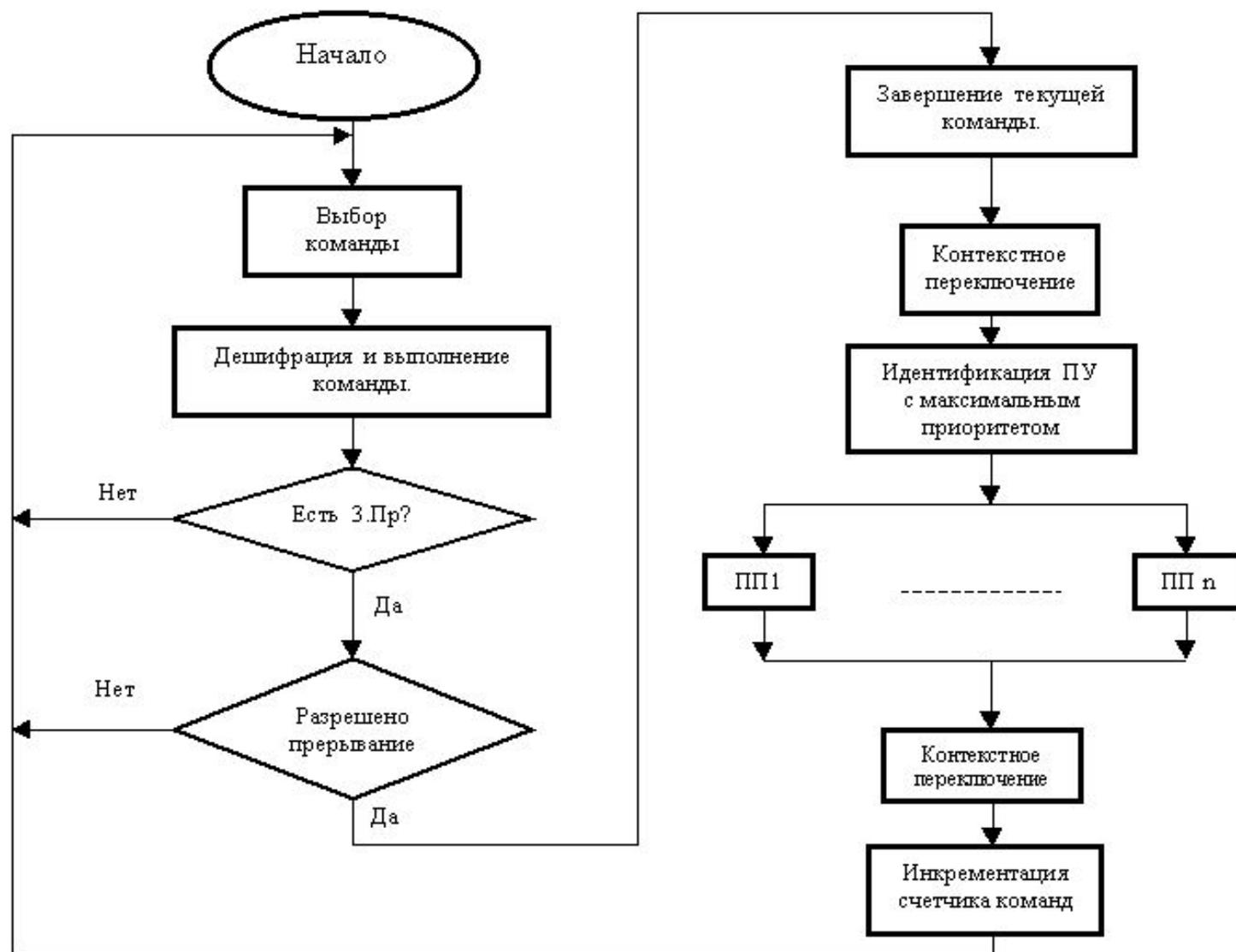


Рис.1.6. Ввод-вывод в режиме прерывания

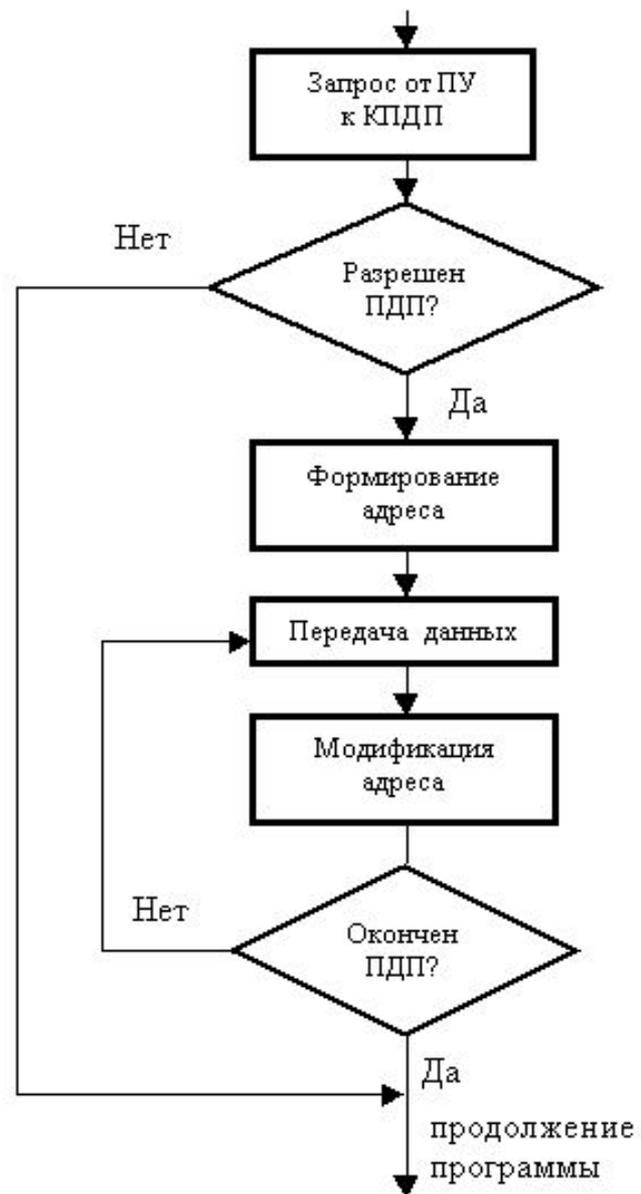


Рис. 1.7. Режим прямого доступа к памяти

## Системные интерфейсы и шины расширения

Тип МП	Частота МГц	Шина данных разр.	Шина адреса разр.	Год выпуска разр.	Внутр. КЭШ КБайт
i8080,i8088 i8086	4,77;8;10	8,16	20	1978	—
i80286	6-25	16	24	1982	—
i80386	16,20,25,33, 40	16,32	24,32	1985	—
i486	16 - 66	32	32	1989	8,16
i486Dx2(4)	40-120	32	32	1992	16
Pentium (Pro,MMX)	60 – 200	64	32	1993	2x8 2x16
Pentium II	233,266,300	64	32	1997	2x16
Pentium III	299,322	128	32	1999	

**ТАБЛИЦА 1**

Тип памяти	Частота шины данных МГц	Разрядность шины данных	Максимальная пропускная способность Мбайт/с	Объем	Время доступа нс	Реальная пропускная способность Мбайт/сек
SRAM КЭШ- память 1-го уровня	75-166	32	300-667	16 КБайт	5-10	300-667
SRAM КЭШ- память 2-го уровня	50/60/66	64	400/480/582	250кбайт - 1Мбайт	15	200/528
FPM DRAM EDO DRAM	50/60/66	64	400/480/582	8-256 Мбайт	40-70	100-264
SDRAM	100/200	64	582/800		6-8	528/800
RDRAM	100/200	64	800/1600	32-1000 Мбайт	2,5	800/1600

**ТАБЛИЦА 2**

Шина	Пропускная способность Мбайт/сек	Автокон- фигурация	Разряд- ность данных	Разрядность адреса	Частота МГц
ISA-8	4	-	8	20 (1 Мбайт)	8
ISA-16	8/16	-	16	24 (16Мбайт)	8/16
EISA	33,3	+	32	32 (4Гбайт)	8,33
MCA-16	16	+	16	24 (16Гбайт)	10
MCA-32	20	+	32	32 (4Гбайт)	10
VLB	132	-	32/64	32 (4Гбайт)	33-50(66)
PCI	132/264	+	32/64	32 (4Гбайт)	33(66)
AGP	256/512	+	32	32 (4Гбайт)	66
VME32	30	+	32	32 (4Гбайт)	8
SBUS	80/100		32/64	32 (4Гбайт)	20/25
MBUS	400		64	36	50
XD-BUS	400				
Power- path2			256	40(16Гбайт)	50

**ТАБЛИЦА 3**

## Интерфейсы периферийных устройств

Шина	Пропускная способность	Способ передачи	Режим передачи	Разрядность данных	Частота МГц
<b>RS-232c</b>	от 50бит/сек до 115 Кбит/сек	последовательный	дуплексный	1	
<b>Centronics SPP</b>	100-150 КБайт/сек	параллельный	симплексный	8	
<b>IEEE1284 EPP</b>	0,5-2 Мбайт/сек	параллельный	полудуплексный	8	
<b>IEEE1284 ECP</b>	до 4 Мбайт/сек	параллельный	полудуплексный	8	
<b>SCSI-3 SPI</b>	5; 10; 20; 40; 80; (160) Мбайт/сек	параллельный	полудуплексный	8/16/32	5,10,20, 40
<b>SCSI-3 Fibre channel SCSI</b>	100 Мбайт/сек	последовательный	полудуплексный	1	
<b>IEEE1394 FireWare</b>	100; 200; 400 Мбит/сек	последовательный	полудуплексный	1	
<b>USB</b>	1,5; 12 Мбит/сек	последовательный	полудуплексный	1	
<b>ATA</b>	от 2 до 33 Мбайт/сек	параллельный	полудуплексный	8; 16	

**ТАБЛИЦА 4**



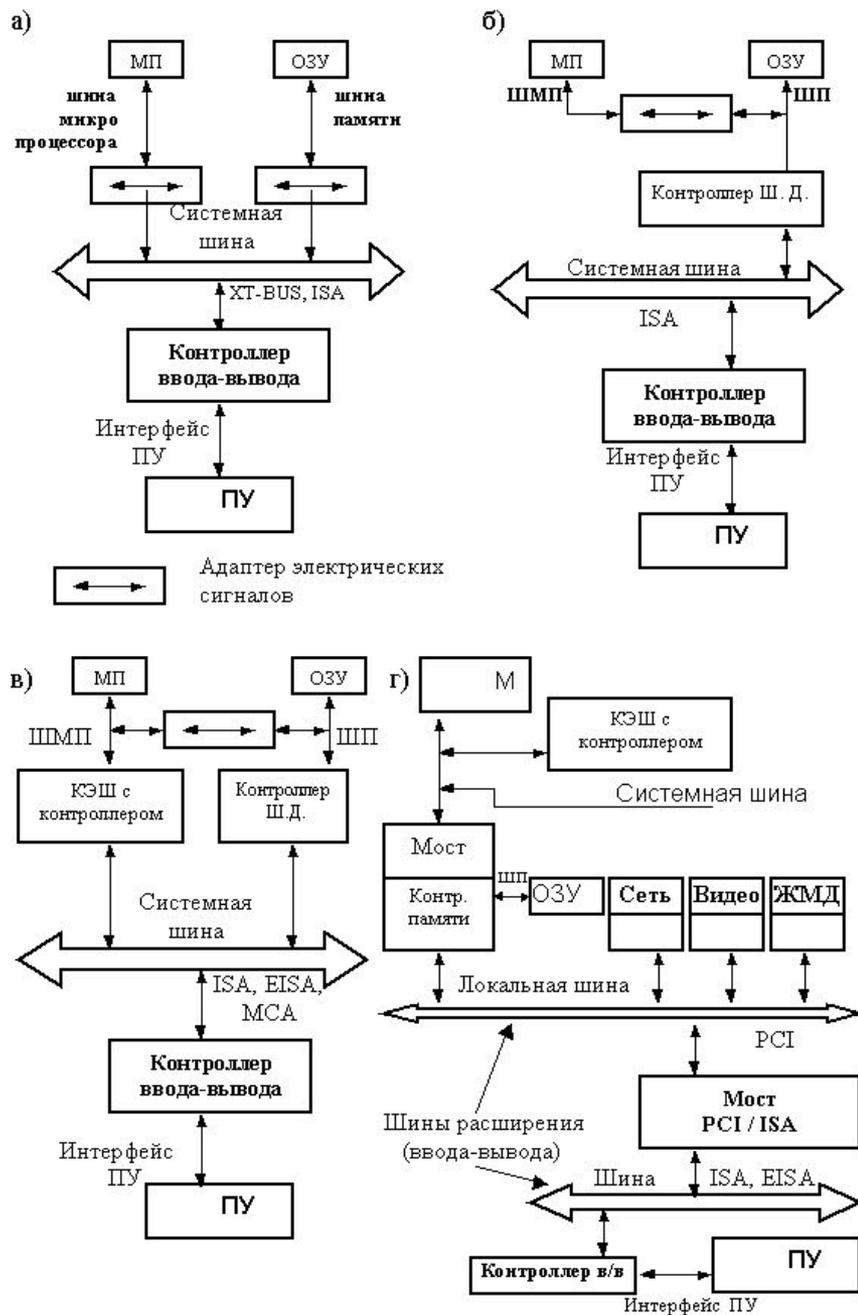


Рис. 1.9. Эволюция шинной архитектуры

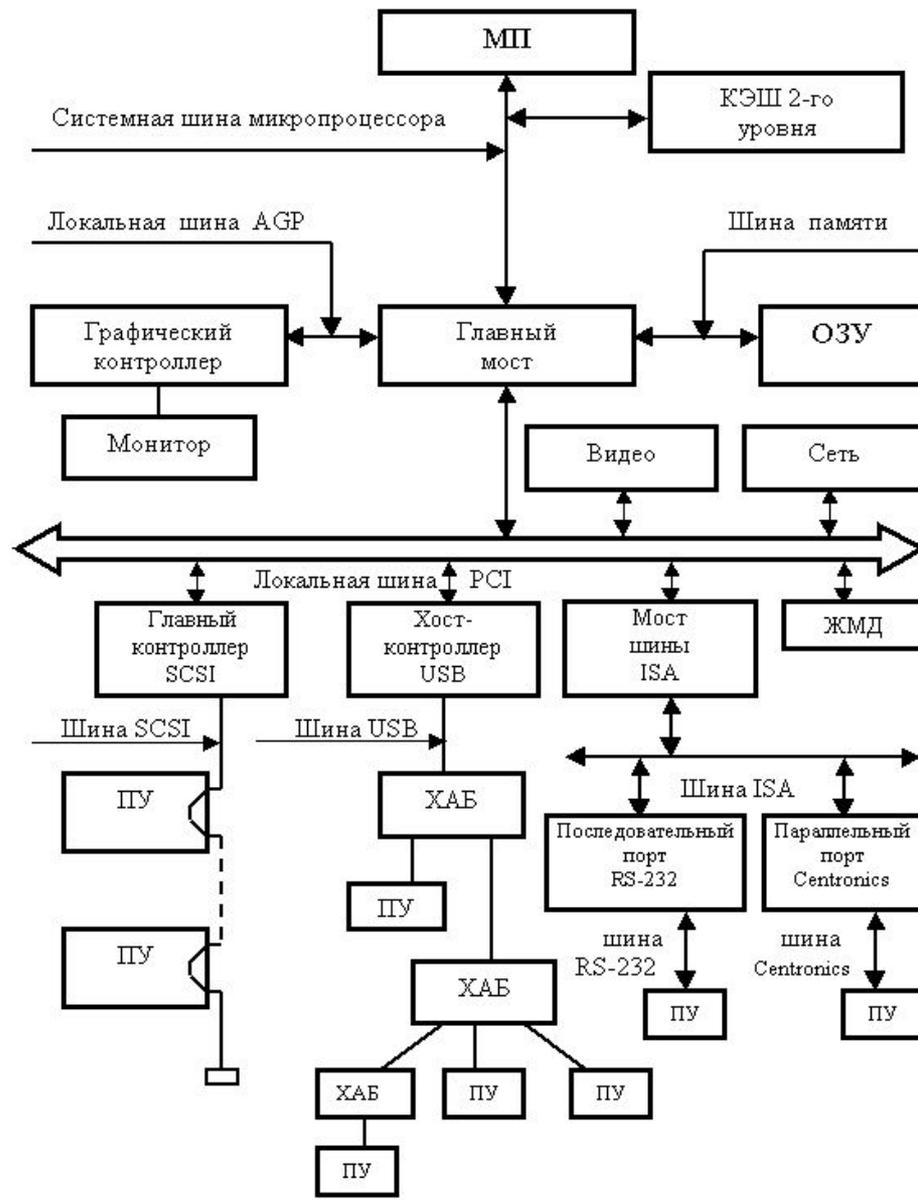


Рис. 1.10. Обобщенная структура компьютера

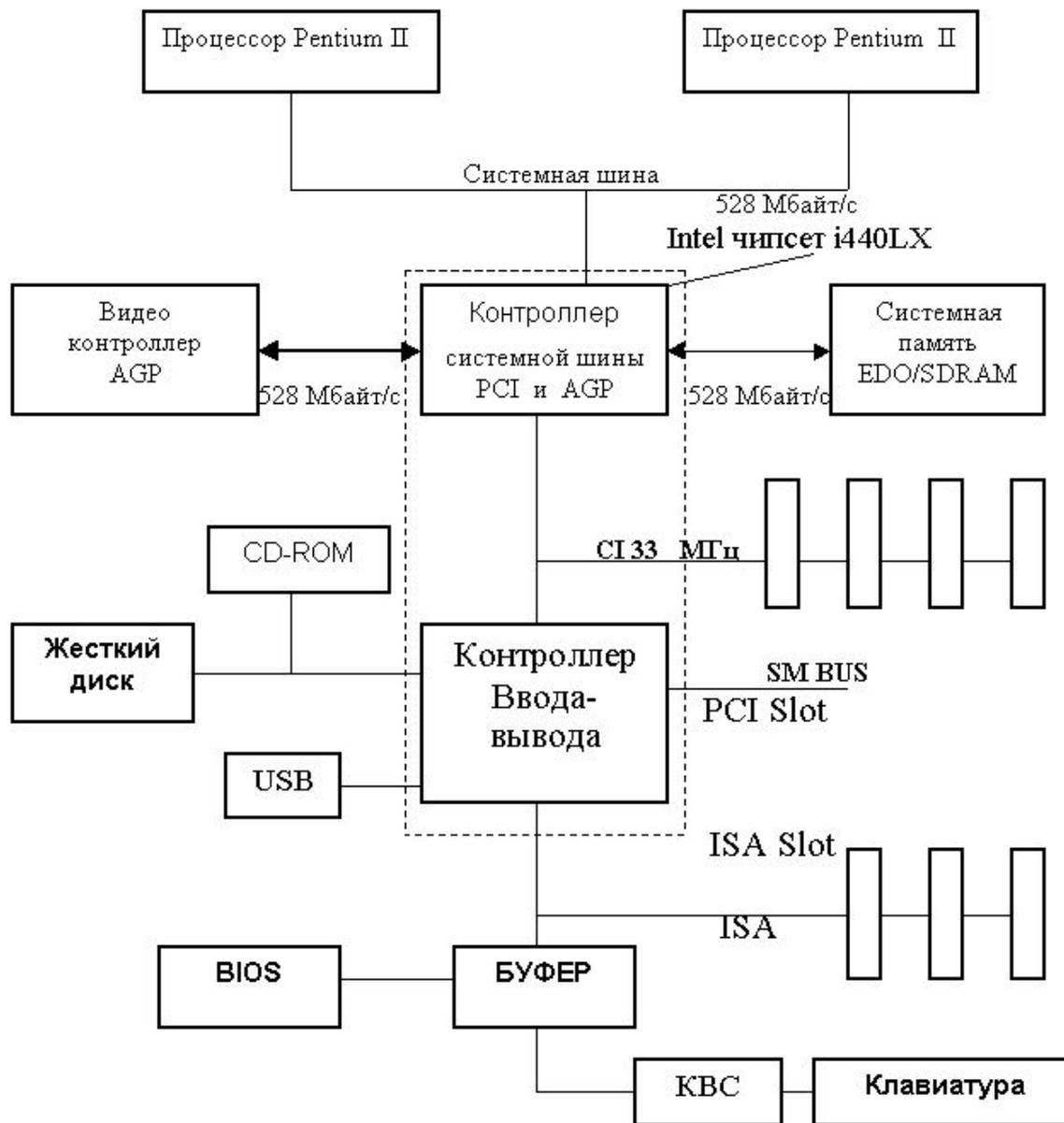


Рис. 1.11. Чипсет Intel i440 LX

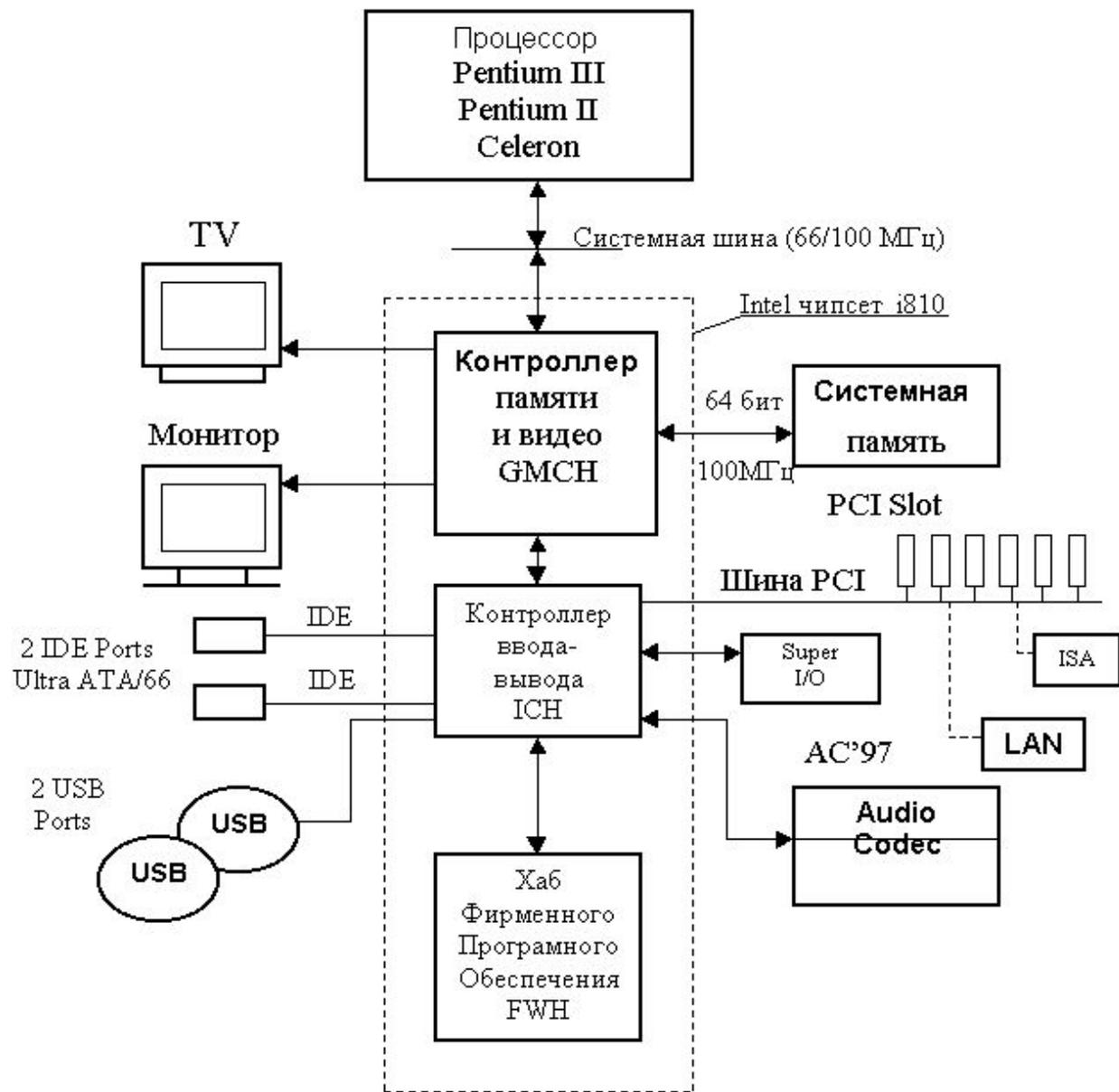


Рис. 1.12. Чипсет Intel i810

Тема 1.2.

**Основные функции и принципы  
построения интерфейсов**

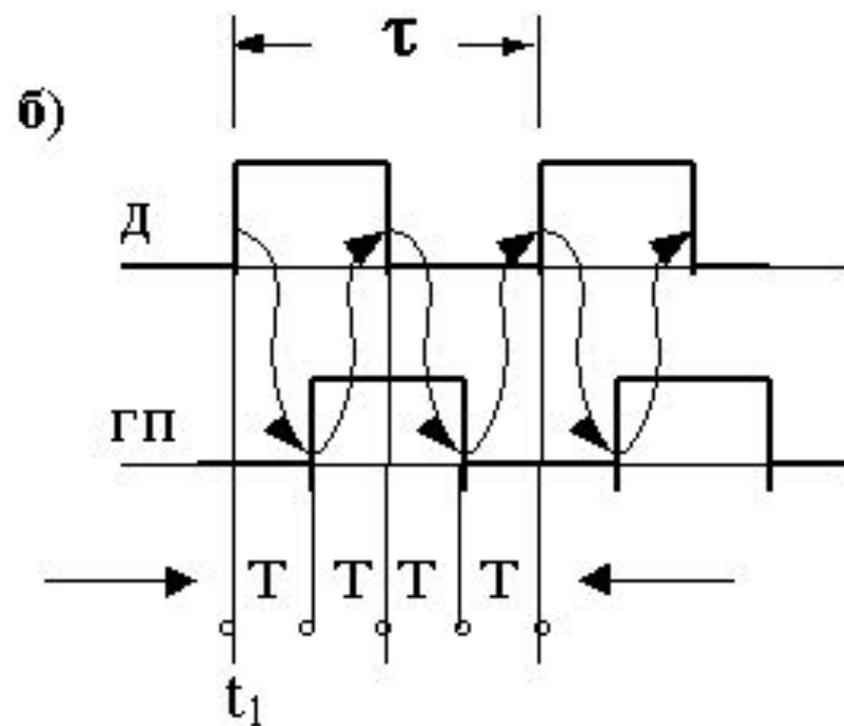
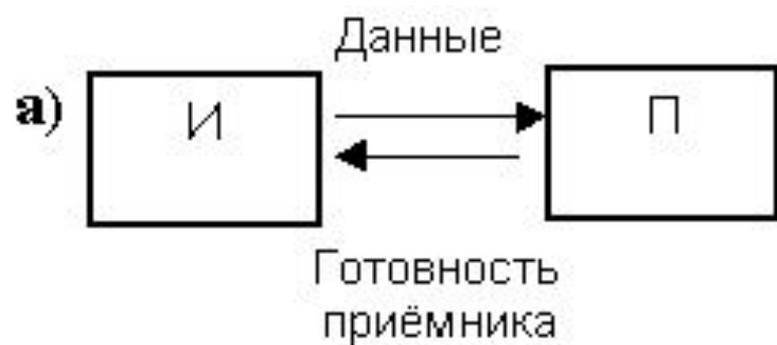
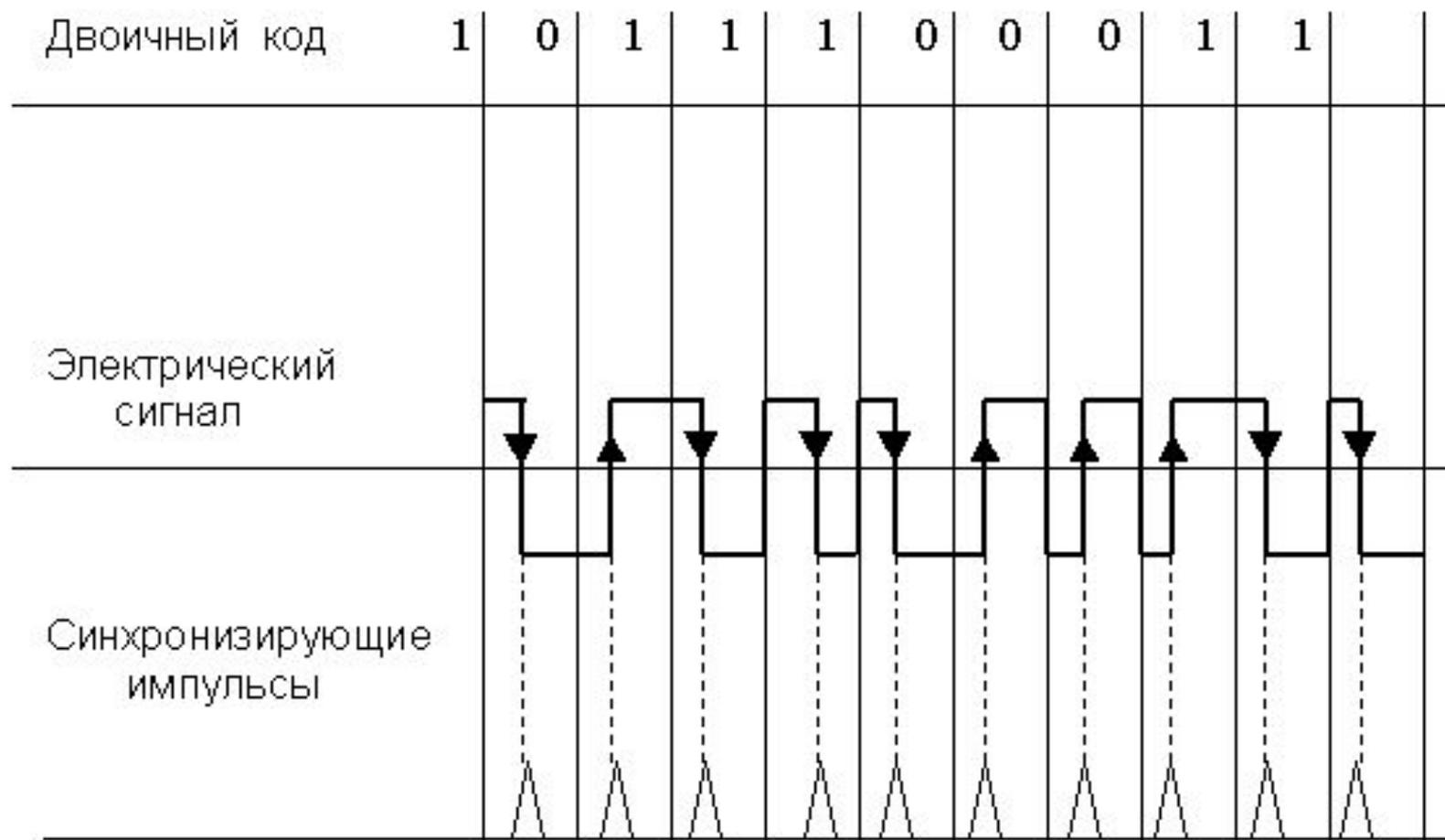
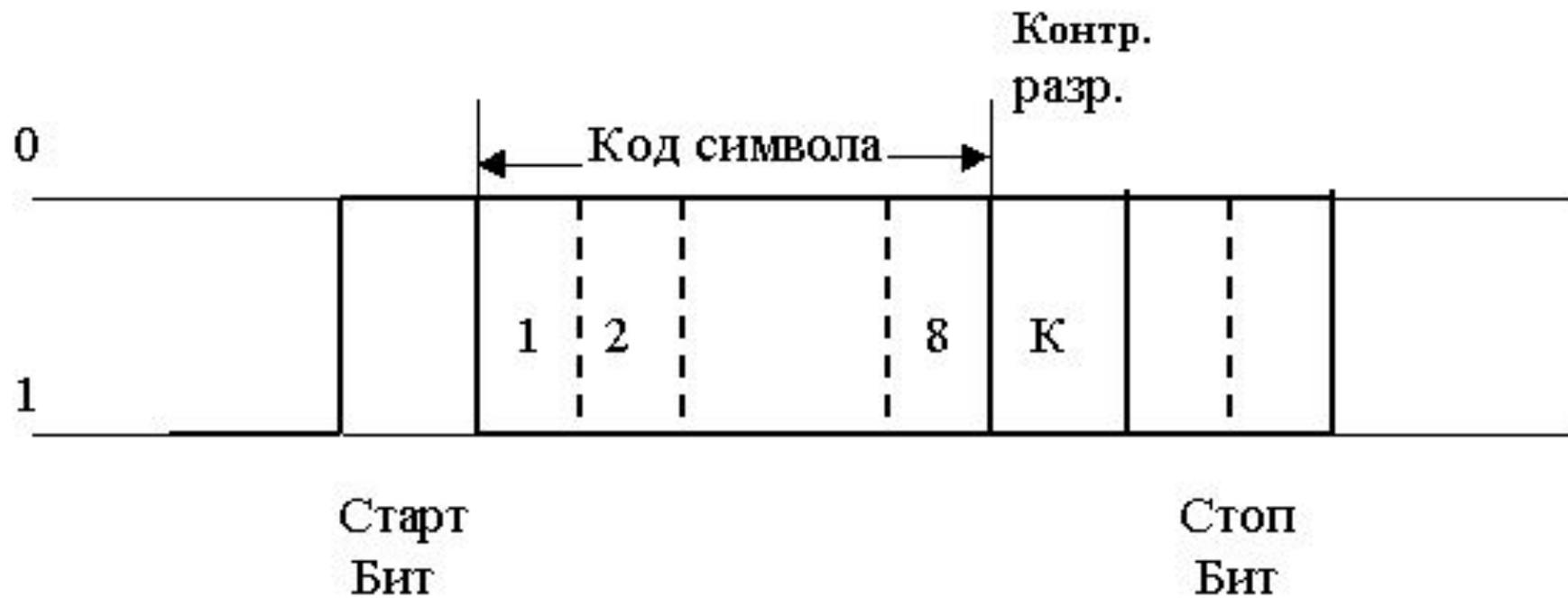


Рис.1.13. Асинхронный принцип синхронизации



**Рис. 1.14. Самосинхронизация**



**Рис 1.15 Асинхронная передача символа**

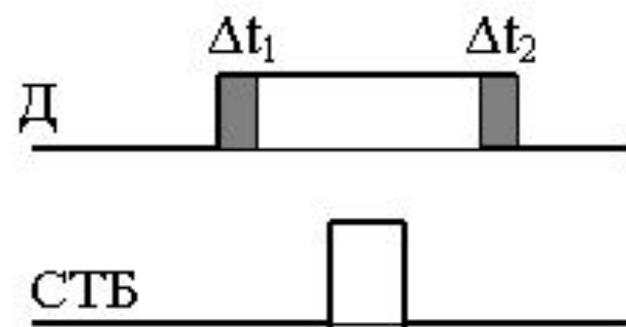
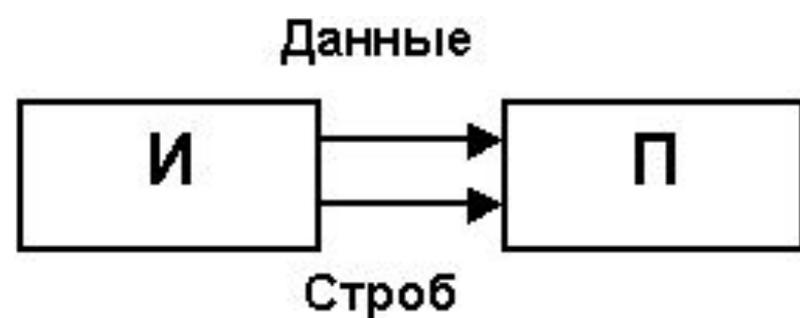


Рис. 1.16. Синхронная параллельная передача данных

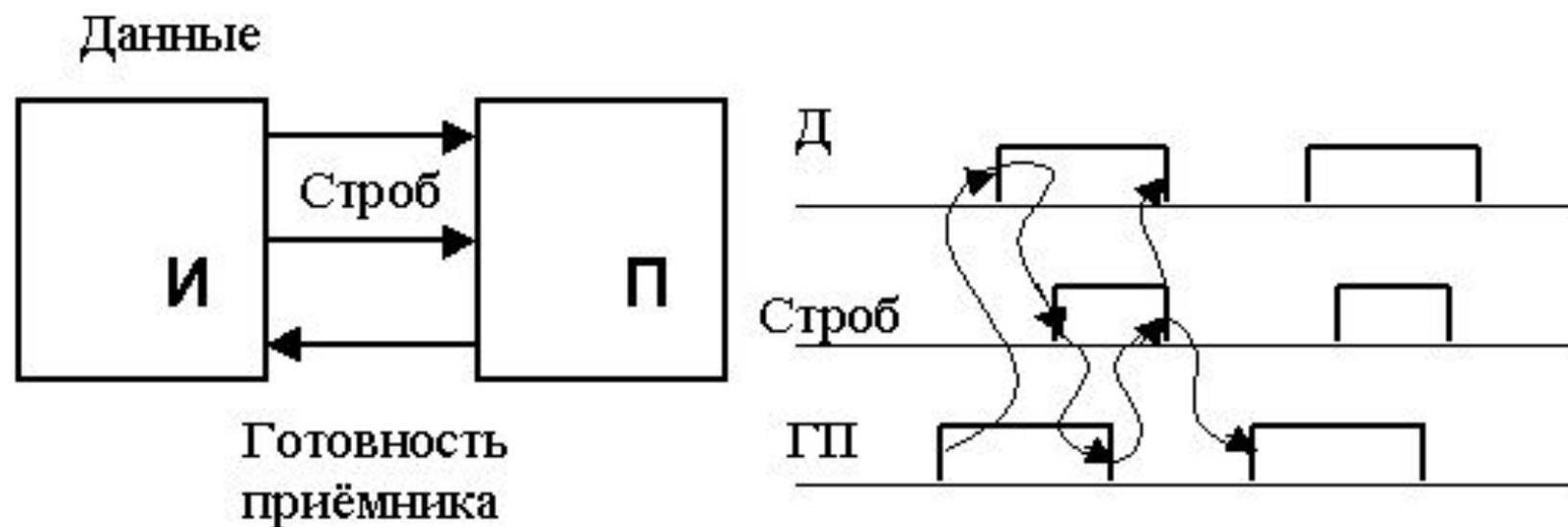


Рис. 1.17. Асинхронная параллельная передача данных

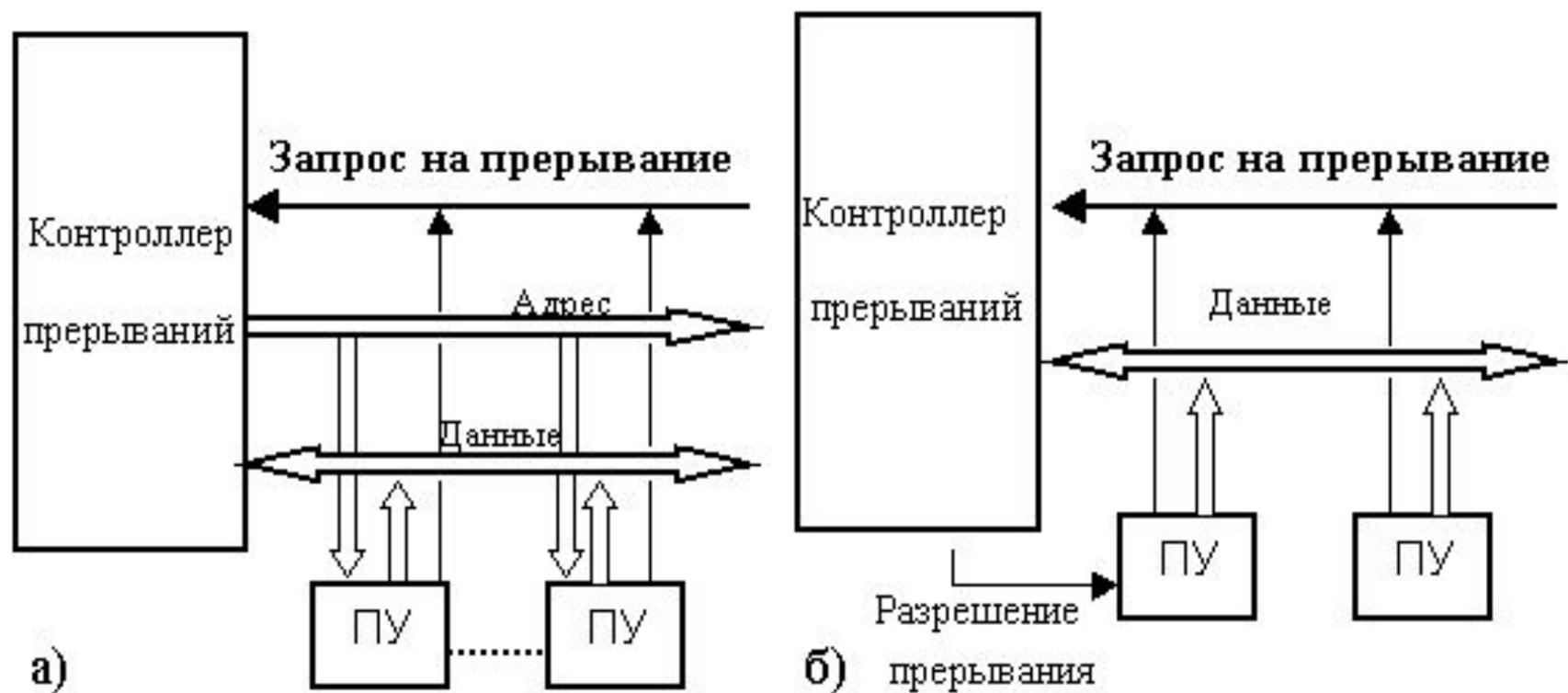
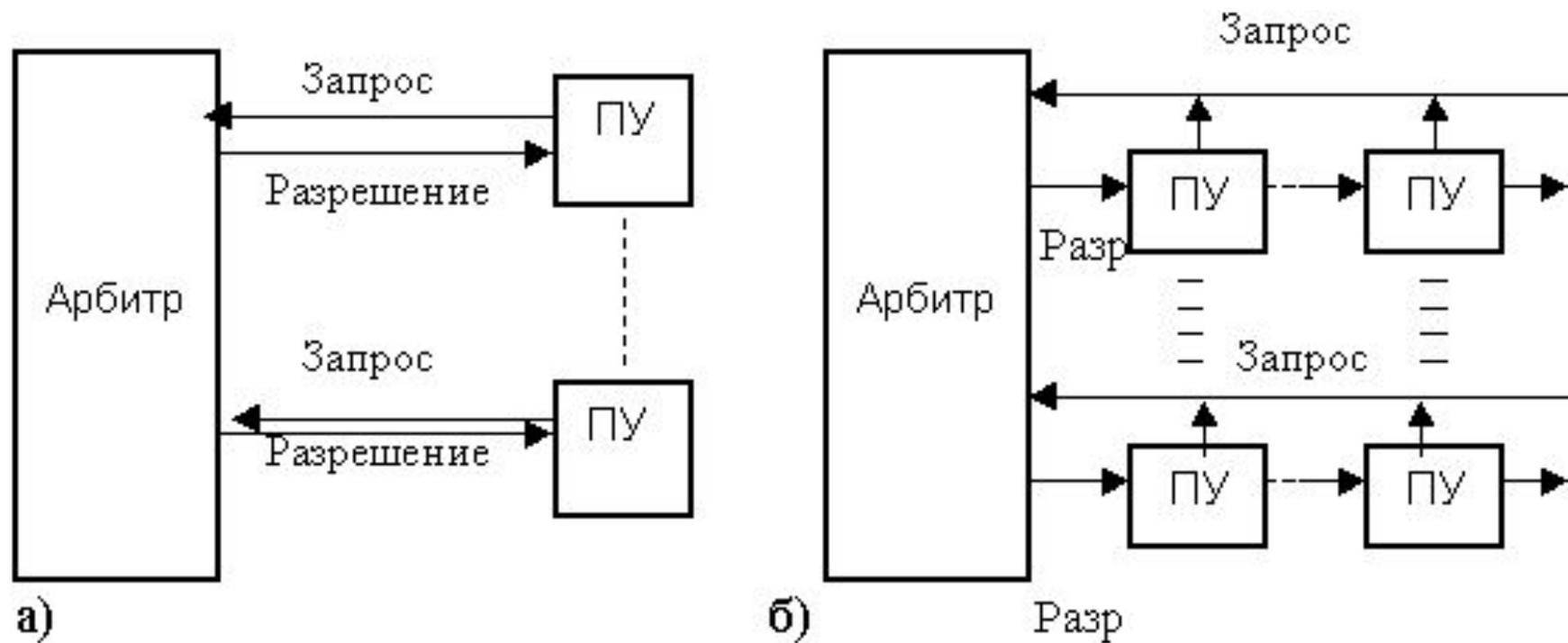


Рис. 1.18. Одноуровневая система селекции



**Рис. 1.19. Многоуровневая система арбитражи**

# Протоколы передачи данных в компьютерных интерфейсах

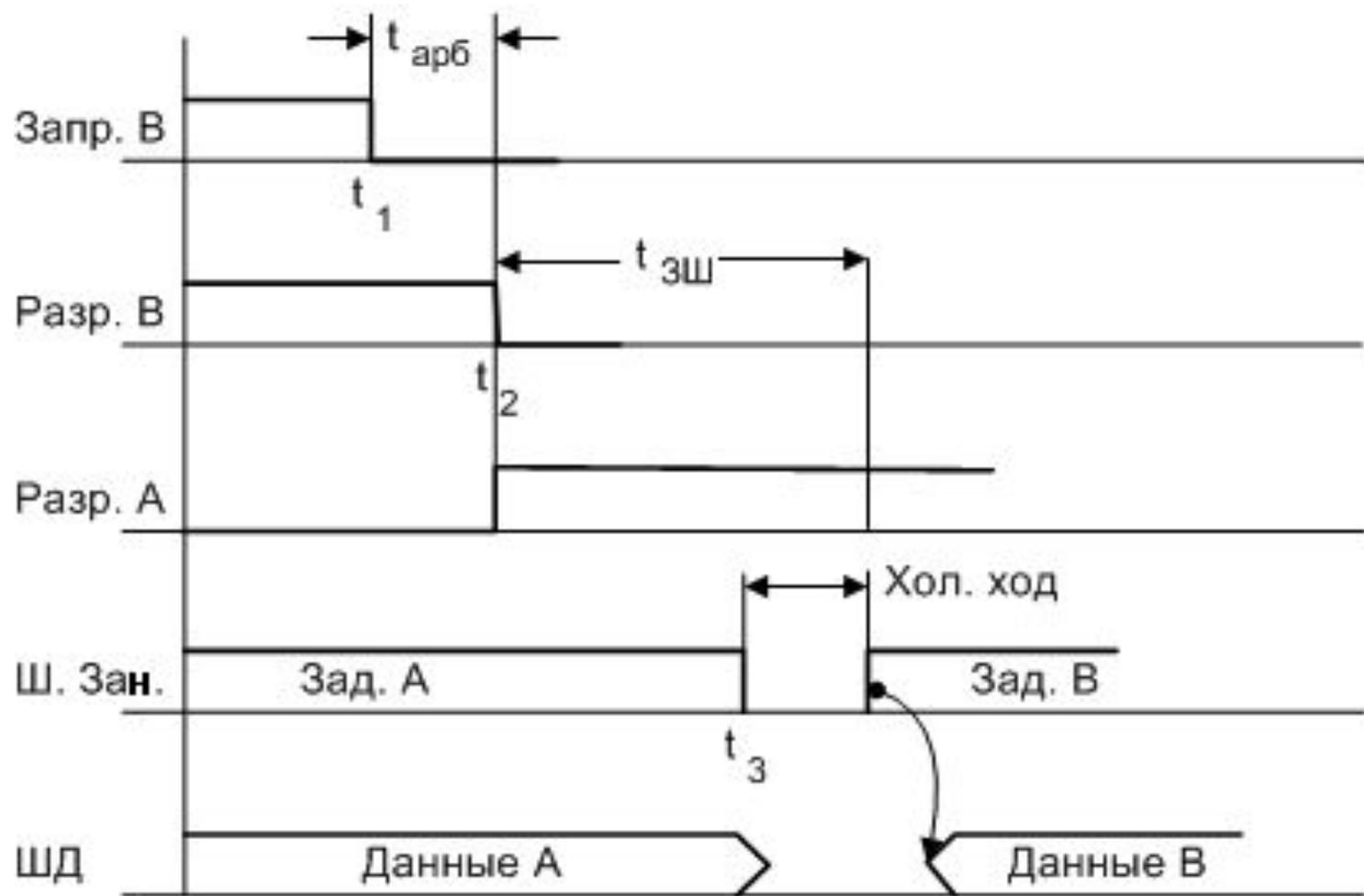


Рис. 1.20. Протокол арбитражи

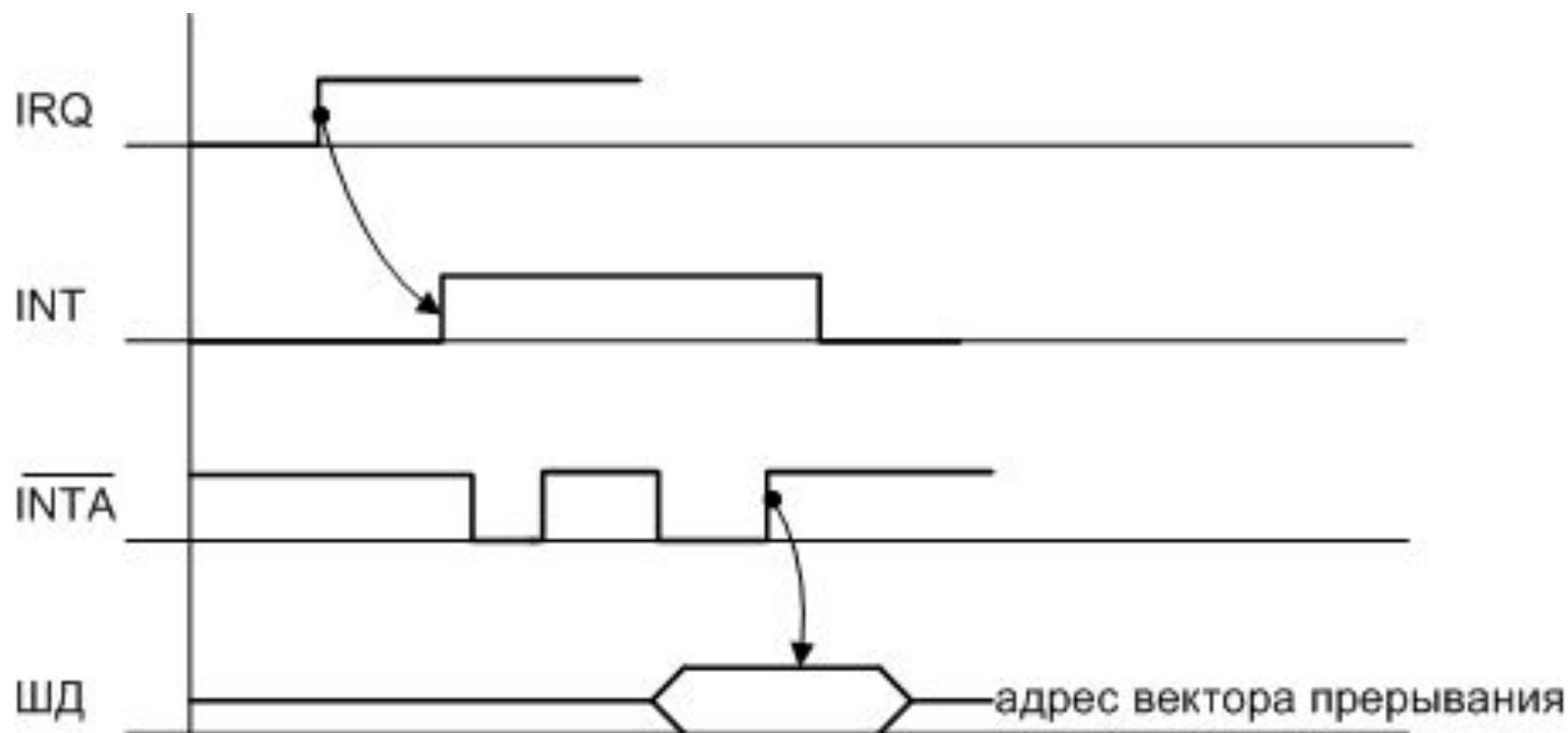
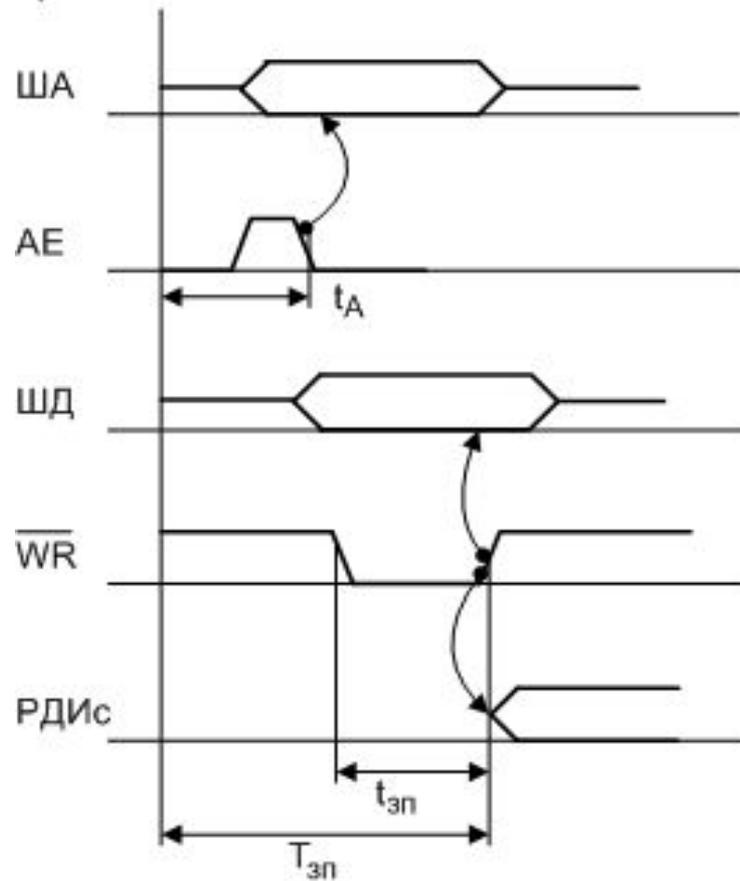


Рис. 1.21. Протокол режима прерываний

а) запись



б) чтение

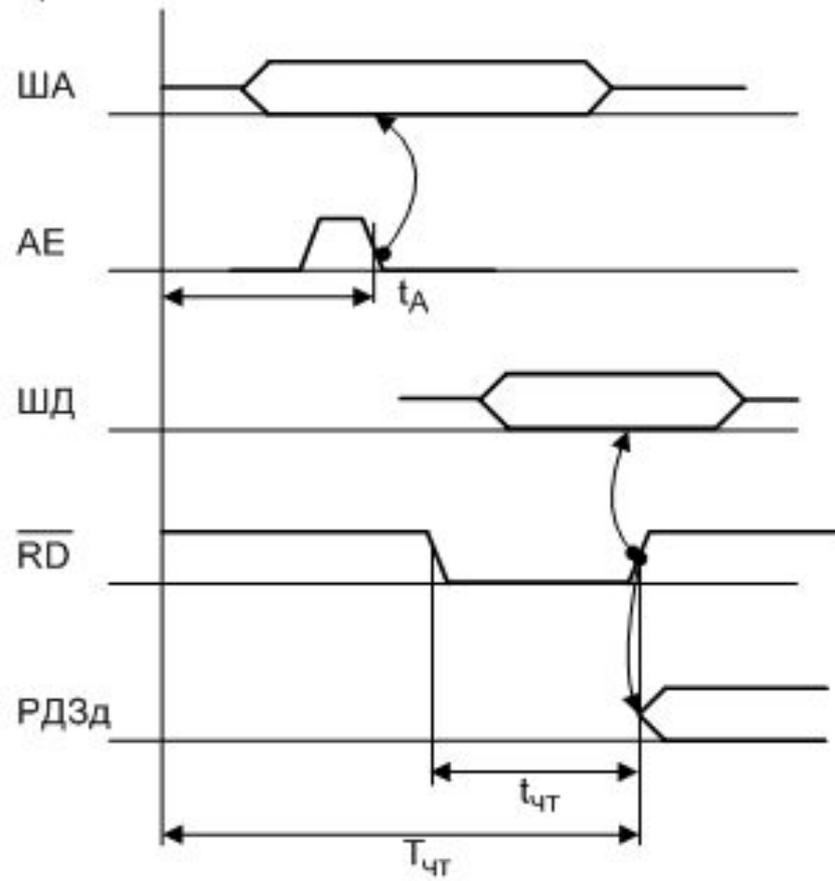
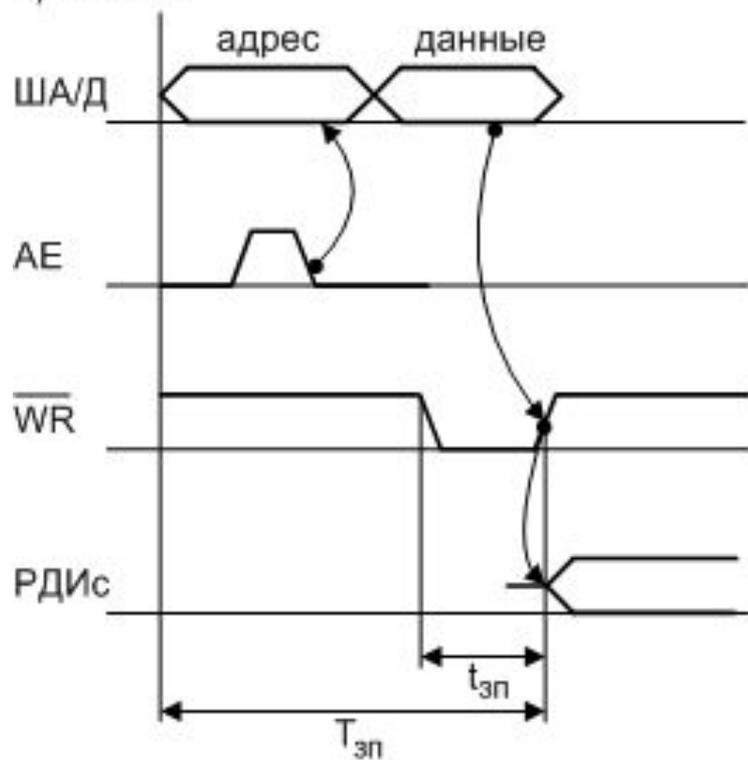


Рис. 1.22. Трехшинная архитектура синхронной передачи

а) запись



б) чтение

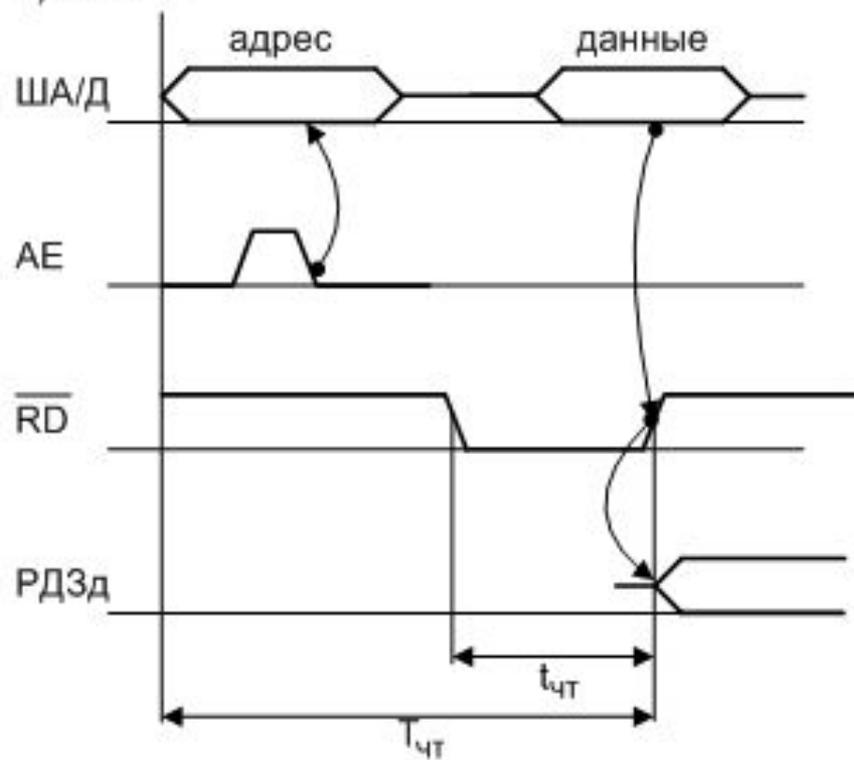


Рис. 1.23. Двухшинная архитектура синхронной передачи

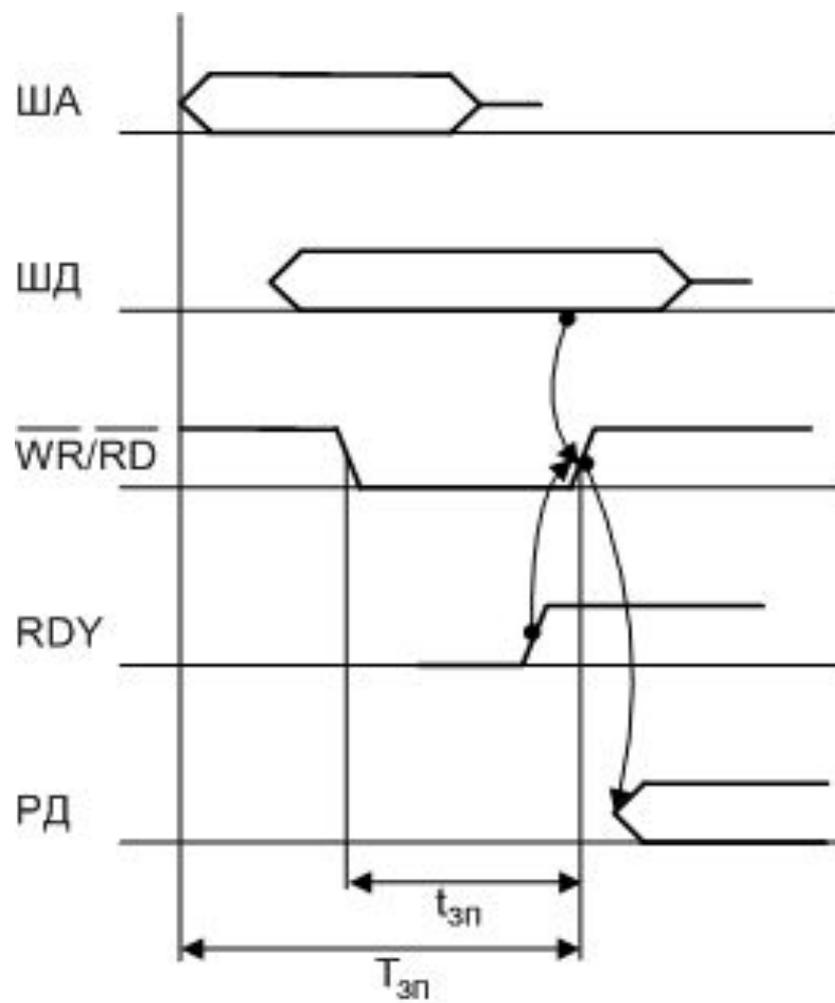


Рис. 1.24. Асинхронная передача



Рис. 1.25. Байт-ориентированный протокол

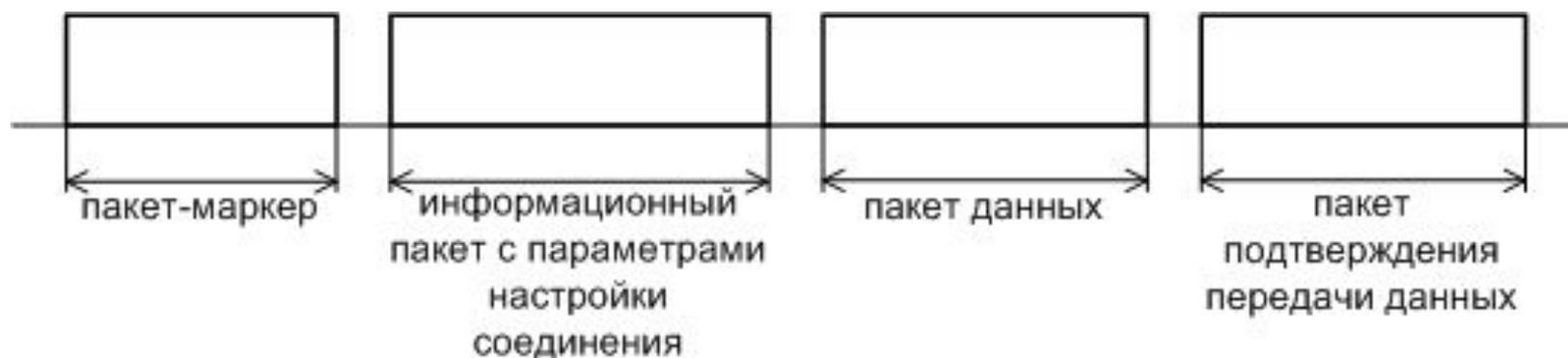


Рис. 1.26. Протокол с установлением соединения

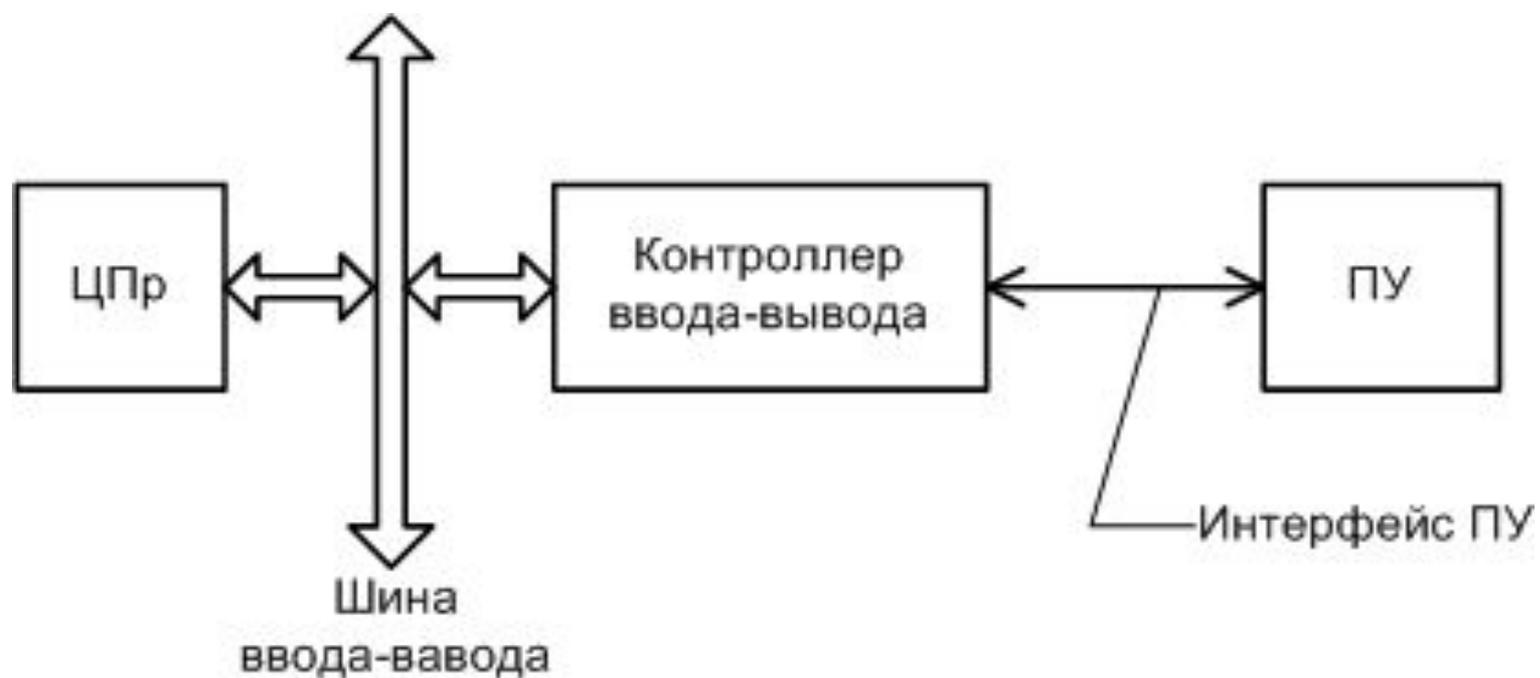
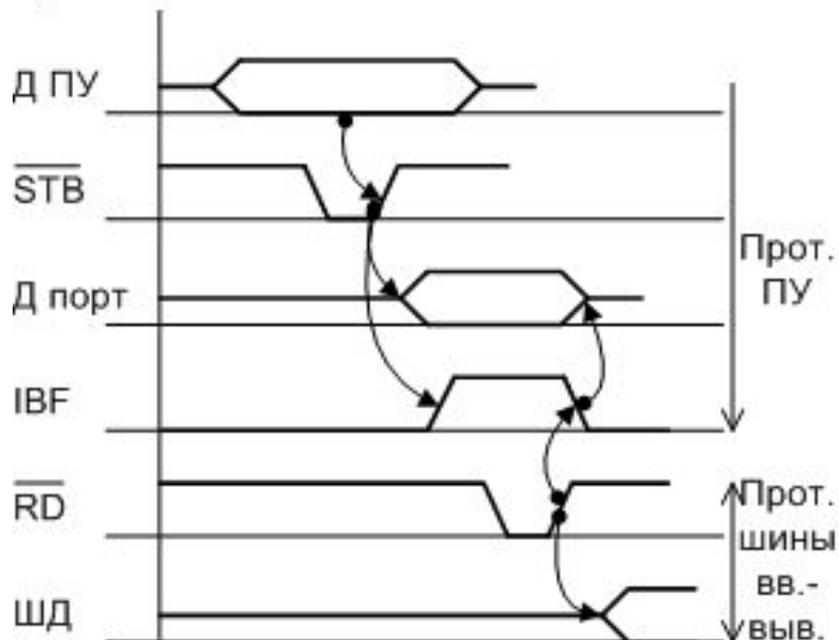


Рис. 1.27. Принцип взаимодействия центрального процессора (ЦПр) и периферийных устройств (ПУ)

а) чтение



б) запись

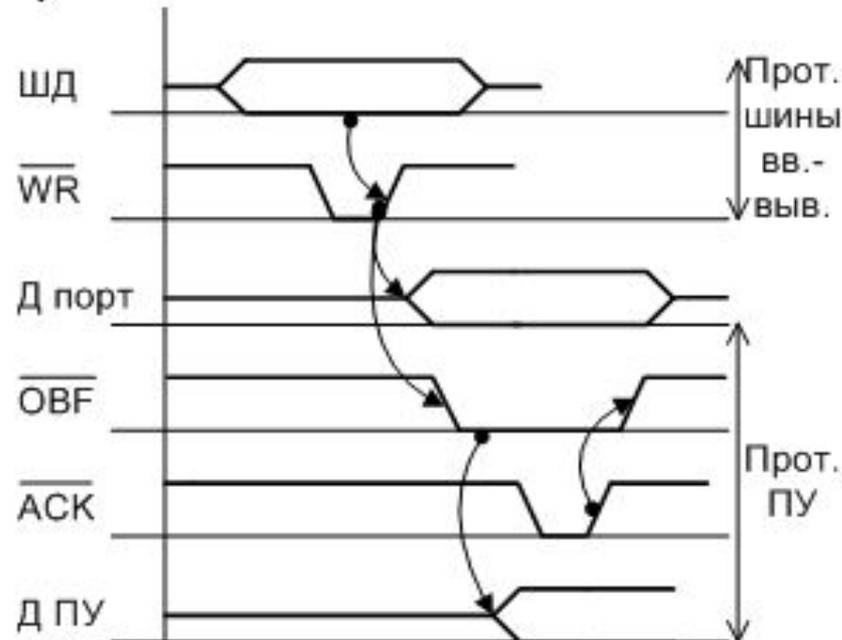


Рис. 1.28. Протоколы передачи между ПУ и шиной ввода-вывода

## **ТЕМА 1.3**

# **Системные интерфейсы, шины расширения**

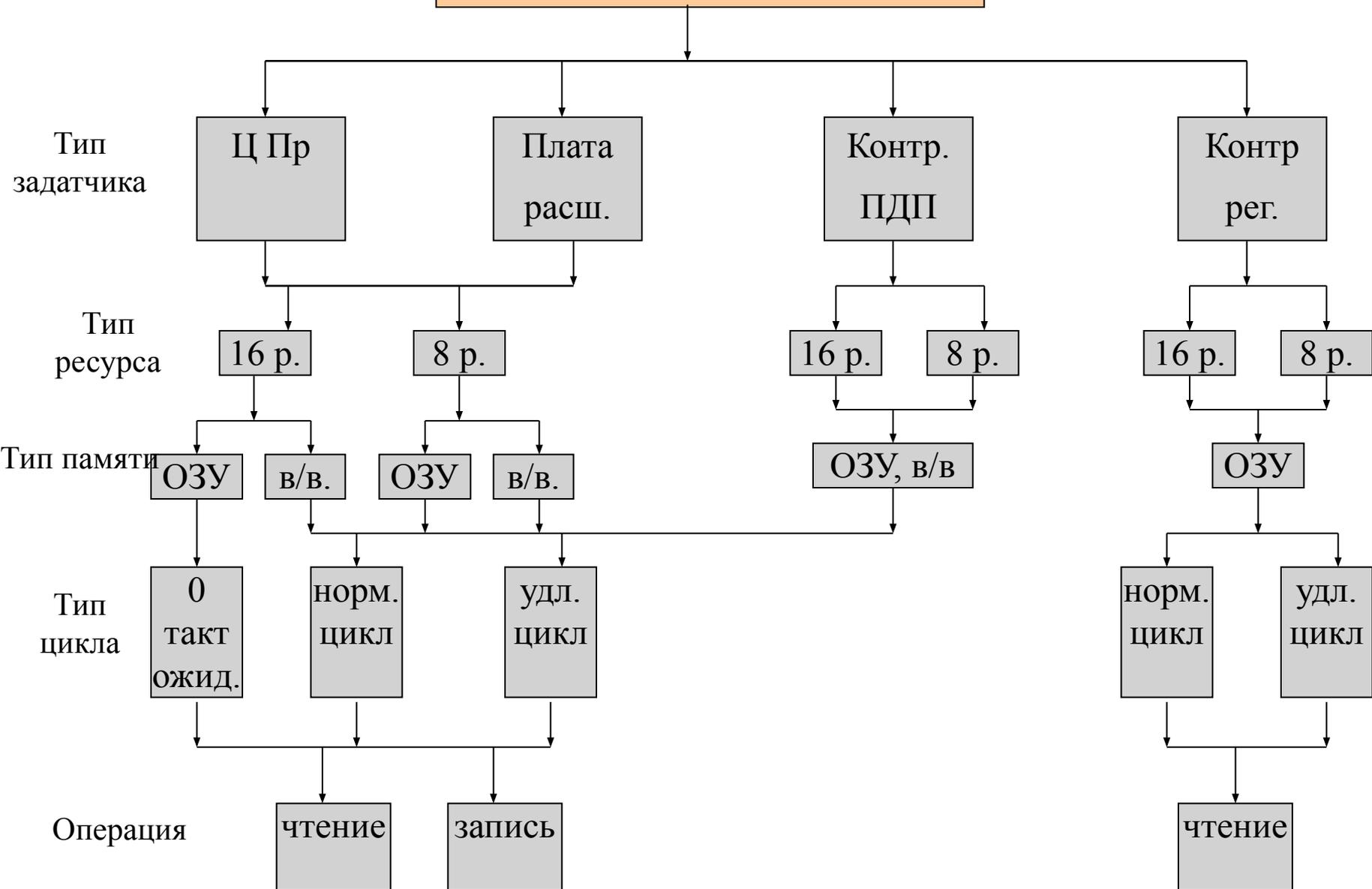
# Шина ISA

## (Industry Standart Architekture)

### Архитектура шины

- Однопроцессорная
- Трехшинная архитектура
- 8,16 разрядов данных, 24 разряда адреса
- Асинхронная
- Производительность 4мбайта/сек, частота 8мгц
- 11 линий прерывания, 7 линий ПДП
- Задатчики: ЦПр, КПДП,
- Перестановщик байт
- Блочной передачи нет
- Два адресных пространства: ОЗУ, регистры Вв/Выв

# Типы циклов шины



# Сигналы шины ISA

## Сигналы адреса и данных

SA(System Adres)[19-0] - адрес с «защелкиванием»

LA(Latchable Adres)[24-17] - адрес без «защелкивания»

SD(System data)[15-0] – данные

# SBHE(System Bus High Enable) – передача старшего байта

BALE(Bus Adres Latch Enable) – строб адреса

AEN(Adres Enable) – разрешение ПДП

## Сигналы команд

# MEMR(Memory Read) – чтение ОЗУ

# MEMW(Memory Write) – запись ОЗУ

# I/OR(Input Output Read) – чтение ВВ-Выв

# I/OU(Input Output Write) – запись ВВ-Выв

# MEMCS16(Memory Cycle Select) – 16раз. ОЗУ

# I/OCS16(Input Output Cycle Select) – 16раз. ВВ-Выв

I/OCHRDY(I/O Cannel Ready) – готовность ВВ-Выв

#OWS(O Wite States) – 0 циклов ожидания

# REFRESH – регенерация ОЗУ

## **Сигналы управления**

# Master – задатчик внешней платы

# I/O CH CK(I/O Channel Check) – ошибка

RESET – сброс

SYSCLC(System Clock) – синхроимпульсы, 8мГц

OSC – генерация сигналов с частотой 12.3818мГц

## **Сигналы прерывания**

IRQ(Interrup ReQuest) – сигналы прерывания

[15,14,12,11,10],[976543]

DRQ(Direct memory access ReQuest) – запрос ПДП

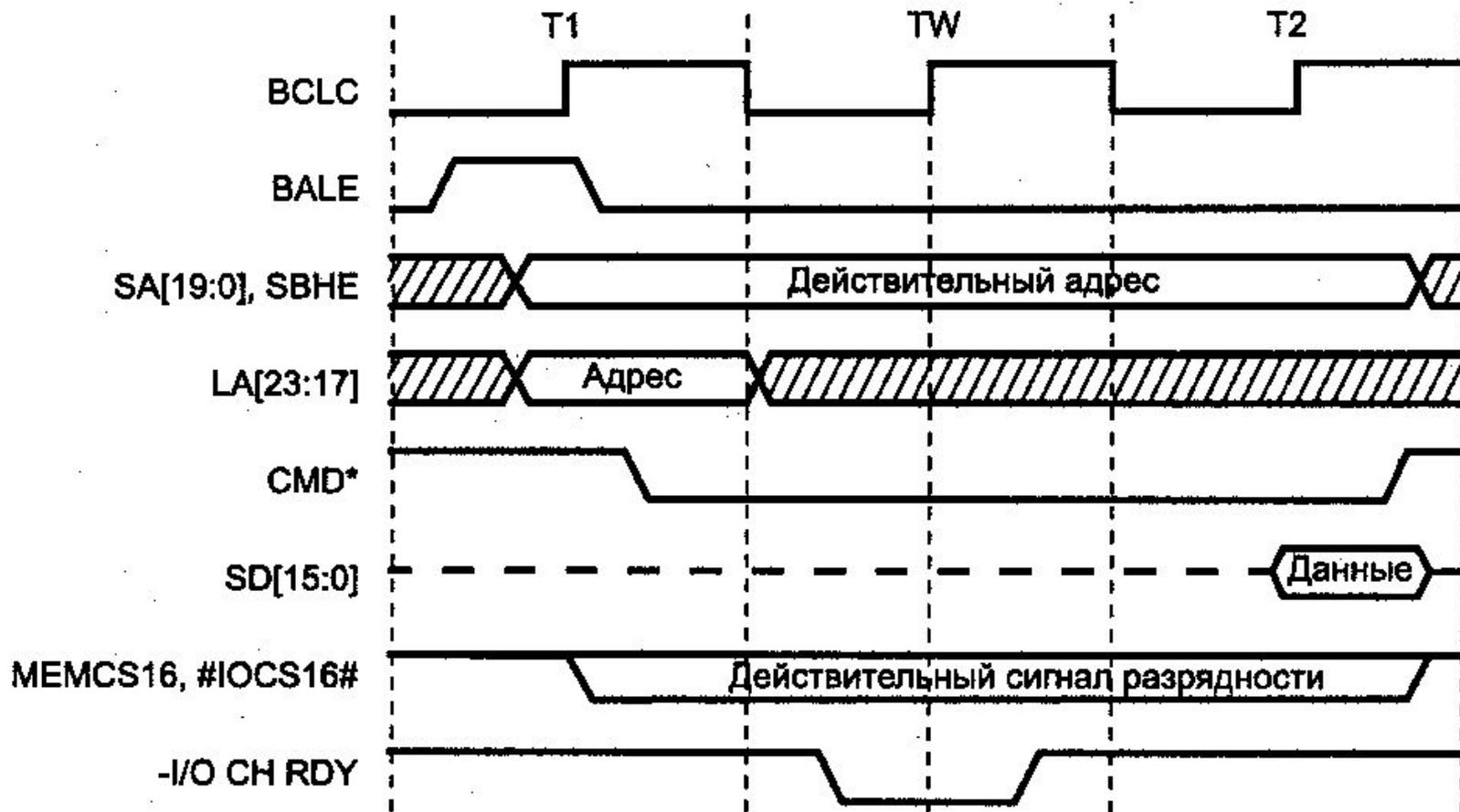
[7,6,5,0],[3,2,1]

DACK(DMA Request Acknowledge) – разрешение ПДП

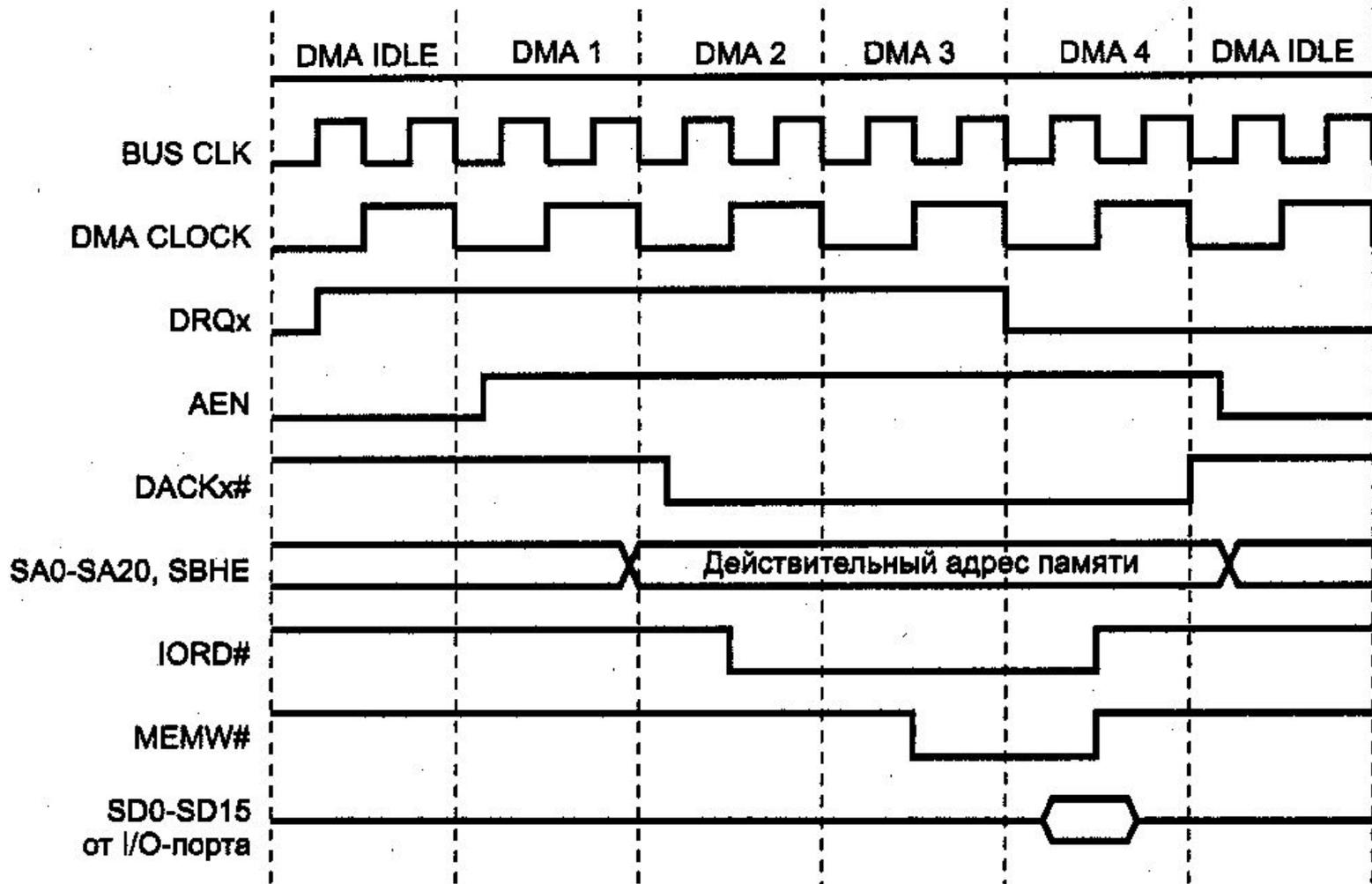
[7,6,5,0],[3,2,1]

T/C(Terminal Count) – окончание ПДП

# Временные диаграммы чтения или записи на шине ISA



# Цикл обмена DMA



# Шина PCI (Peripheral Component Interconnect)

## Базовая версия PCI:

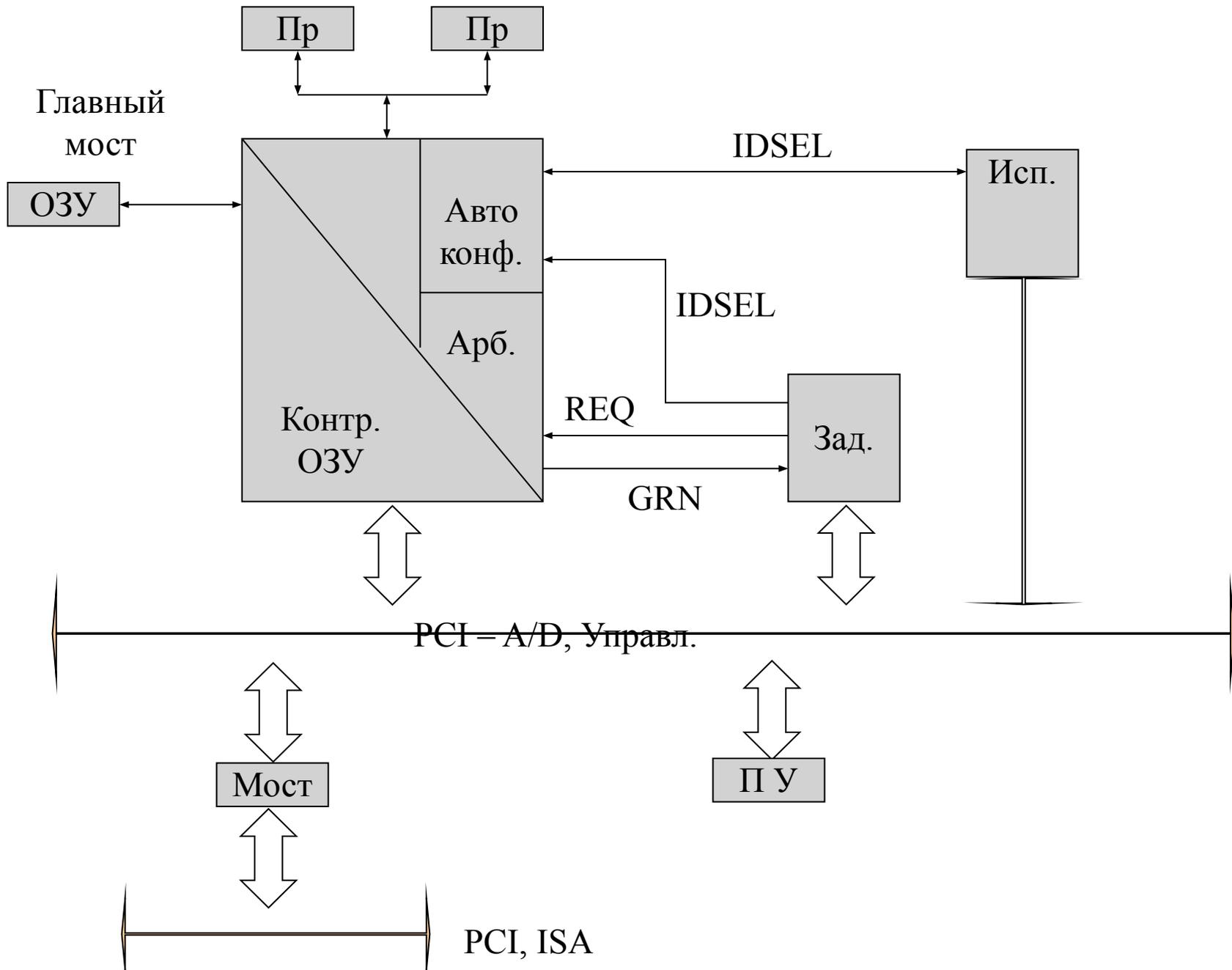
- Тактовая частота шины 33 МГц, используется синхронная передача данных;
- Пиковая пропускная способность 133 МБ в секунду;
- Параллельная шина данных шириною 32-бита;
- Адресное пространство 32-бита (4 ГБ);
- Сигнальный уровень 3.3 или 5 вольт.

## **Позже появляются следующие ключевые модификации шины:**

- PCI 2.2 — допускается 64-бит ширина шины и/или тактовая частота 66 МГц, т.е. пиковая пропускная способность до 533 МБ/сек.;
- PCI-X, 64-бит версия PCI 2.2 с увеличенной до 133 МГц частотой (пиковая пропускная полоса 1066 МБ/сек.);
- PCI-X 266 (PCI-X DDR), DDR версия PCI-X (эффективная частота 266 МГц, реальная 133 МГц с передачей по обоим фронтам тактового сигнала, пиковая пропускная полоса 2.1 ГБ/сек);
- PCI-X 533 (PCI-X QDR), QDR версия PCI-X (эффективная частота 533 МГц, пиковая пропускная полоса 4.3 ГБ/сек.);
- Mini PCI — PCI с разъемом в стиле SO-DIMM, применяется преимущественно для миниатюрных сетевых, модемных и прочих карточек в ноутбуках;
- Compact PCI — стандарт на форм фактор (модули вставляются с торца в шкаф с общей шиной на задней плоскости) и разъем, предназначенные в первую очередь для промышленных компьютеров и других критических применений;

# Архитектура шины

- многопроцессорная;
- двухшинная архитектура;
- 32, 64 – разрядная адресация данных;
- синхронная шина;
- производительность 133 Мбайт/сек – 4,3 Гбайт/сек , частота 33 МГц – 133 МГц, эффективная частота до 533 МГц, использование технологий DDR и QDR;
- пакетная передача данных, транзакции;
- арбитрация;
- таймер-задержка;
- два метода адресации;
- три адресных пространства: ОЗУ, регистры ввода/вывода, автоконфигурация;
- поддержка автоконфигурации;
- контроль четности.



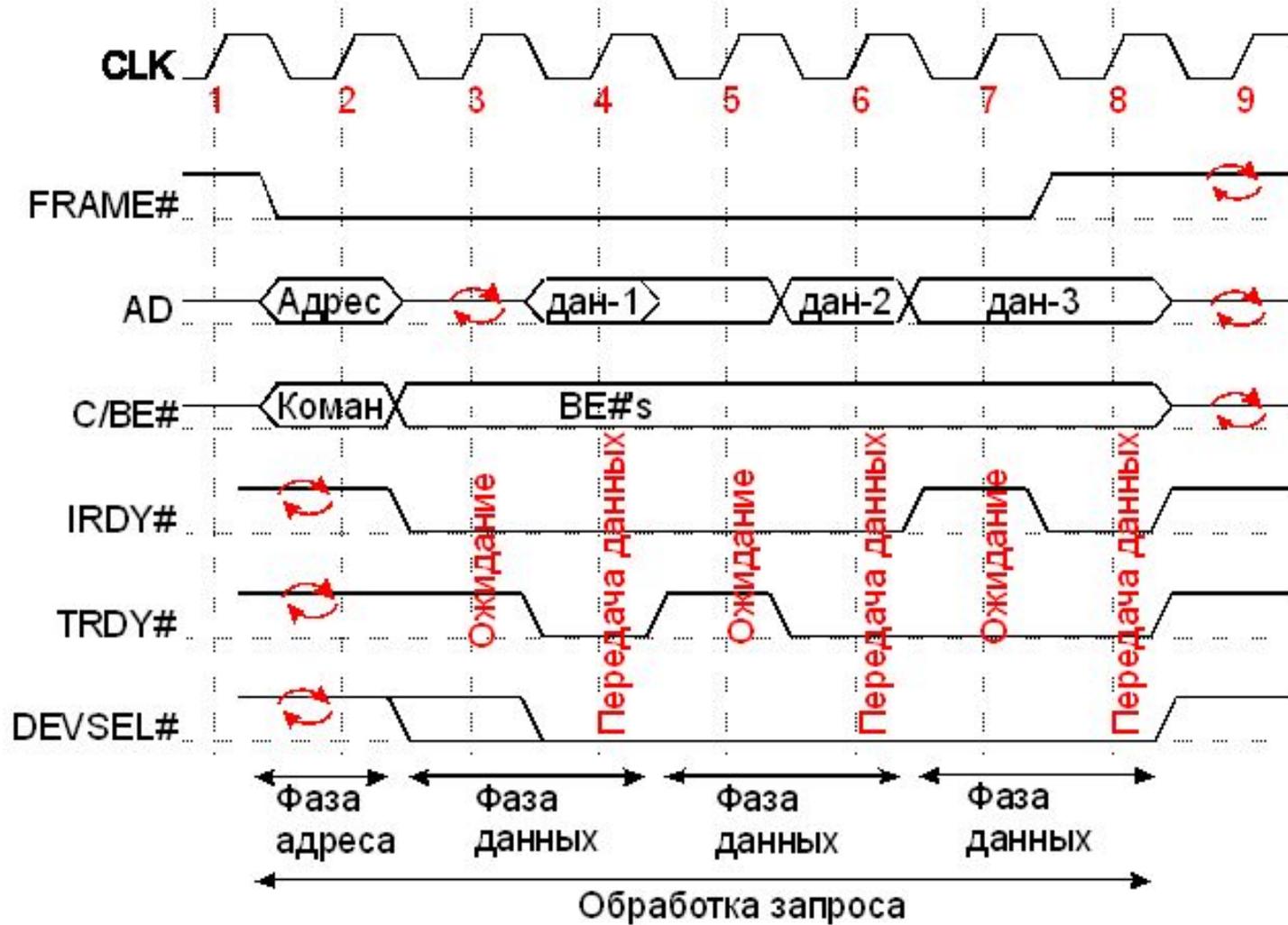
# Базовые сигналы шины PCI

- AD[31-0] – адрес – данные;
- C/BE[3-0] – код команды, указатель байт;
- #FRAME – начало и конец транзакции;
- #DEVSEL – исполнитель найден;
- #IRDY – готовность задатчика, строб данных;
- #TRDY – готовность исполнителя, строб данных;
- #STOP – прерывание транзакции от исполнителя;
- #LOCK – выполнение нескольких транзакций;
- #REQ – запрос на захват шины;
- #GNT – разрешение на захват шины;
- IDSEL – выбор устройства при автоконфигурации;
- PAR – контроль по четности A/D, C/BE;
- #PERR – ошибка паритета;
- #SERR – системная ошибка;
- #RST – сброс;
- CLK – синхроимпульс.

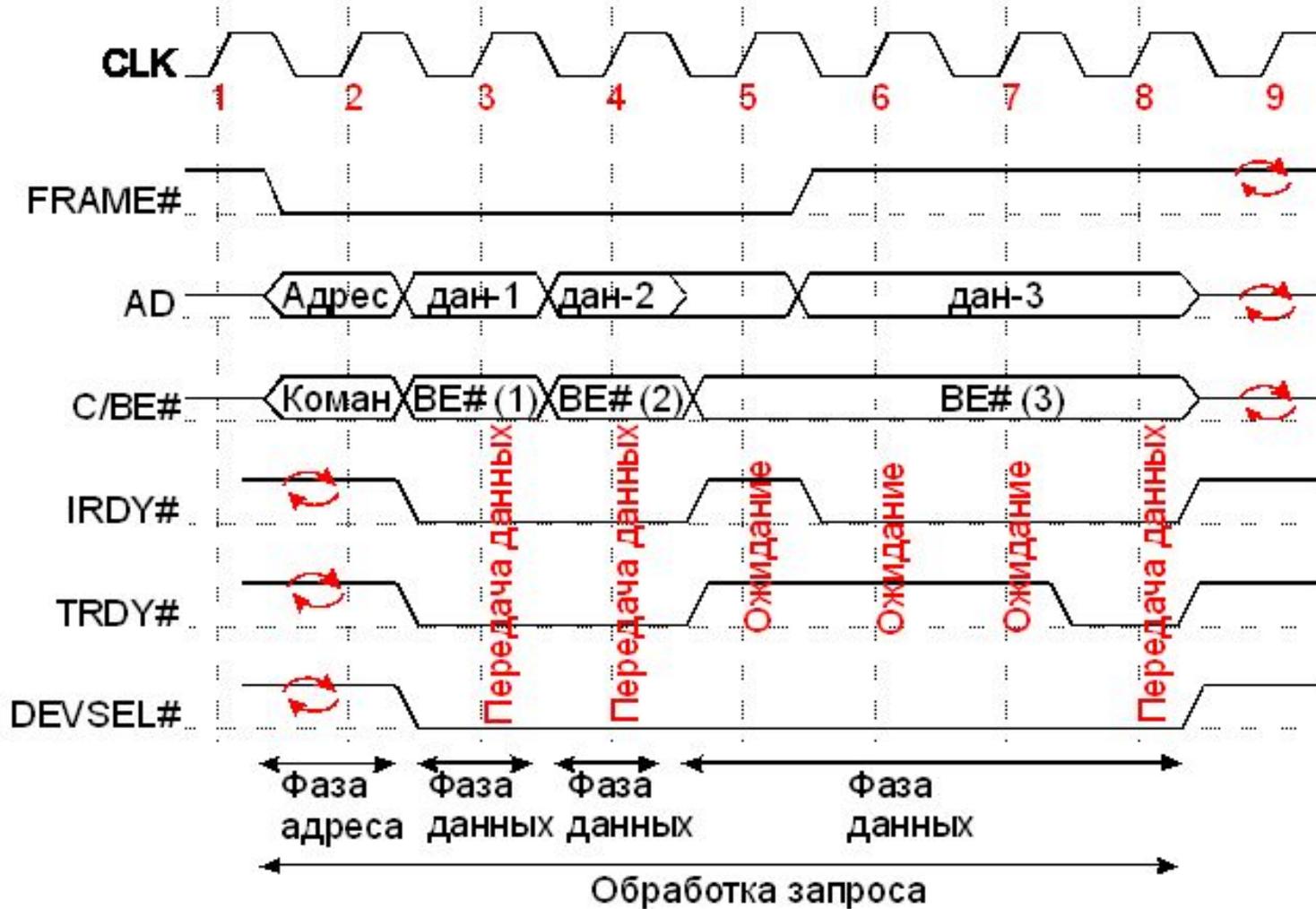
# Декодирование команд шины PCI

<b>C/BE[3:0]</b>	<b>Тип команды</b>
0000	Interrupt Acknowledge — подтверждение прерывания
0001	Special Cycle — специальный цикл
0010	I/O Read — чтение порта ввода-вывода
0011	I/O Write — запись в порт ввода-вывода
0100	Зарезервировано
0101	Зарезервировано
0110	Memory Read — чтение памяти
0111	Memory Write — запись в память
1000	Зарезервировано
1001	Зарезервировано
1010	Configuration Read — конфигурационное считывание
1011	Configuration Write — конфигурационная запись
1100	Multiple Memory Read — множественное чтение памяти
1101	Dual Address Cycle (DAC) — двухадресный цикл
1110	Memory-Read Line — чтение строки памяти
1111	Memory Write and Invalidate — запись с инвалидацией

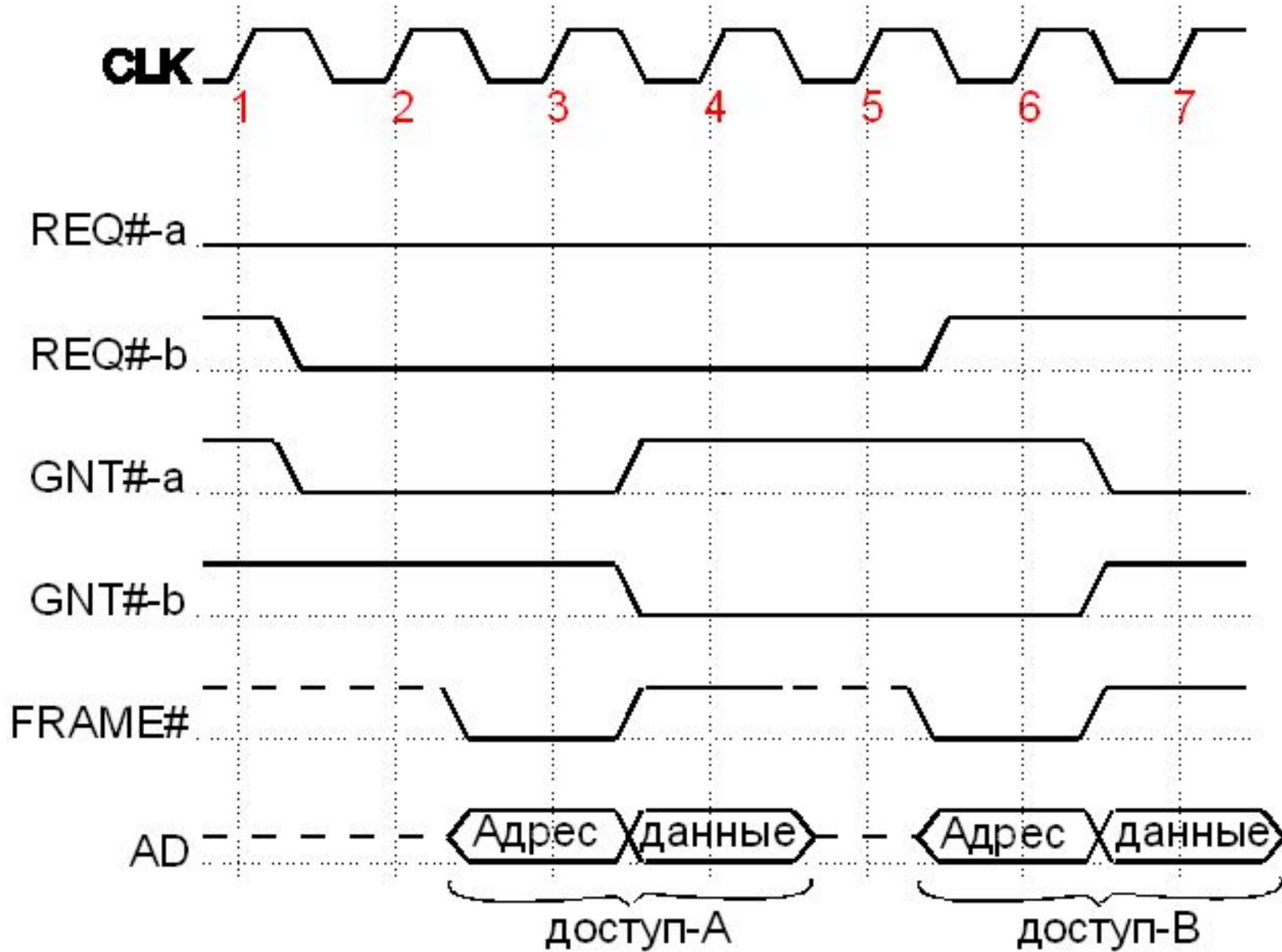
# Чтение



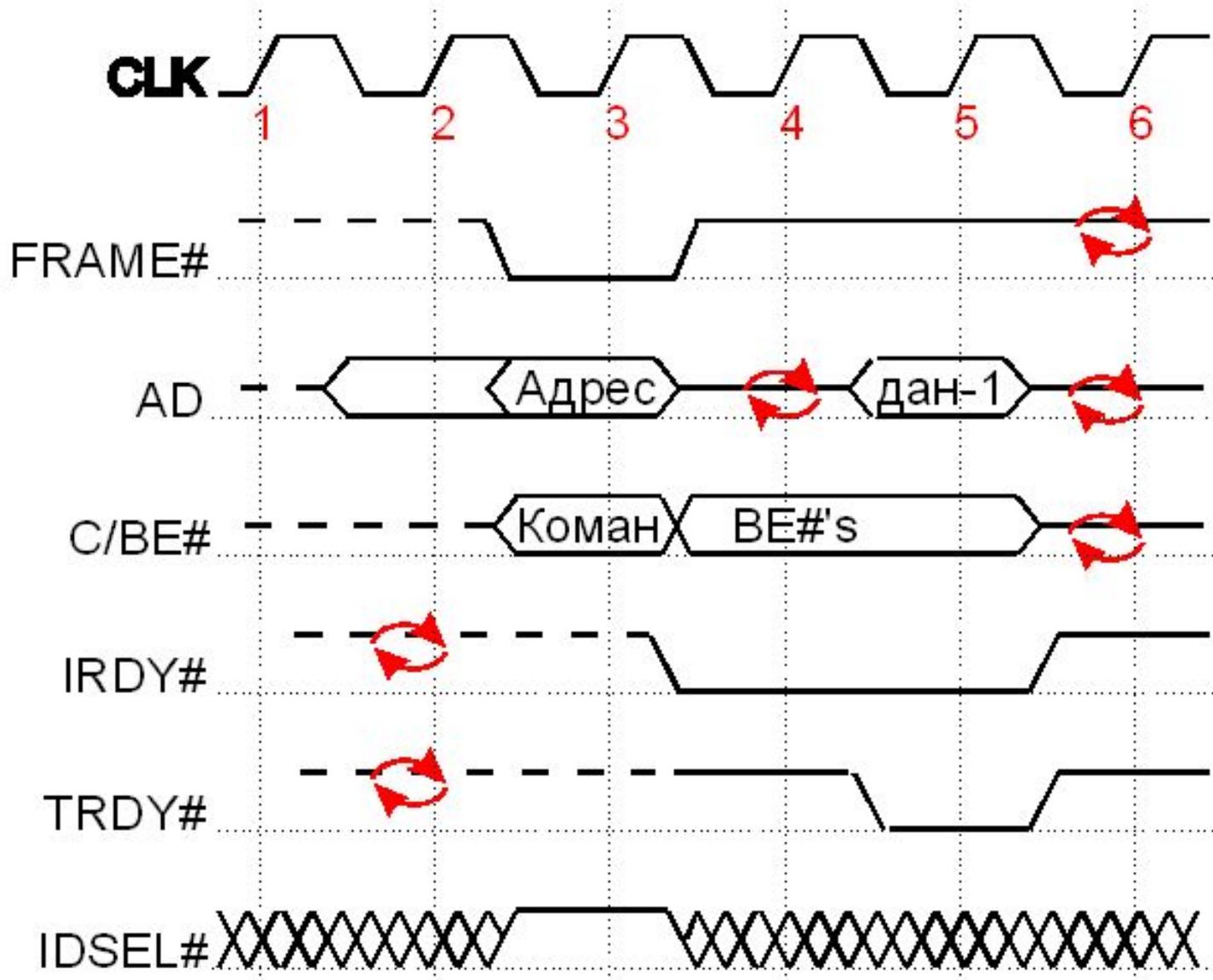
# Запись



# Арбитрация



# Автоконфигурация



# шина(порт) AGP (Acceleration Graphic Port)

AGP построен на базе шины PCI.

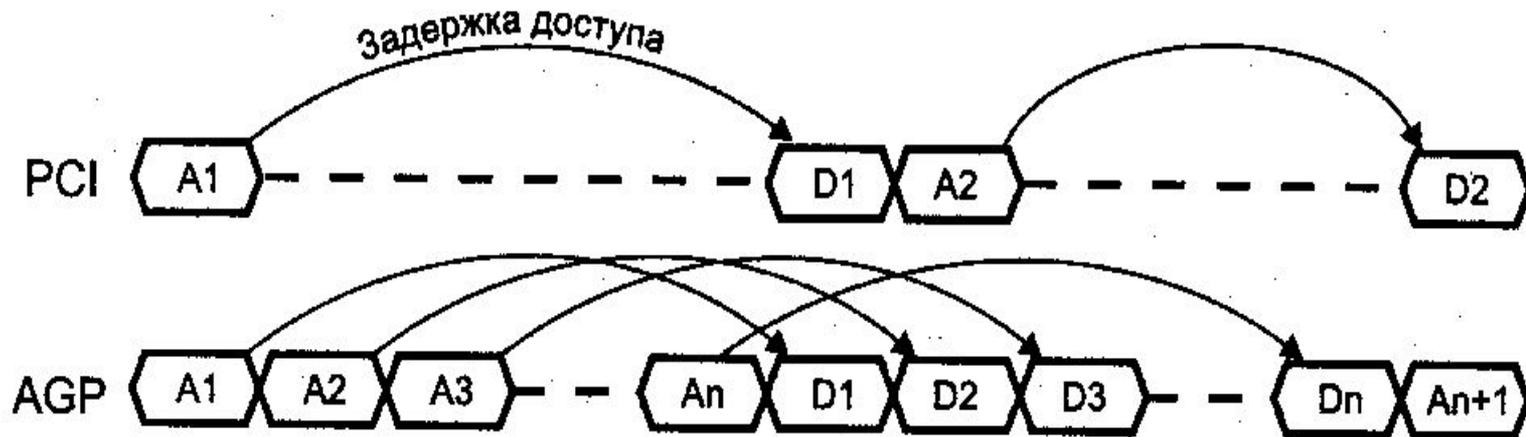
32 разряда адреса/данных, частота 66мггц

Высокая прозводительность за счет:

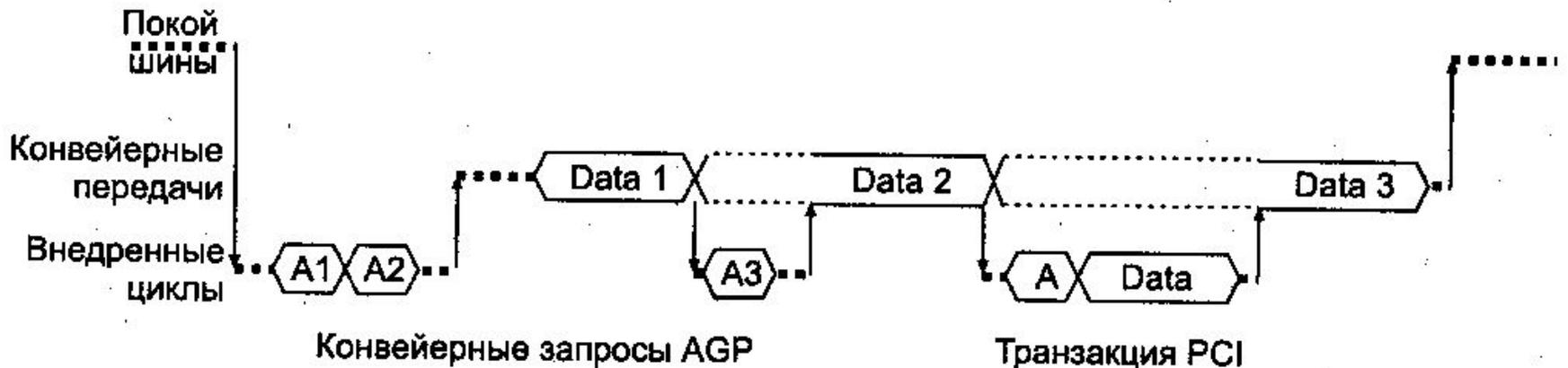
1. Конвейеризации обращения к памяти.
2. Умножении частоты передачи данных по отношению к 66мггц(2х,4х,8х).
3. Демультипликация шины адреса/данных.

# Шина AGP

## Циклы обращения к памяти PCI и AGP



## Конвейер AGP



# Производительность шины

AGP1x-266мбайт/сек

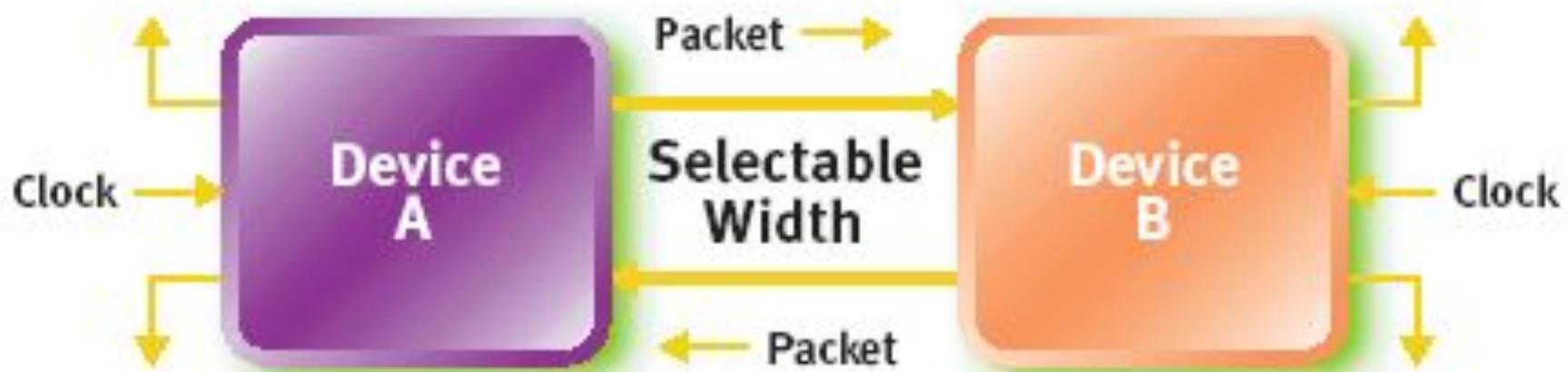
AGP2x-533мбайт/сек

AGP4x-1066мбайт/сек

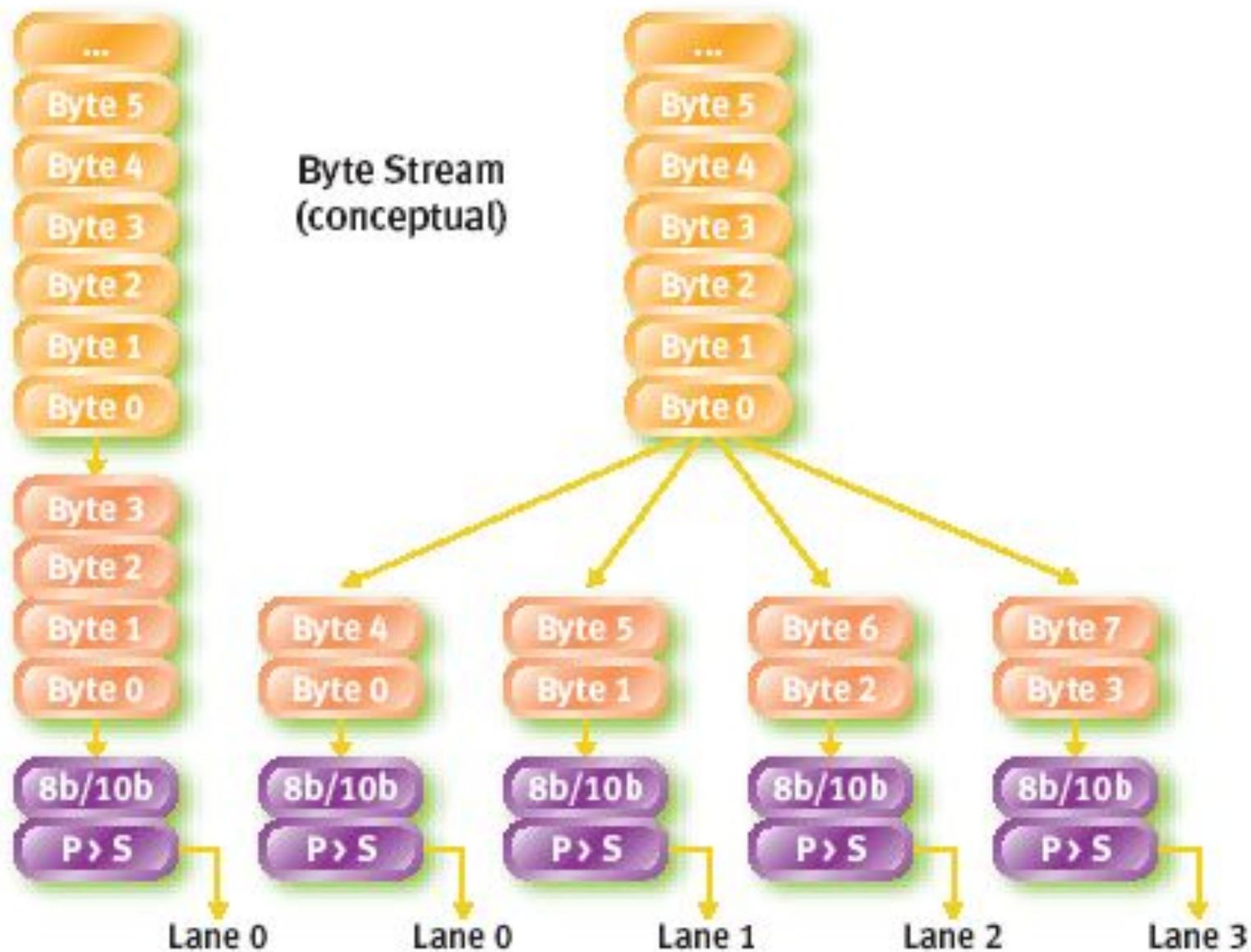
AGP8x-2132мбайт/сек

# Шина PCI Express

- Последовательная системная шина общего назначения;
- Имя — **PCI Express**, на стадии проектирования была также известна как **3GIO** (Ввод-вывод третьего поколения) или по кодовому имени рабочей группы и проекта «Агараное», причем оба названия (3GIO и PCI Express) являются зарегистрированными торговыми марками PCISIG;
- Дата рождения — 22 июля 2002 года — опубликована базовая спецификация протокола и сигнального уровня, а также базовая спецификация на форм-фактор и энергопотребление карт и разъемы;
- Фактически — совокупность независимых самостоятельных последовательных каналов передачи данных;
- Сигнальный уровень 0.8 вольт. Каждый канал состоит из двух дифференциальных сигнальных пар (необходимо только 4 контакта):



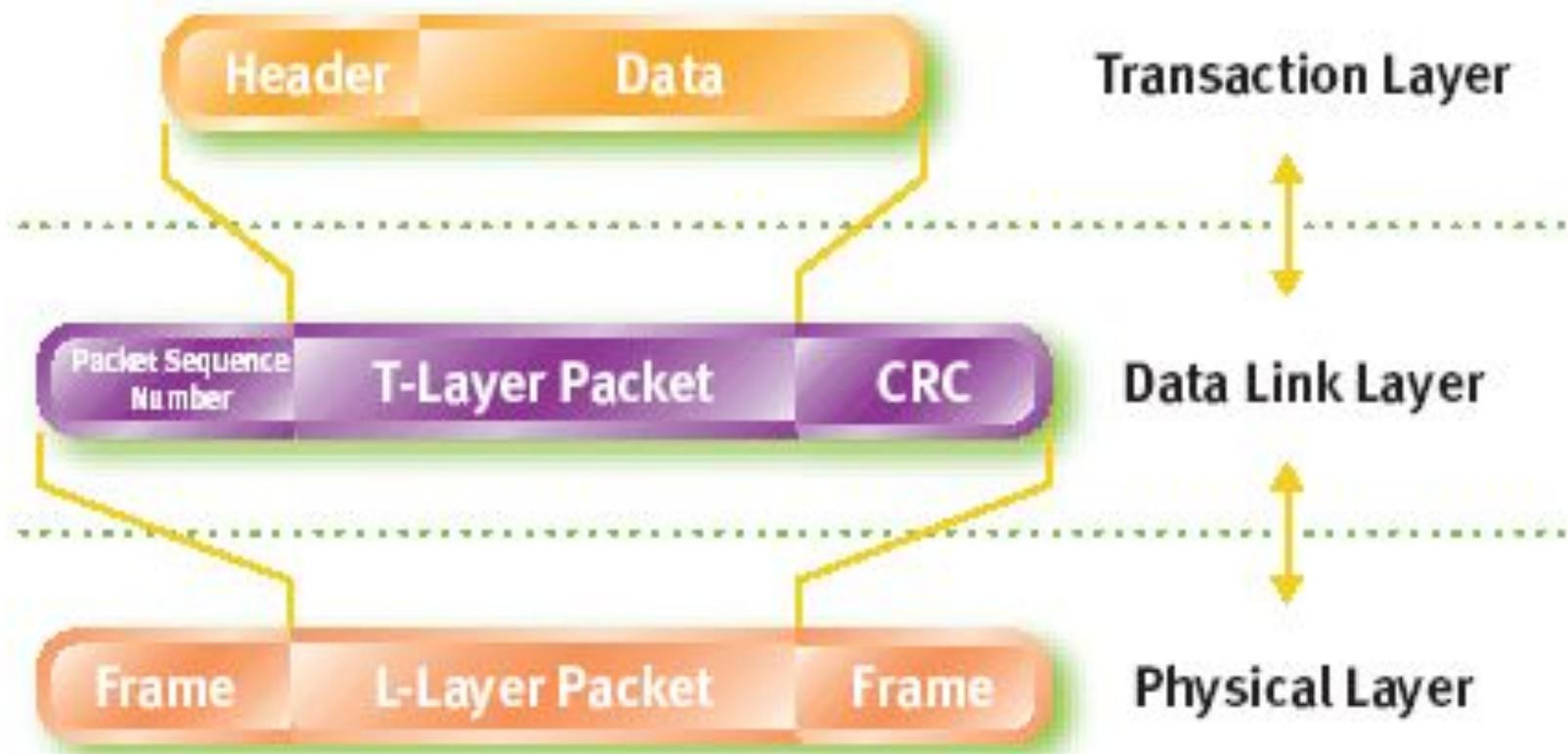
- Используется избыточное защищенное от помех кодирование — каждый байт при передаче представляется десятью битами;
- Пропускная способность 2.5 Гигабита (250 МБ) в секунду для одного канала в каждом направлении одновременно (полный дуплекс), однако, следует учесть, что эффективная скорость передачи данных за вычетом избыточного кодирования составляет 2 Гигабита (200 МБ) ровно;
- Стандартизированы 1, 2, 4, 8, 16 и 32 канальные варианты (до 6.4 эффективных Гигабайт в секунду соответственно, при передаче в одну сторону и вдвое больше при передаче в обоих направлениях). При передаче данных они передаются параллельно (но не синхронно) по всем доступным каналам:



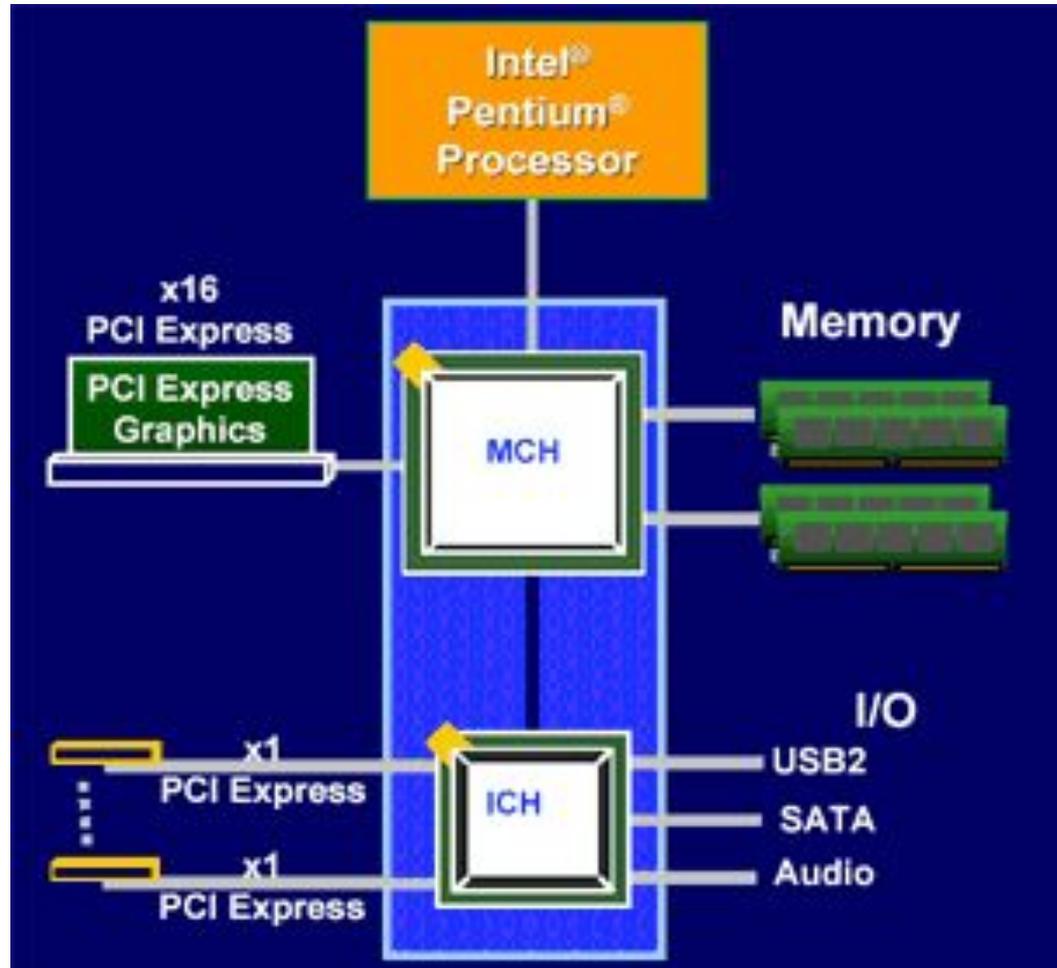
- Вся контрольная информация передается по тем же линиям что и данные, используется стек протоколов, из нескольких уровней, включая маршрутизацию данных;
- Стандарт предусматривает и альтернативные носители сигнала, такие как оптические волноводы;
- Возможность динамического подключения и конфигурации устройств;
- Возможность распознавания и использования альтернативных (улучшенных) протоколов обмена.

# Деление на уровни

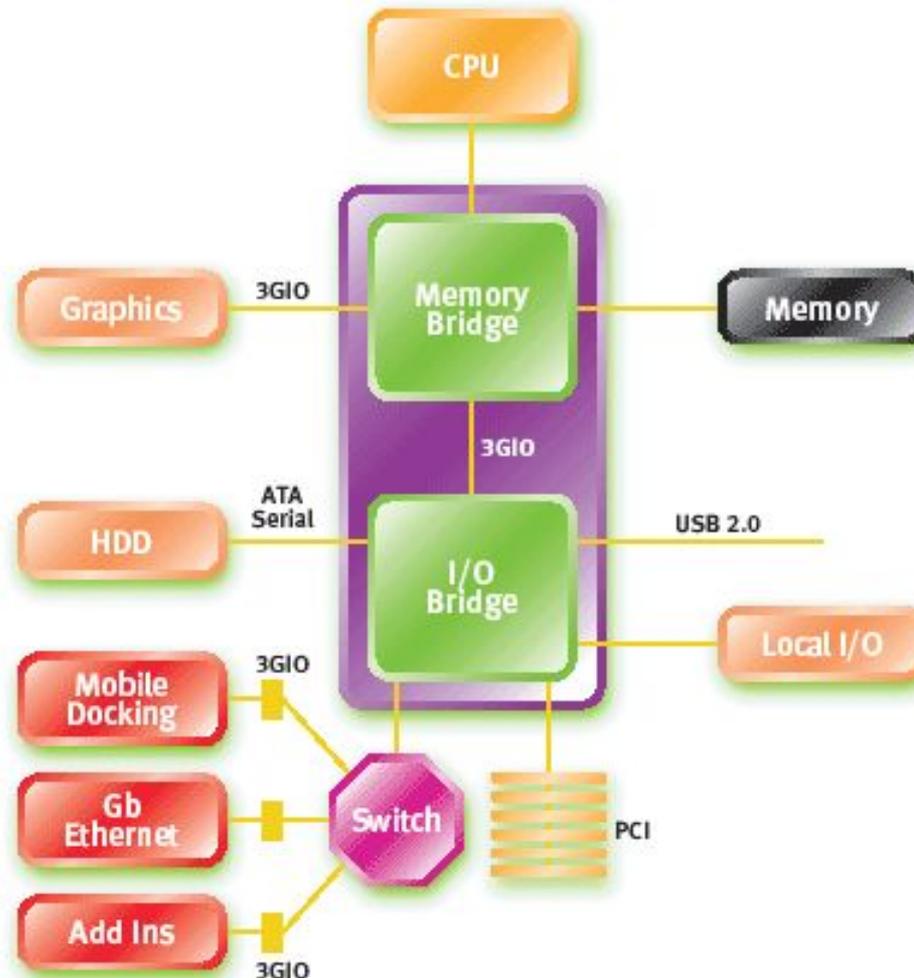




Самый простой вариант перехода на PCI-Express для стандартных по архитектуре настольных систем

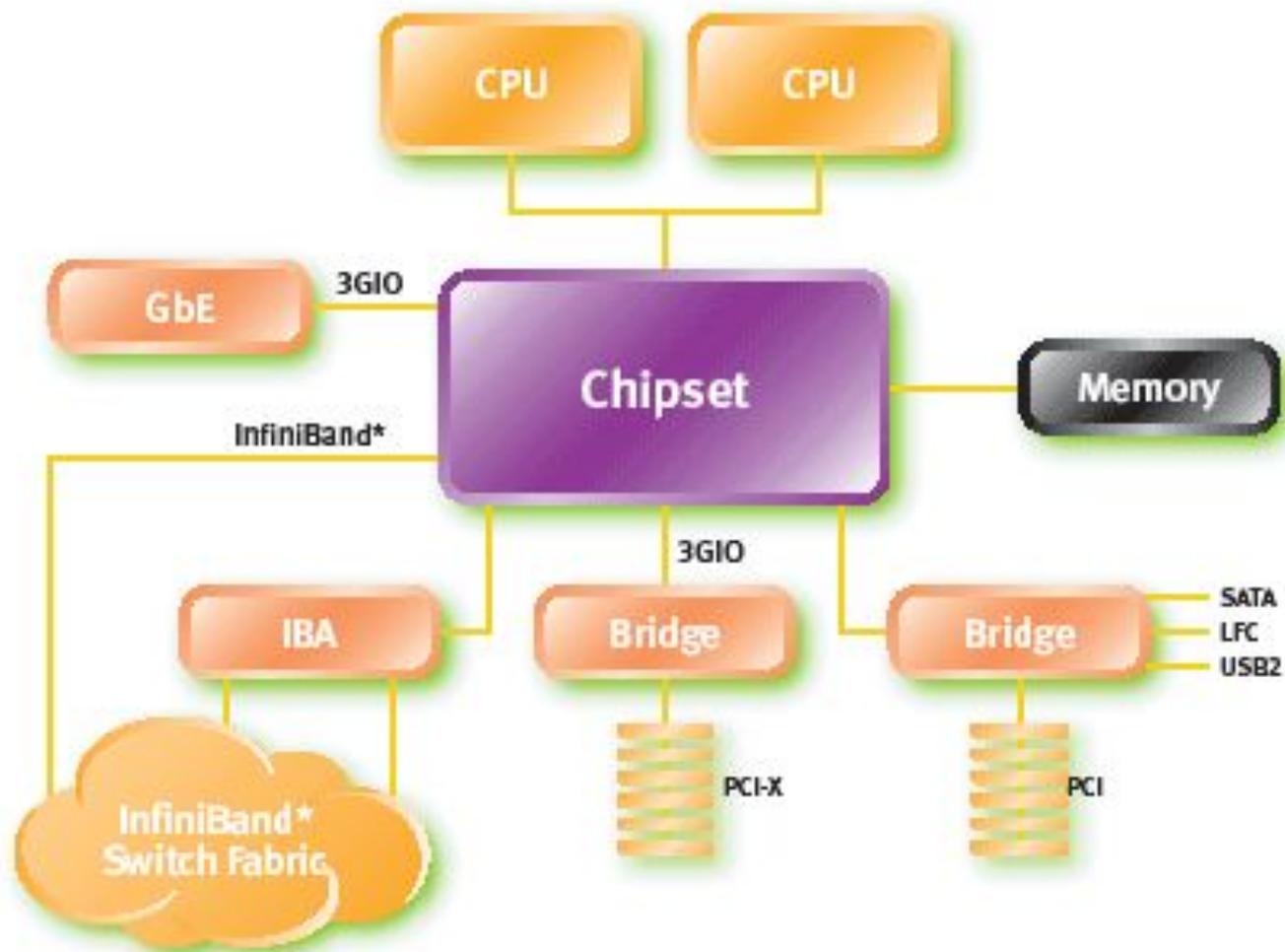


Однако в будущем логично ожидать появление некоего разветвителя PCI Express. Тогда вполне оправданным станет и объединение северного южного мостов. Приведем примеры возможных системных топологий. Классический PC с двумя мостами:

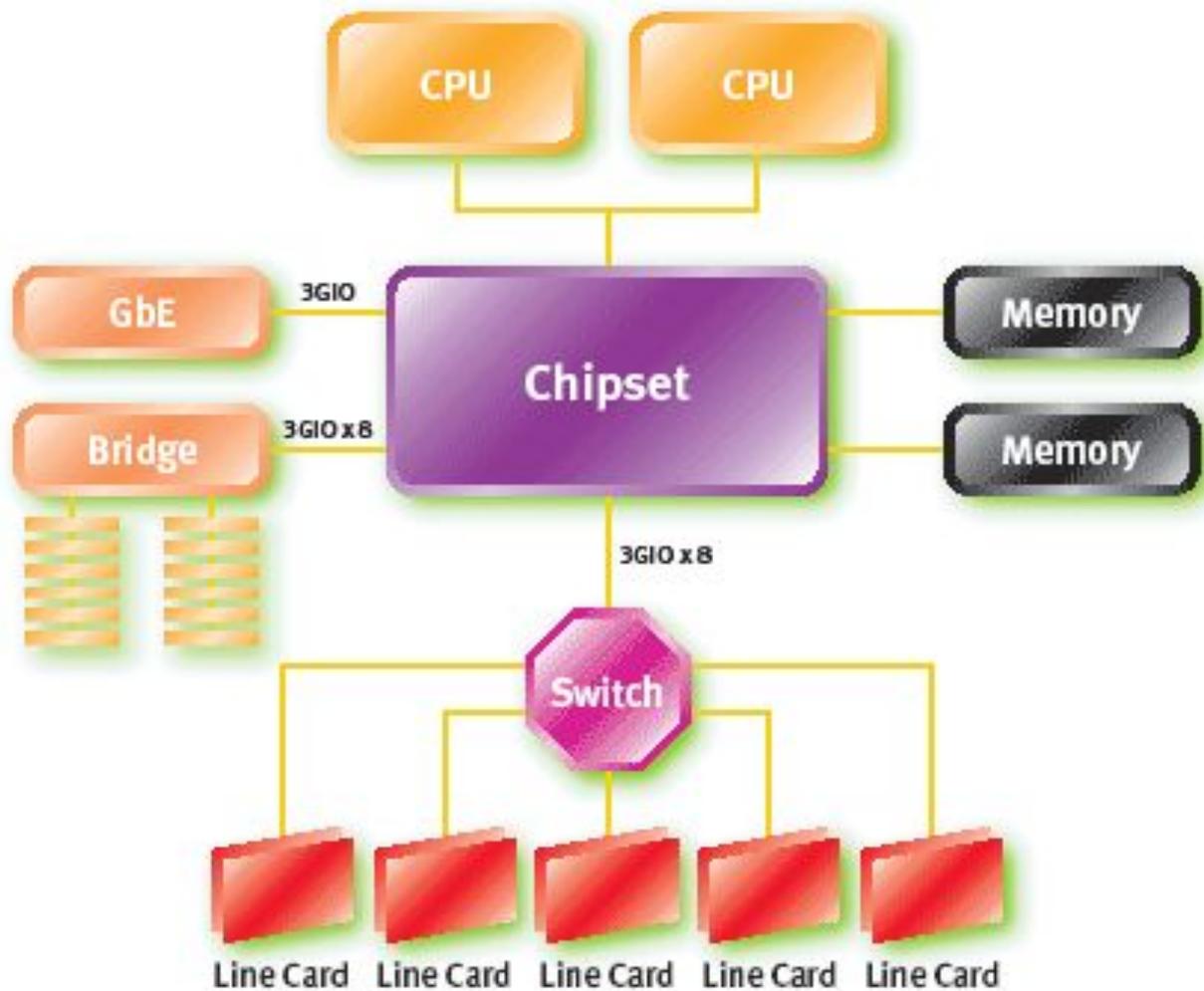




Мощный сервер:



Производительный сетевой роутер:



# Шина HyperTransport



Рис. 26. Взаимодействие двух устройств.

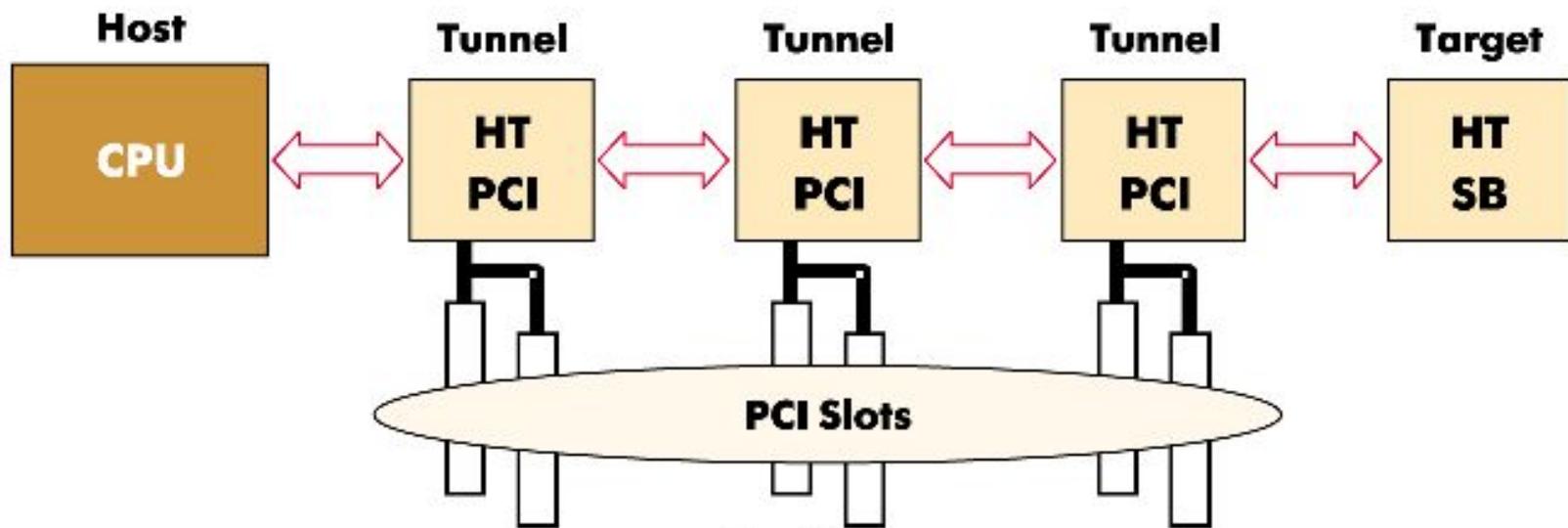


Рис.27.

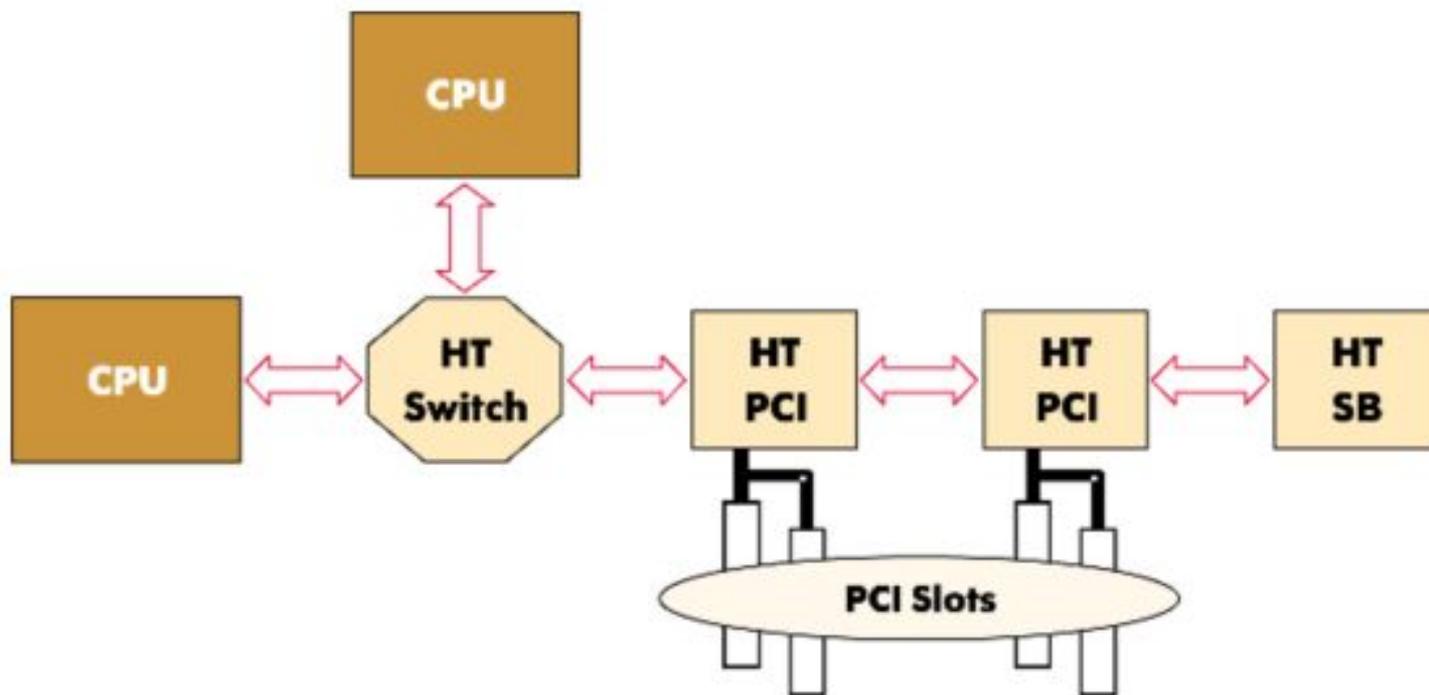


Рис. 28.

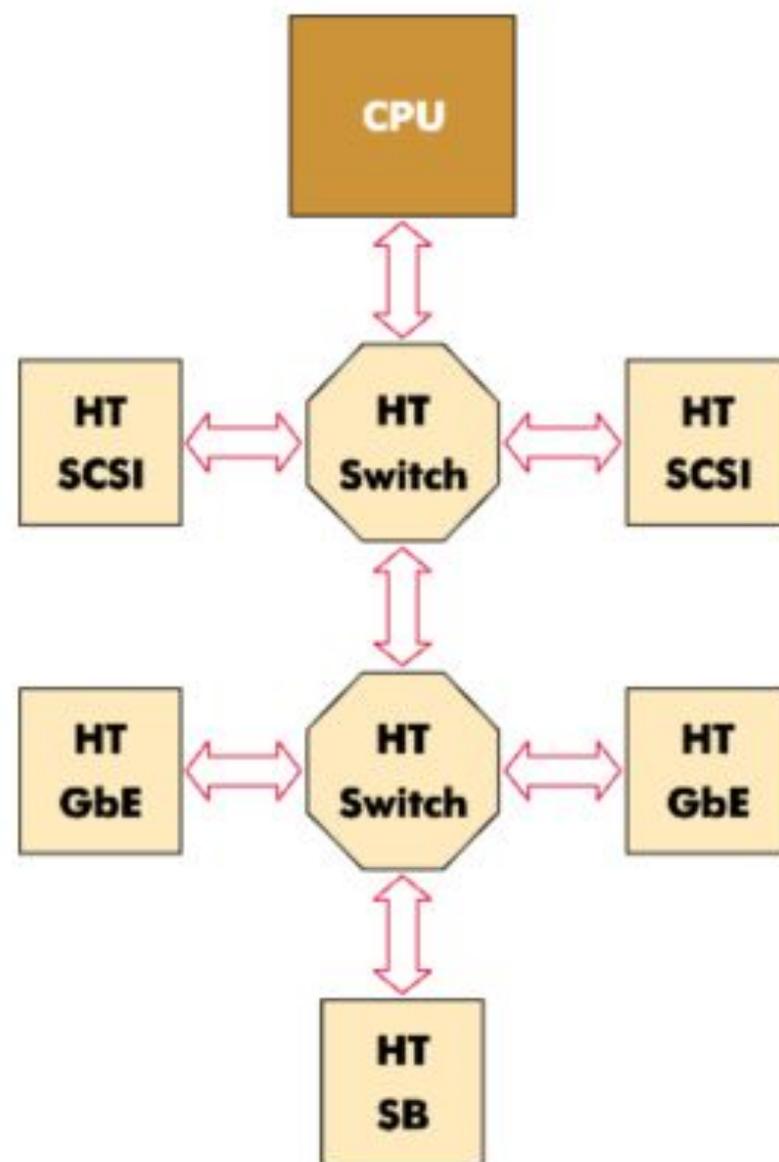


Рис. 29.

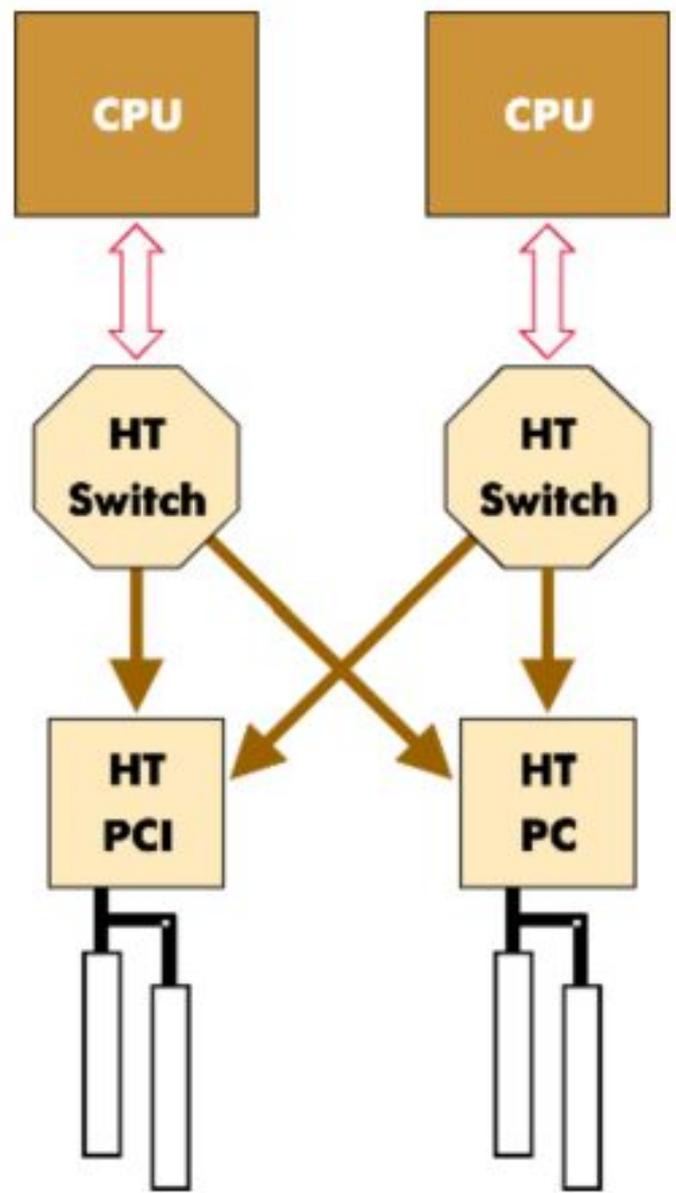


Рис.30.

## **Тема 1.4.**

# **Интерфейсы периферийных устройств (Centronics, RS232, SCSI, USB)**

# Параллельный интерфейс: LPT-порт

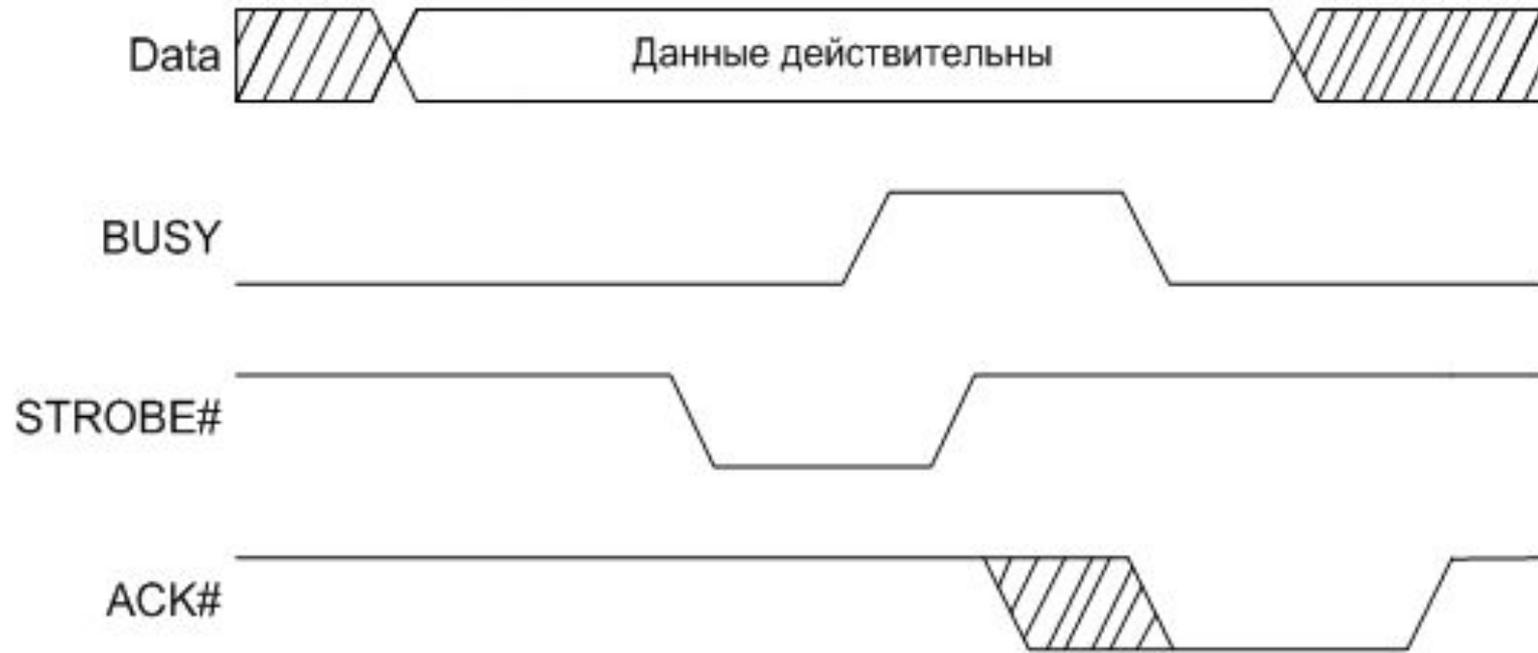


Рис. 1.

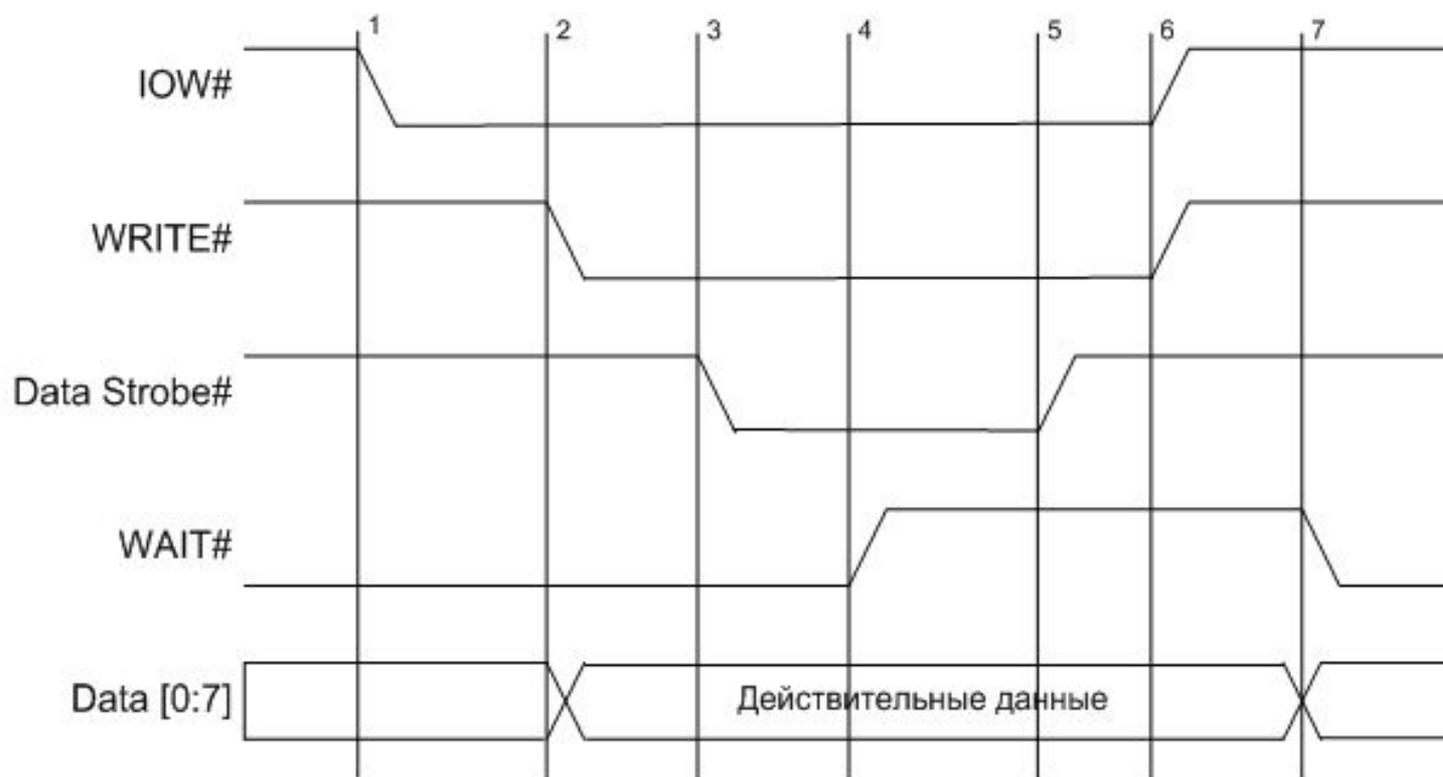


Рис. 2. Цикл записи данных.

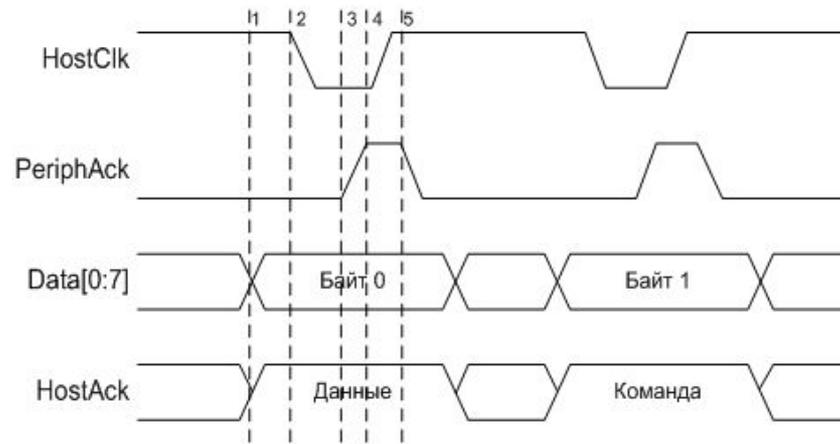


Рис. 3,а.

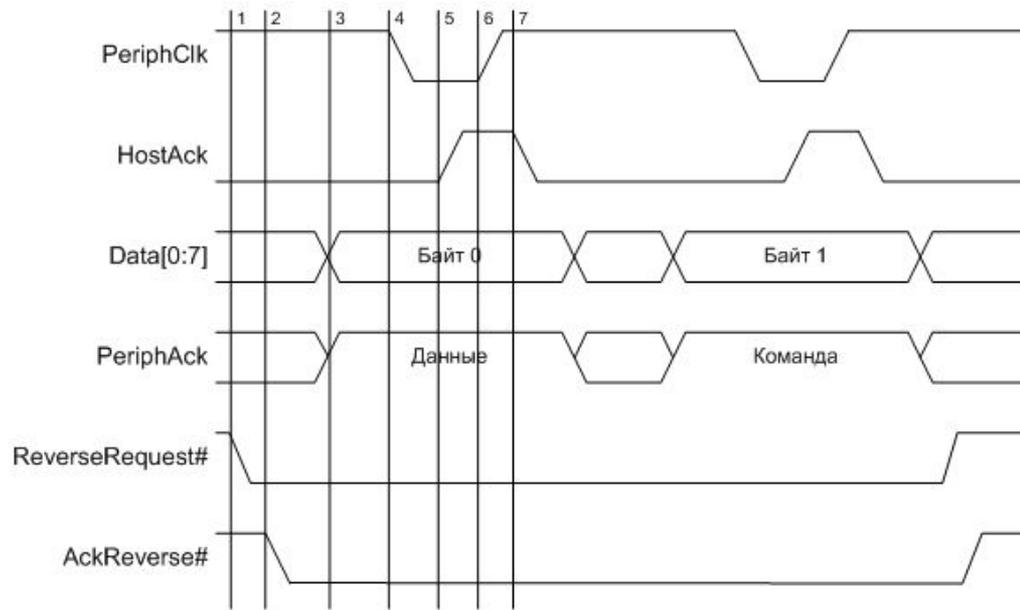


Рис. 3,б.

# Последовательные интерфейсы: COM-порт



Рис. 1. Формат асинхронной передачи.

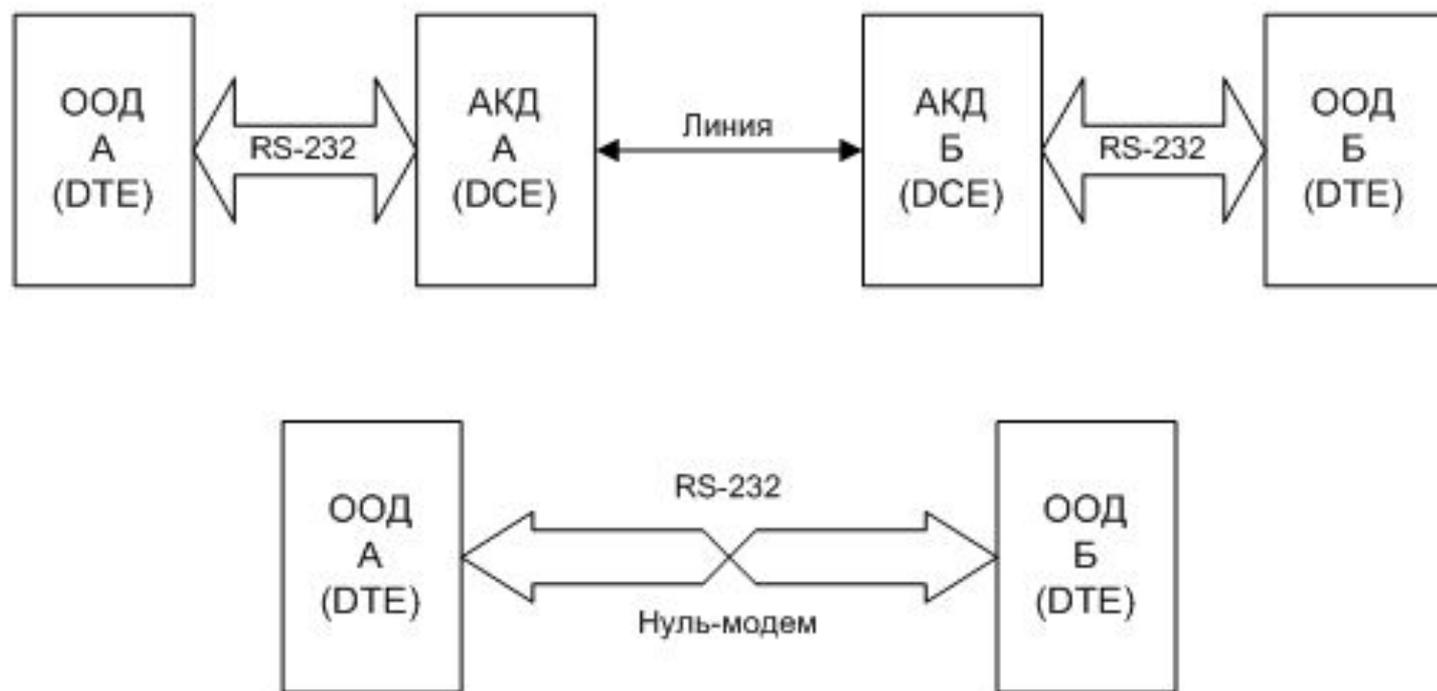


Рис. 2. Соединение по RS-232C нуль-модемным кабелем.

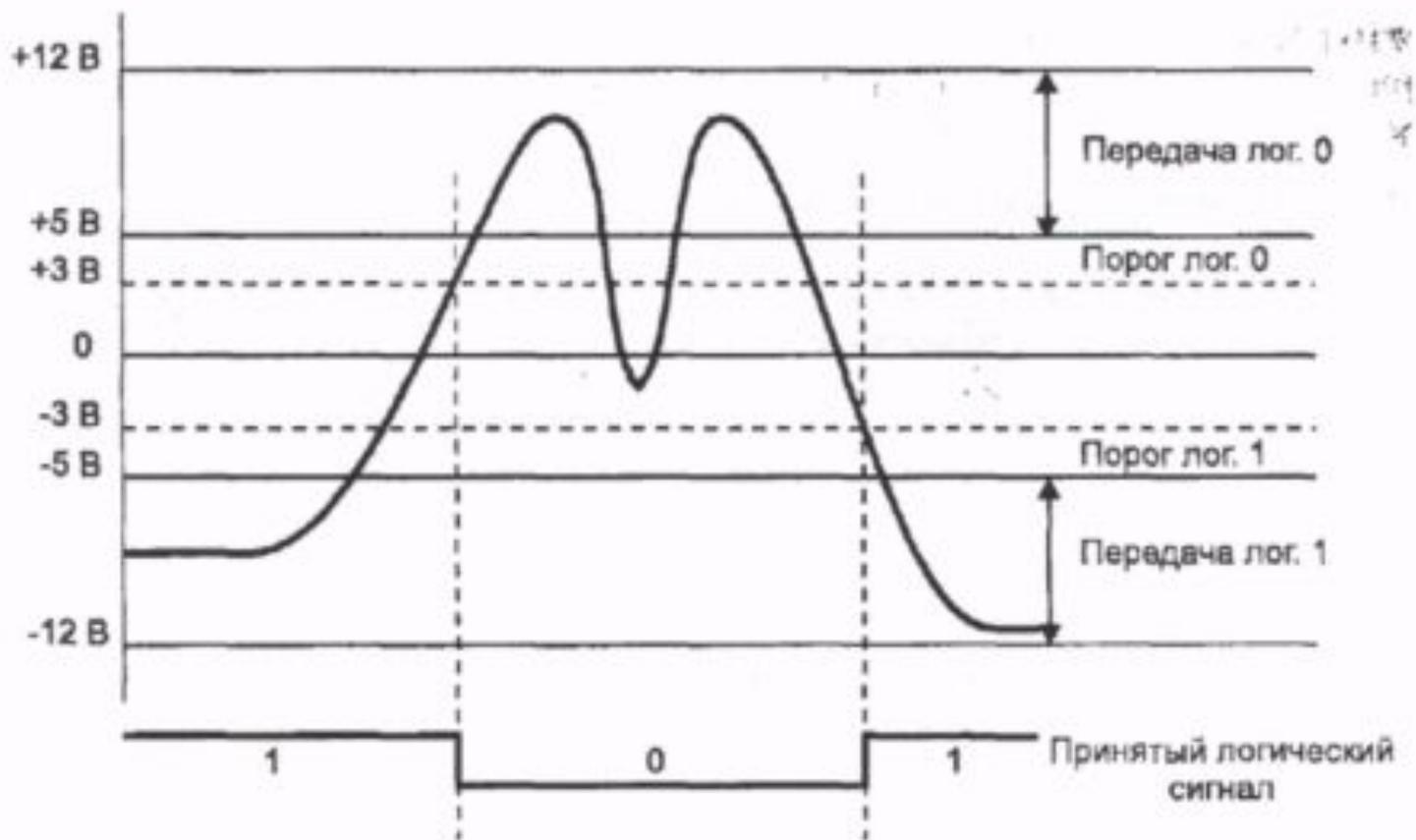


Рис. 3.

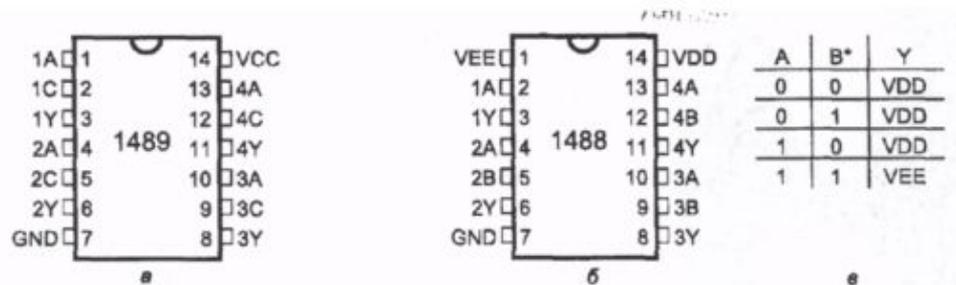


Рис. 4. Формирование сигналов RS-232C: а – приемник 1489 (А – вход RS-232, С – управление гистерезисом (ТТЛ), Y – выход ТТЛ); б – передатчик 1488 (А, В – входы ТТЛ, Y – выход RS-232, VDD=+12 В, VEE=-12 В); в – таблица состояния выходов передатчика (\*1 В=лог. 1).

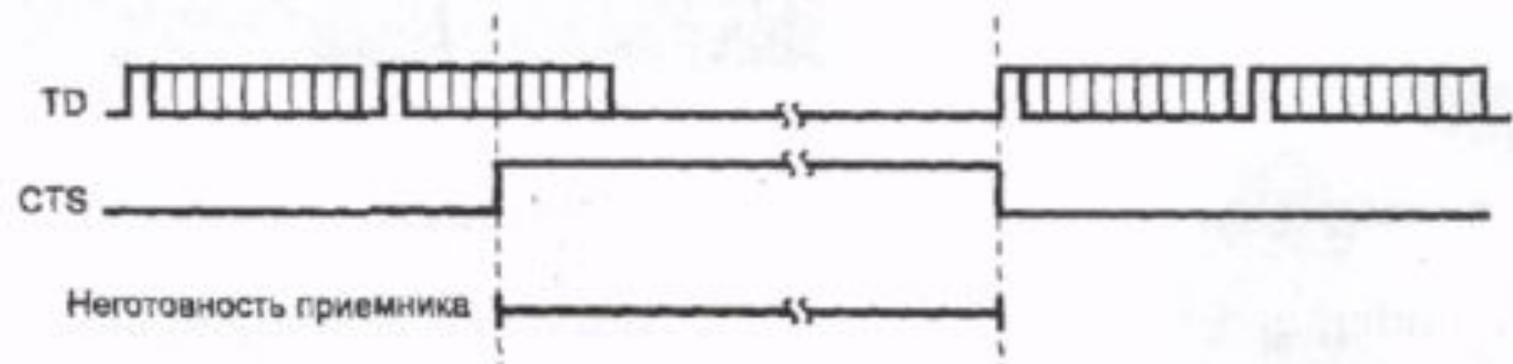


Рис. 5.

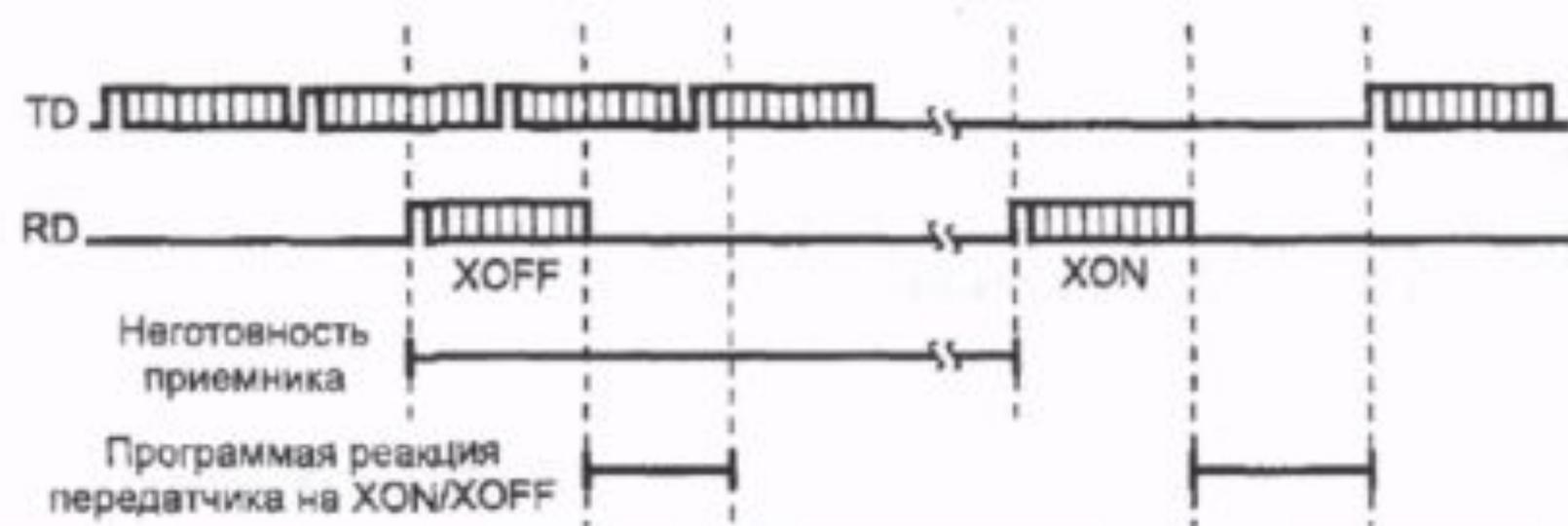
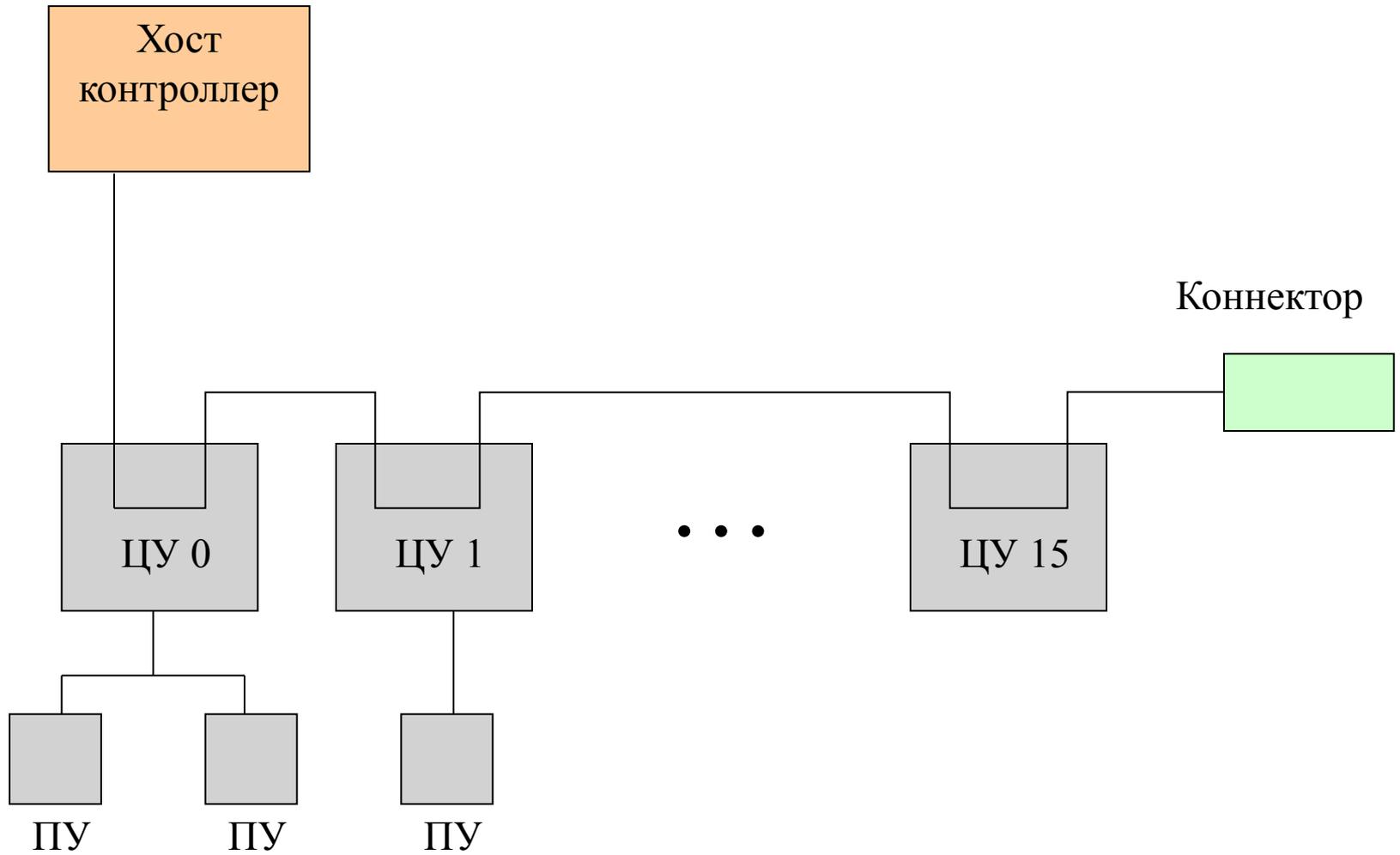


Рис. 6.

**шина SCSI**  
**(Small Computer System Interface)**

# Структура SCSI



**Таблица 1. Характеристики стандартных разновидностей SCSI.**

Название	Максимальная скорость шины (Мбайт/с)	Ширина шины (в битах)	Максимальная протяженность шины (в метрах)			Максимальное число поддерживаемых устройств
			Симметричная	LVD	NVD	
SCSI-1	5	8	6	*	25	8
Fast SCSI	10	8	3	*	25	8
Fast Wide SCSI	20	16	3	*	25	16
Ultra SCSI	20	8	1,5	*	25	8
Ultra SCSI	20	8	3	-	-	4
Wide Ultra SCSI	40	16	-	*	25	16
Wide Ultra SCSI	40	16	1,5	-	-	16
Wide Ultra SCSI	40	16	3	-	-	4
Ultra2 SCSI	40	8	-	12	25	8
Wide Ultra2 SCSI	80	16	-	12	25	16
Ultra3 SCSI	160	16	-	12	-	16

\* означает, что в первоначальной спецификации интерфейс LVD не был определен

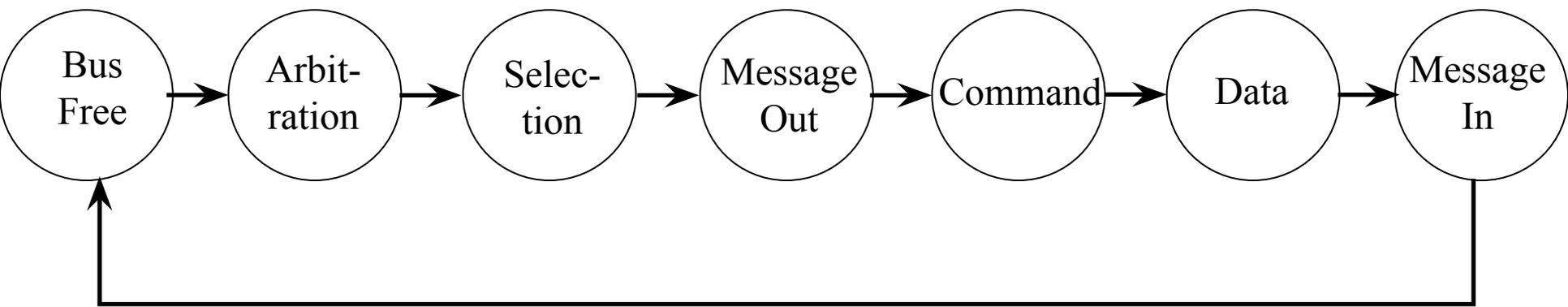
0 Таблица 1.1 Назначение сигналов шины SCSI

Сигнал	Назначение
BSY#	Busy - шина занята
SEL#	Select -выбор ЦУ инициатором (Select)или инициатора ЦУ (Reselect)
C/D#	Control/Data -управление (низкий уровень)/данные (высокий уровень)
I/O#	Input/Output -направление передачи относительно ИУ: вводу в ИУ соответствует низкий уровень. Используется для различия прямой (Select) и обратной (Reselect)выборки: фазе Selection соответствует низкий уровень
MSG#	Message -передача сообщения
DB[0:31]#	Data Bus -инверсная шина данных
DP[0:3]#	Data Parity -инверсные биты паритета, дополняют количество единичных бит байта до нечетного. DP0#относится к DB[0:7], ... DP3# -к DB[24:31]. В фазе арбитража не действуют
TERMPWR	Terminator Power - питание терминаторов
ATN#	Attention - внимание
REQ#	Request - запрос от ЦУ на пересылку данных
ACK#	Acknowledge -подтверждение передачи (ответ на REQ#)
RST#	Reset-сброс

0 Таблица 1.2 Источники сигналов SCSI

Фаза шины	Сигнал				
	<u>BSY#</u>	<u>SEL#</u>	<u>REQ#, C/D#, I/O#, MSG#</u>	<u>ACK# ATN#</u>	<u>DBz#, DBPz#</u>
<u>Bus Free</u>	-	-	-	-	-
<u>Arbitration</u>	AA	WA	-	-	SID
<u>Selection</u>	I, T	I	-	I	I
<u>Reselection</u>	I, T	T	T	I	T
<u>Command</u>	T	-	T	I	I
<u>Data IN</u>	T	-	T	I	T
<u>Data OUT</u>	T	-	T	I	I
<u>Status</u>	T	-	T	I	T
<u>Message IN</u>	T	-	T	I	T
<u>Message OUT</u>	T	-	T	I	I

- I - источник сигнала - ИУ;
- T - источник сигнала - ЦУ;
- AA - источник сигнала - устройство, активное в арбитраже;
- WA - источник сигнала - устройство-победитель в арбитраже;
- SID - каждое устройство управляет только битом данных, соответствующим значению его SCSI ID.



# Фаза сообщений (message In/Out)

7 0

Код сообщения

- 1 байт

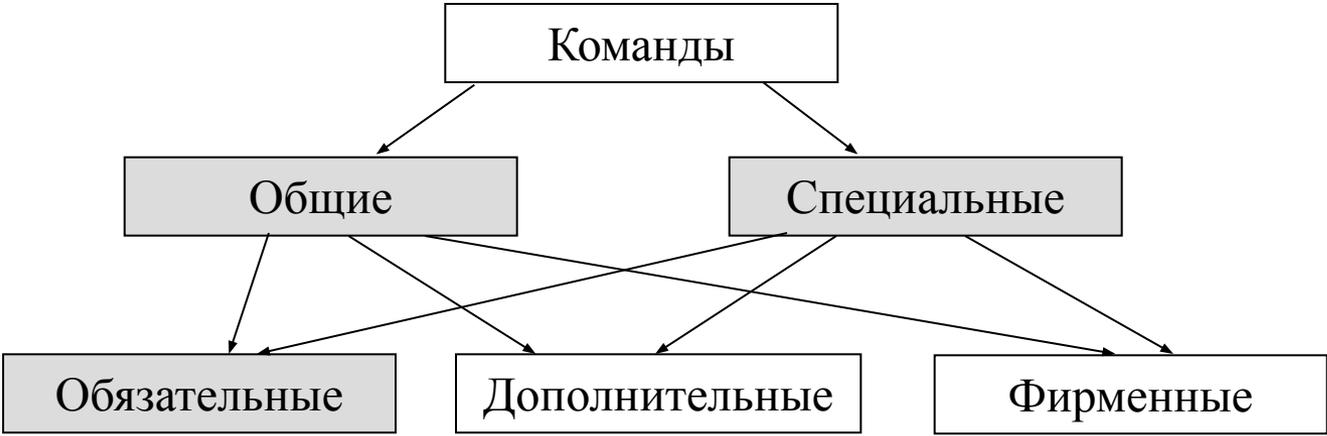
Код сообщения      Аргумент

- 2 байта

01h      Код сообщения      Длина

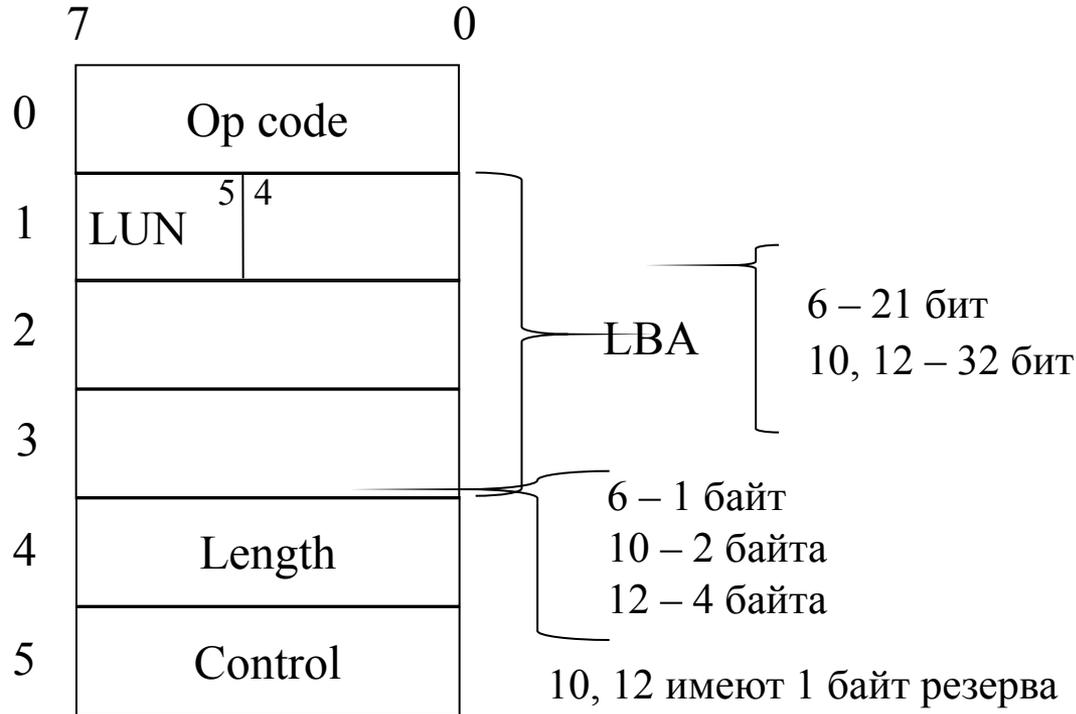
Расширенное сообщение

- 3 байта



# Дескриптор команд

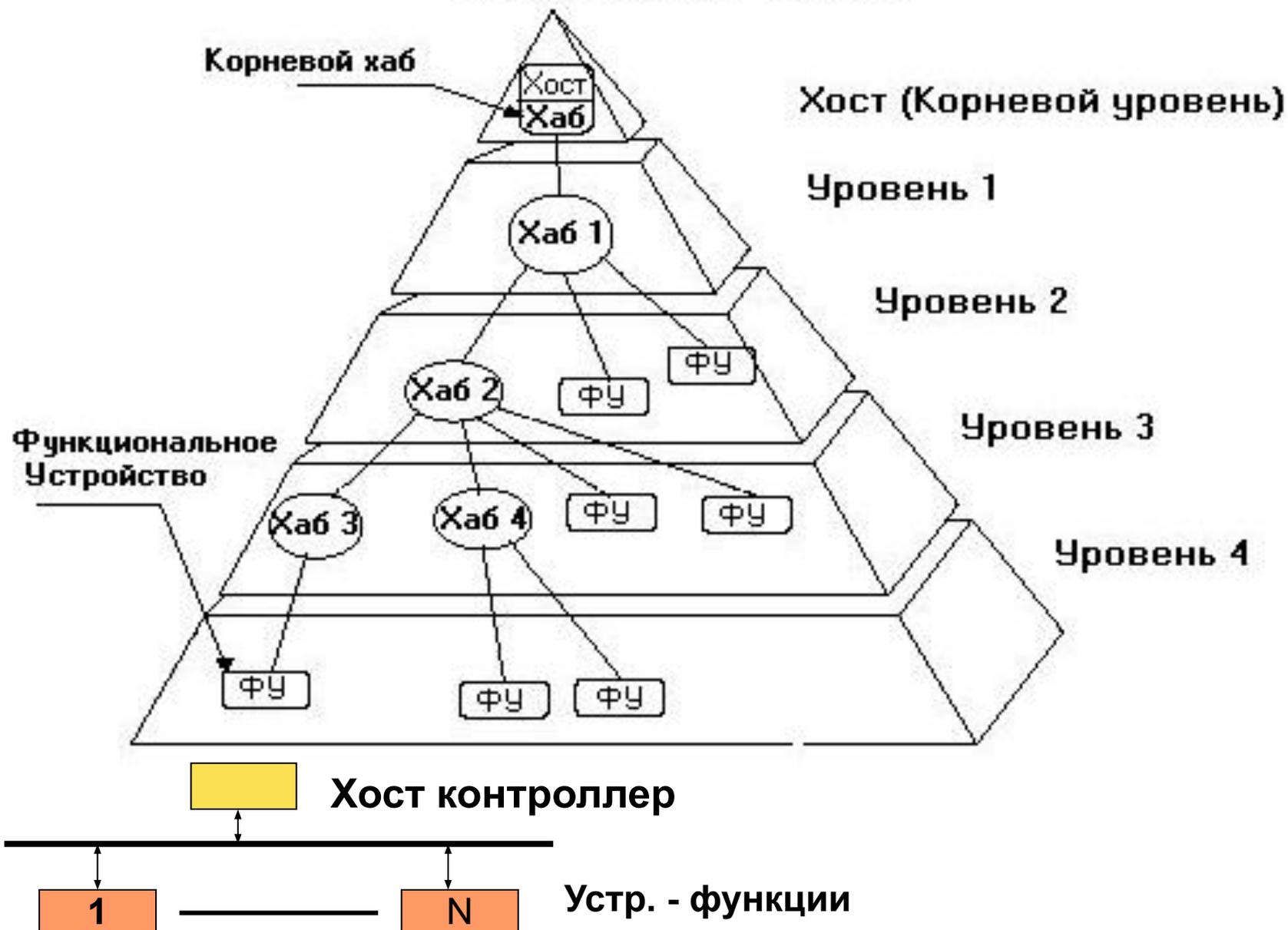
В команде 6 байт, 10 байт, 12 байт



# Шина USB

(Universal Systems Interface)

Рис. 2-1 Топология шины USB



# СТРУКТУРА ХАБА

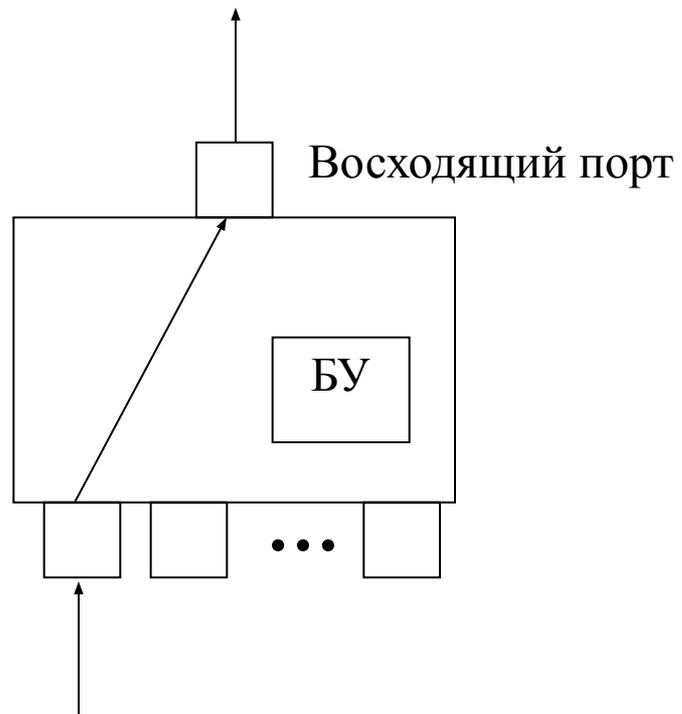
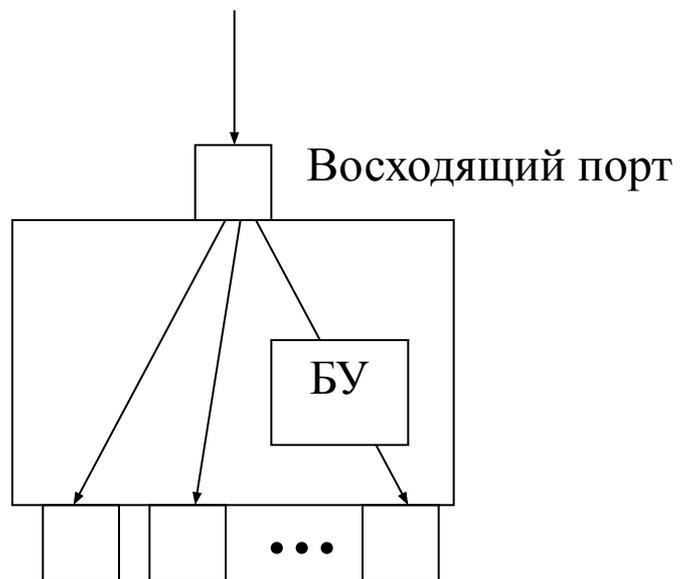
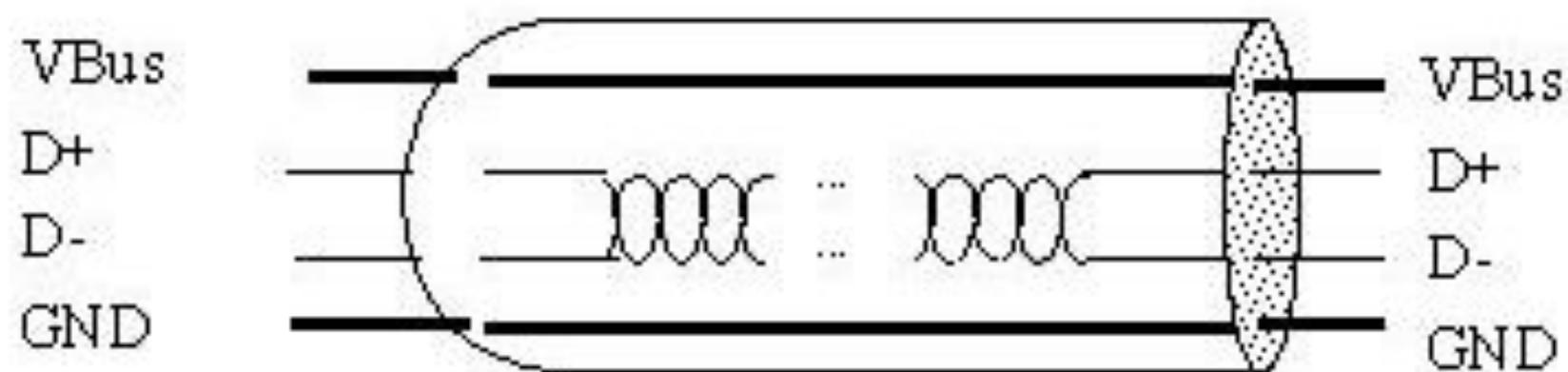


Рис. 2-4 Стандартный кабель USB



**Рис. 3-1** Простейшее хост/устройство взаимодействие



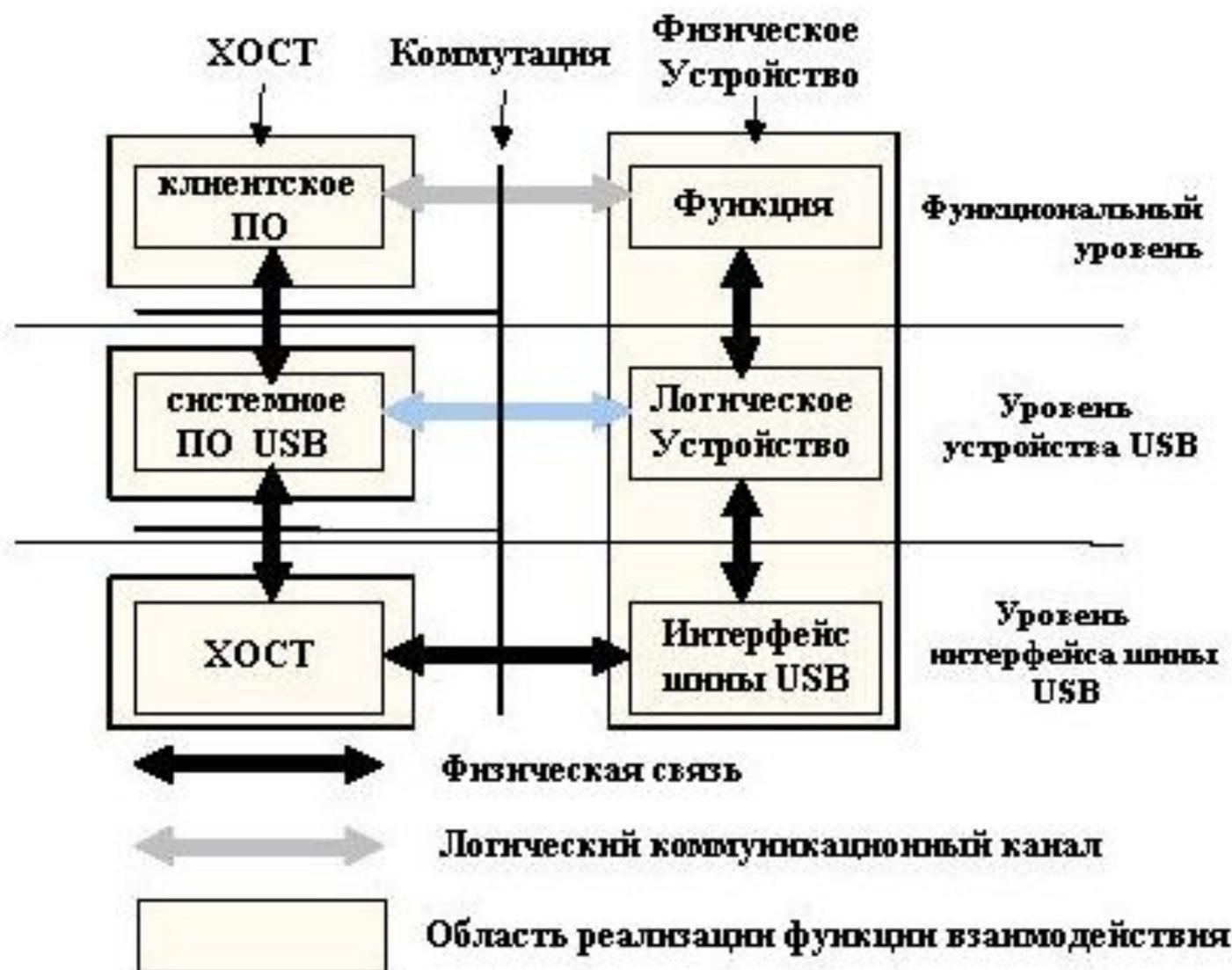
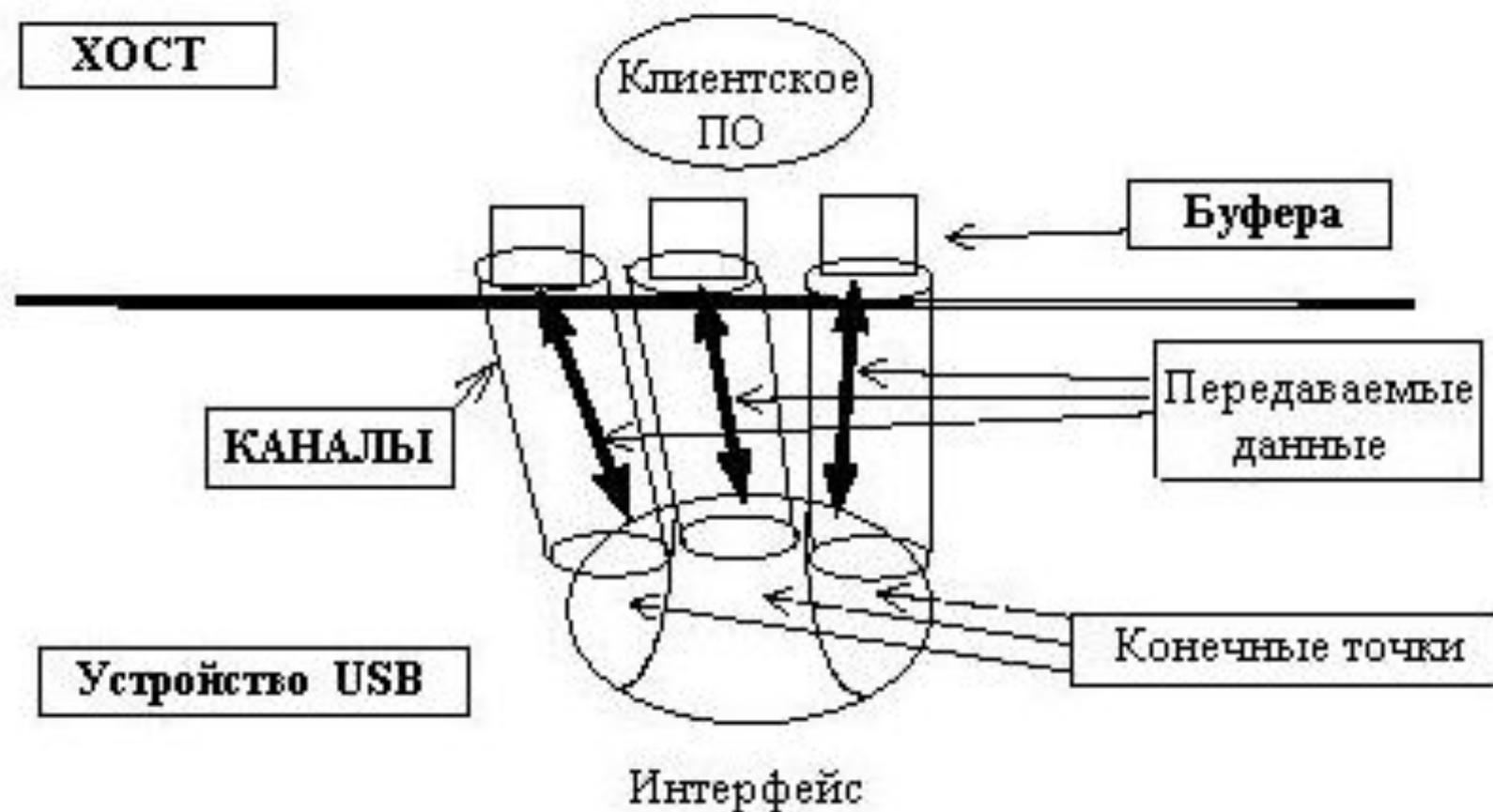


Рис. 3-2 Взаимодействие между хостом и функциональным устройством.

Рис. 3-3 Передача данных в USB системах



# ТИПЫ ПЕРЕДАЧИ ДАННЫХ

## □ **Управляющие посылки** (Control Transfers);

Используются для конфигурирования во время подключения и в процессе работы, для управления устройствами. Протокол обеспечивает гарантированную доставку данных. Длина поля данных управляющей посылки не превышает 64 байт на полной скорости и 8 байт на низкой.

## □ **Сплошные передачи** (Bulk Data Transfers);

Передача сравнительно больших пакетов без жестких требований ко времени доставки. Передачи занимают всю свободную полосу пропускания шины. Пакеты имеют поле данных размером 8, 16, 32 или 64 байт. Приоритет этих передач самый низкий, они могут приостанавливаться при большой загрузке шины. Допускаются только на полной скорости передачи.

## □ **Прерывания** (Interrupt);

Короткие (до 64 байт на полной скорости, до 8 байт на низкой) передачи типа вводимых символов или координат. Прерывания имеют спонтанный характер и должны обслуживаться не медленнее, чем того требует устройство. Предел времени обслуживания устанавливается в диапазоне 1-255 мс для полной скорости и 10-255 мс — для низкой.

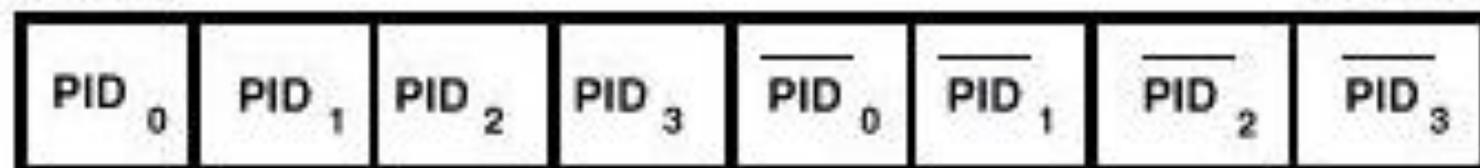
## □ **Изохронные передачи** (Isochronous Transfers);

Непрерывные передачи в реальном времени, занимающие предварительно согласованную часть пропускной способности шины и имеющие заданную задержку доставки.

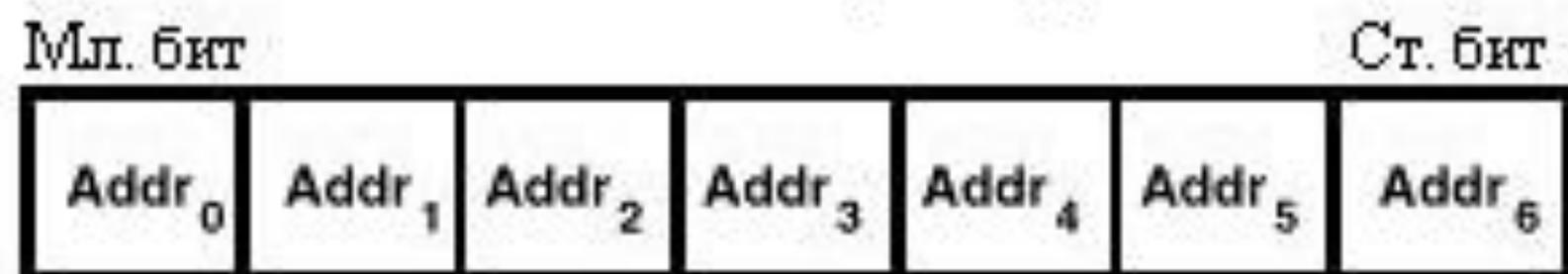
Рис. 4-1 Формат поля PID

Мл. бит

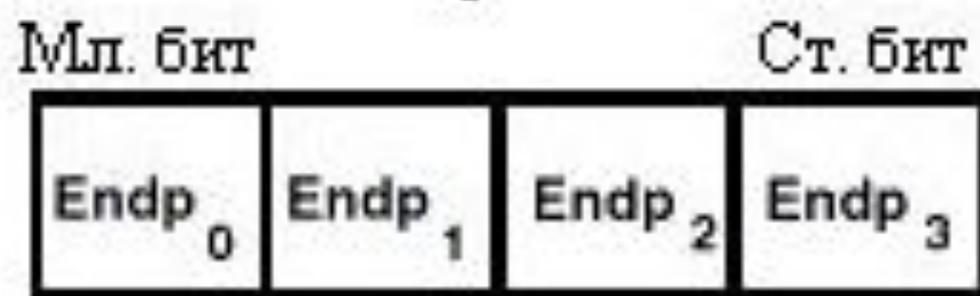
Ст. бит



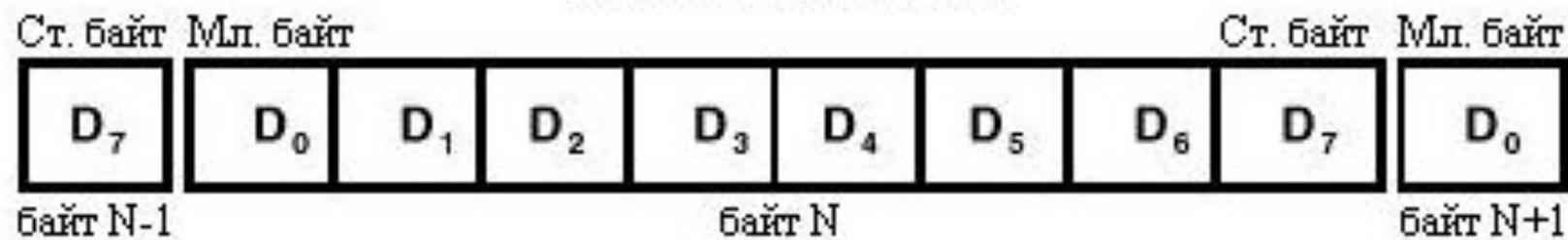
**Рис. 4-2** Поле адреса функции



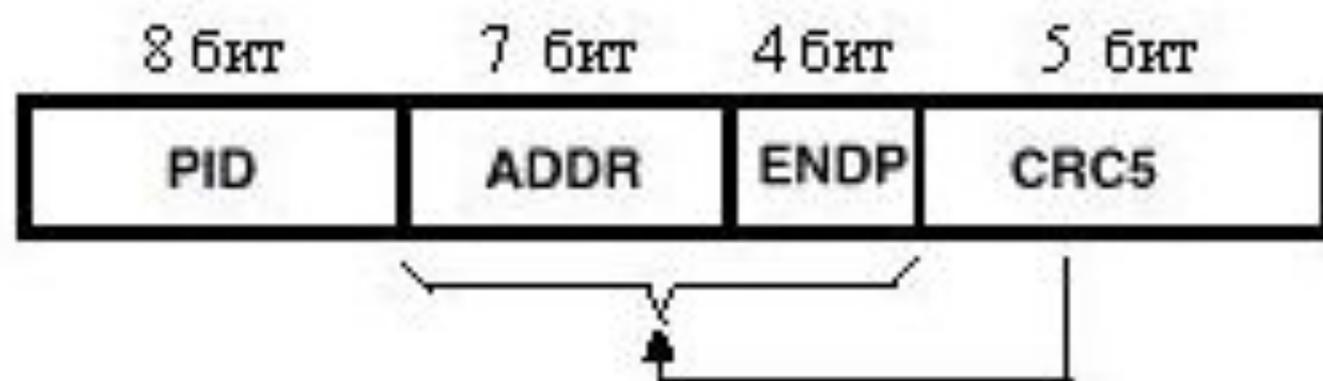
**Рис. 4-3** Поле адреса конечной точки



**Рис. 4-4** Поле данных



**Рис. 4-5** Структура маркерного пакета



**Рис. 4-6** Структура маркерного пакета типа SOF

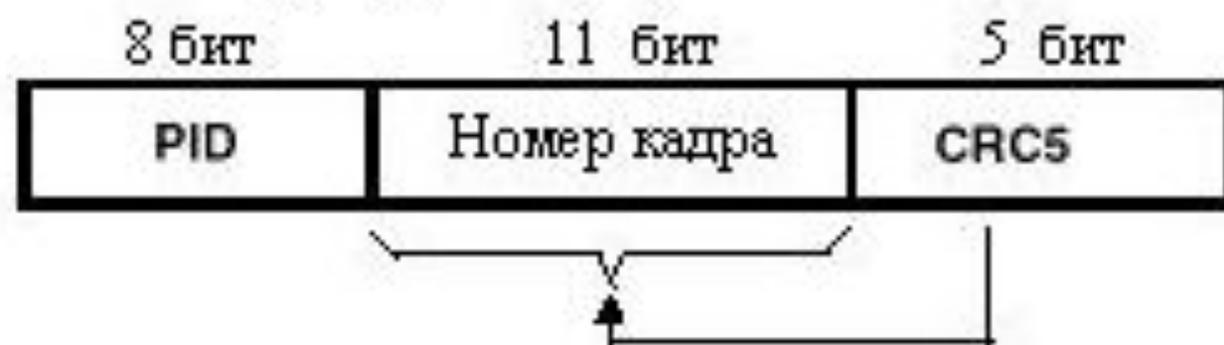
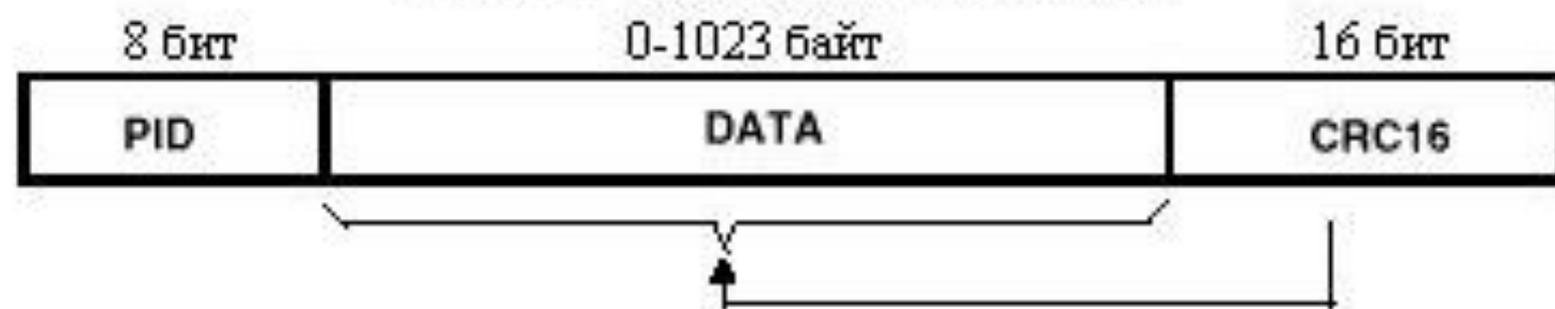


Рис. 4-7 Формат пакета данных



**Рис. 4-8** Формат пакета подтверждения

8 бит

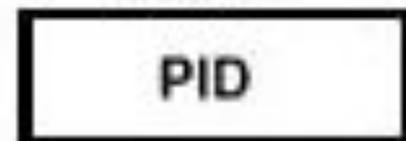


Рис. 4-9 Формат сплошной транзакции

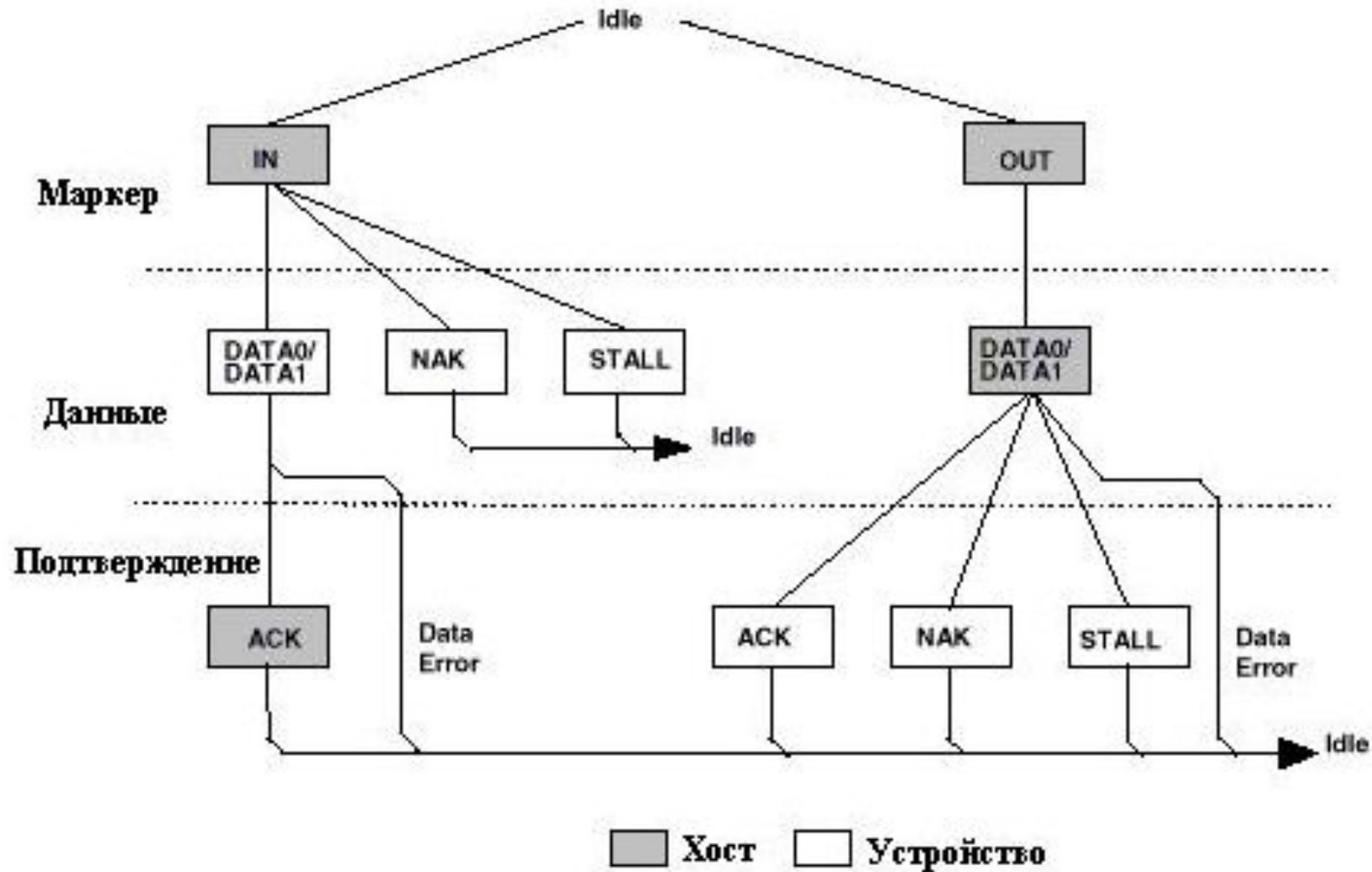


Рис. 4-10 Формат транзакции типа SETUP

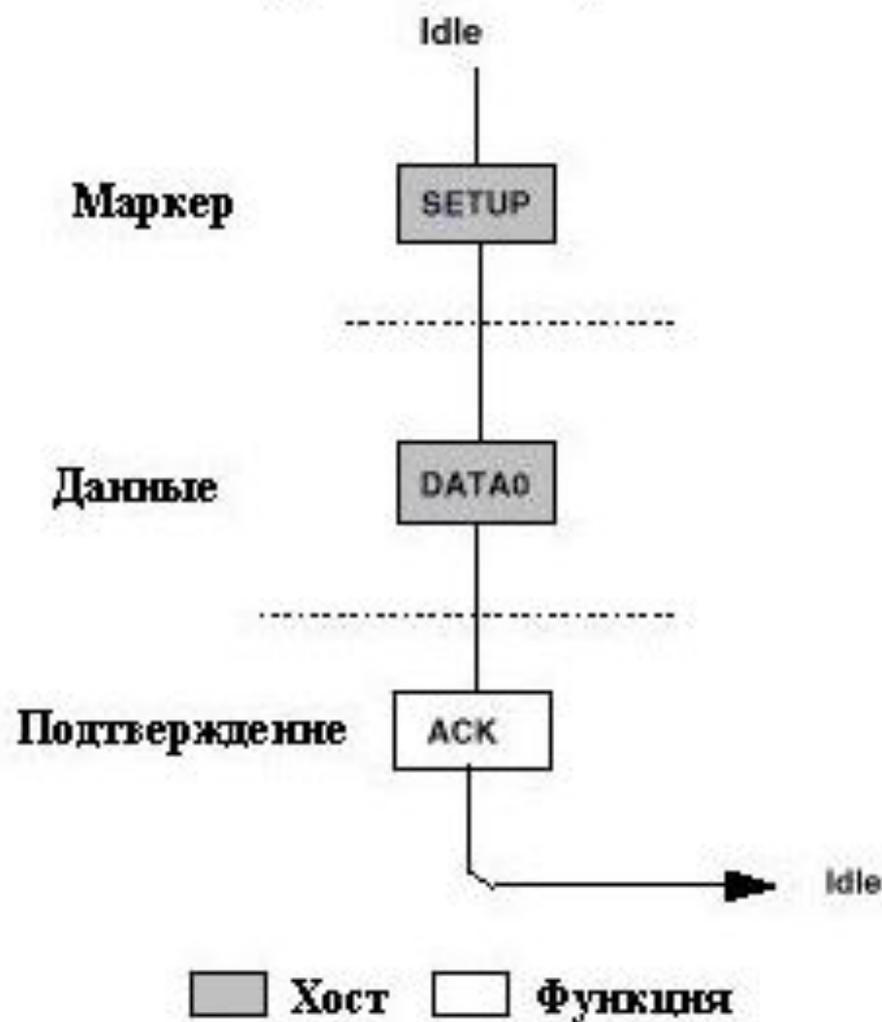


Рис. 4.10а. Формат прерывания

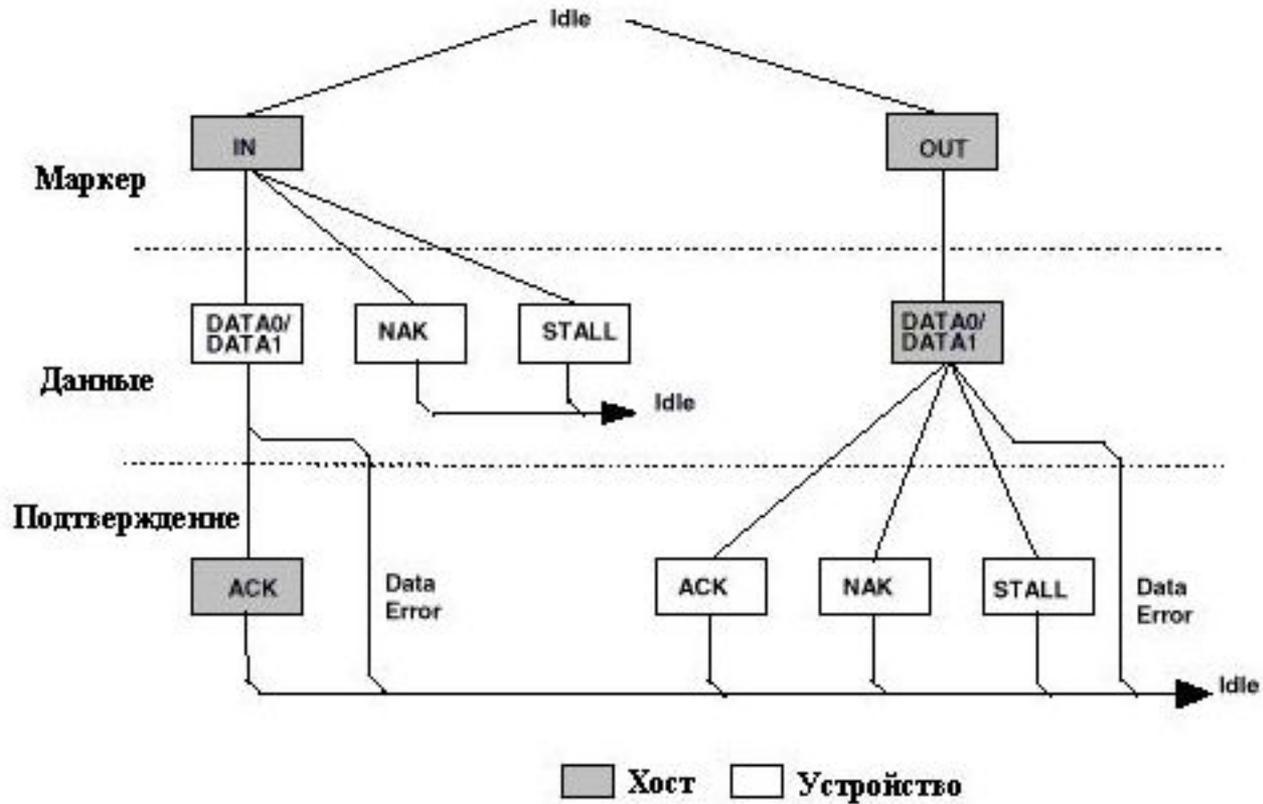


Рис. 4.106. Формат изохронных передач

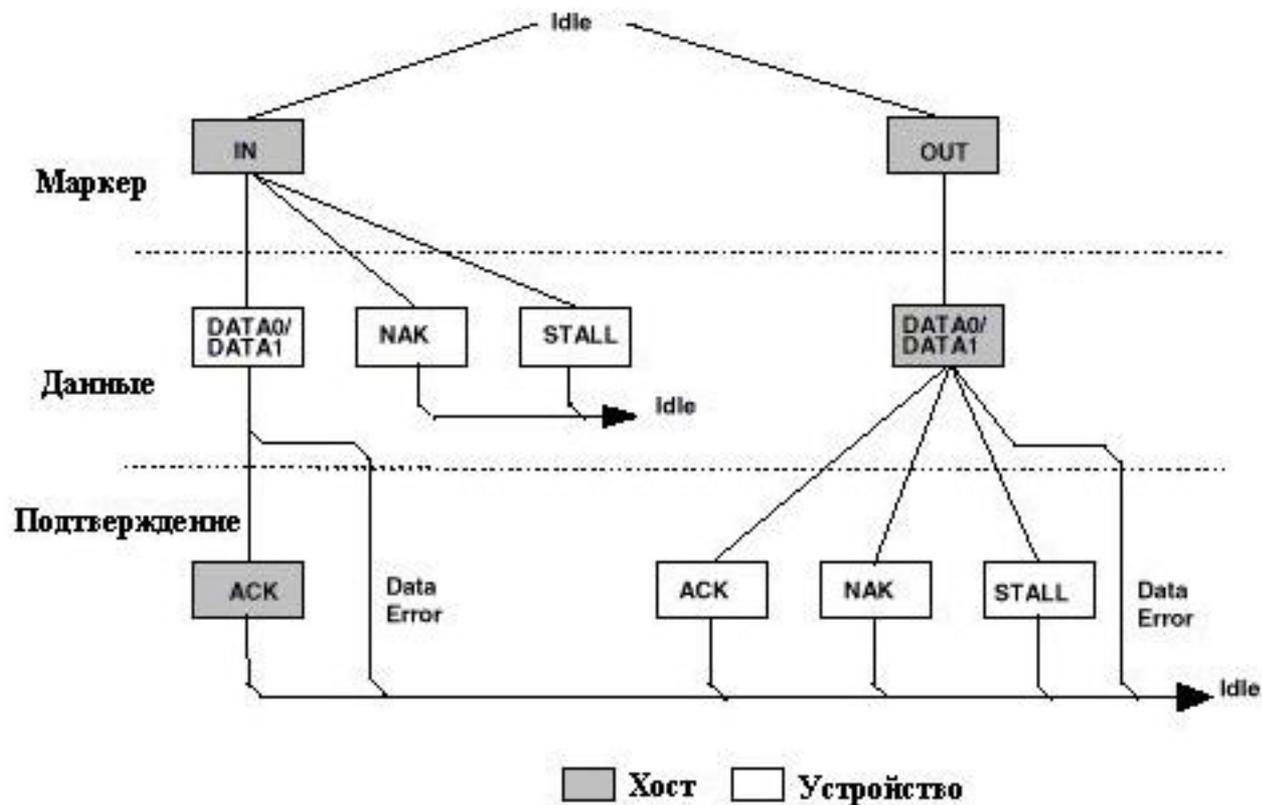
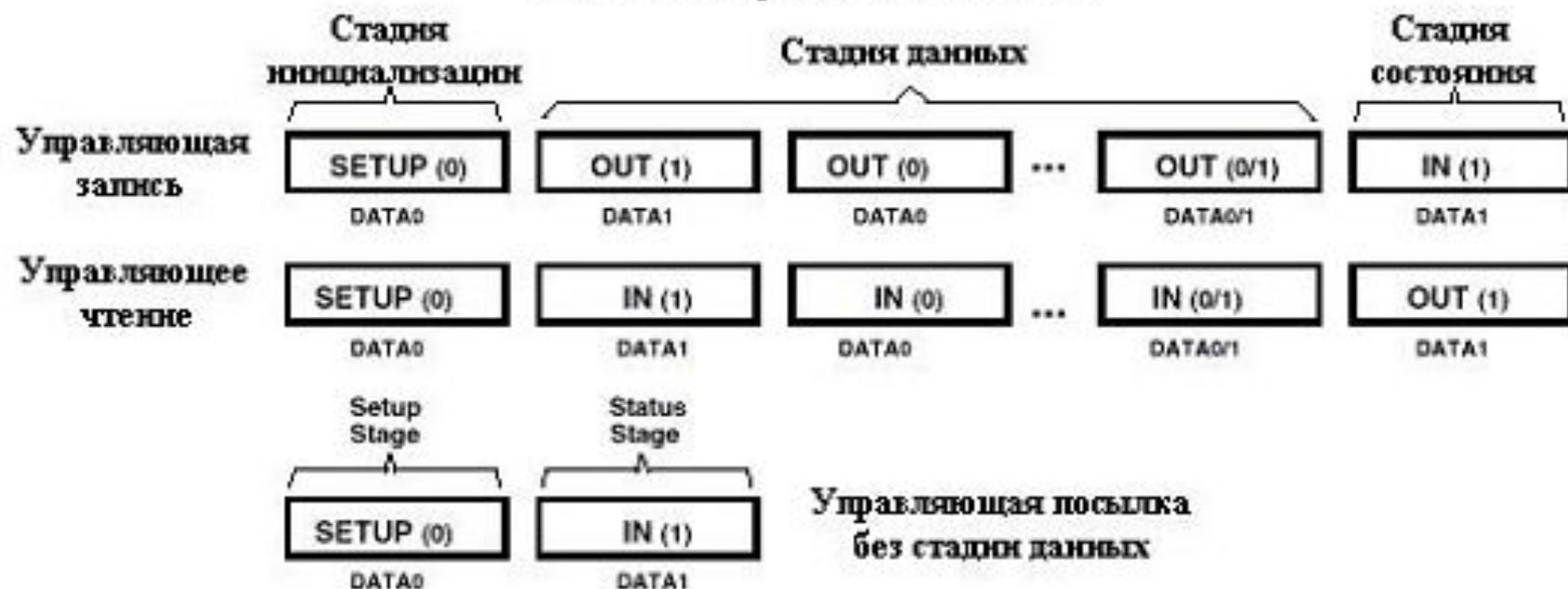


Рис. 4-11 Управляющие посылки



## **Тема 1.5.**

# **Аппаратные средства интерфейсов и систем ввода-вывода**

# Чипсет(Chipset)

Чипсет-набор микросхем,являющихся интерфейсом между составными частями компьютера: ЦПр,ОЗУ,ПЗУ,порты ввода-вывода.

Обычно это две микросхемы: южный мост и северный мост.

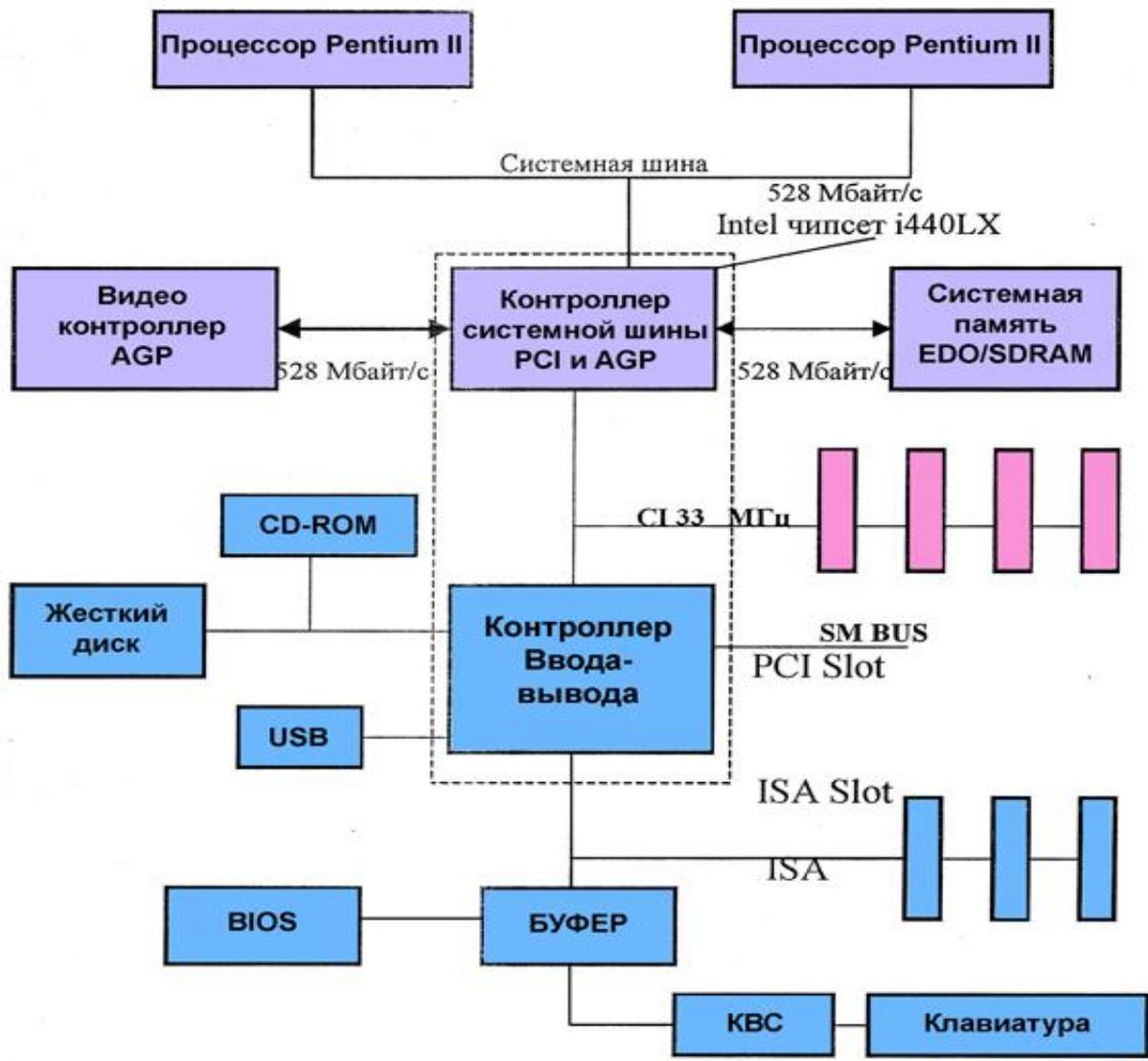


Рис. 1.11. Чипсет Intel i440 LX

# Свойства чипсет Intel 440BX:

- возможность подключения двух процессоров Pentium II;
- поддержка памяти EDORAM и SDRAM;
- системная шина 64 бита, частота 66 и 100 МГц;
- синхронный интерфейс PCI (33 МГц);
- порт AGP1x/2x, частота 66/100 МГц;
- управление энергопотреблением.

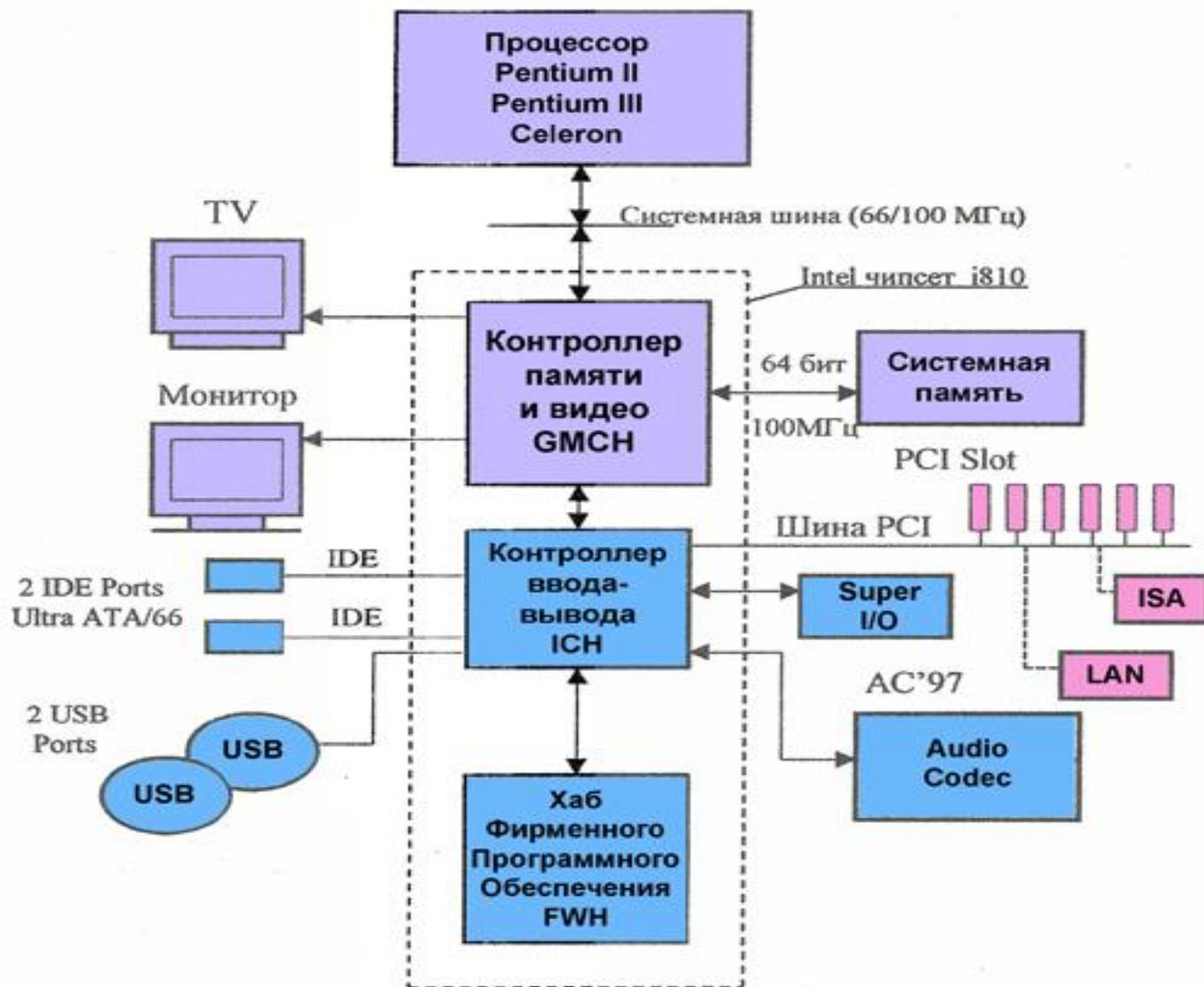
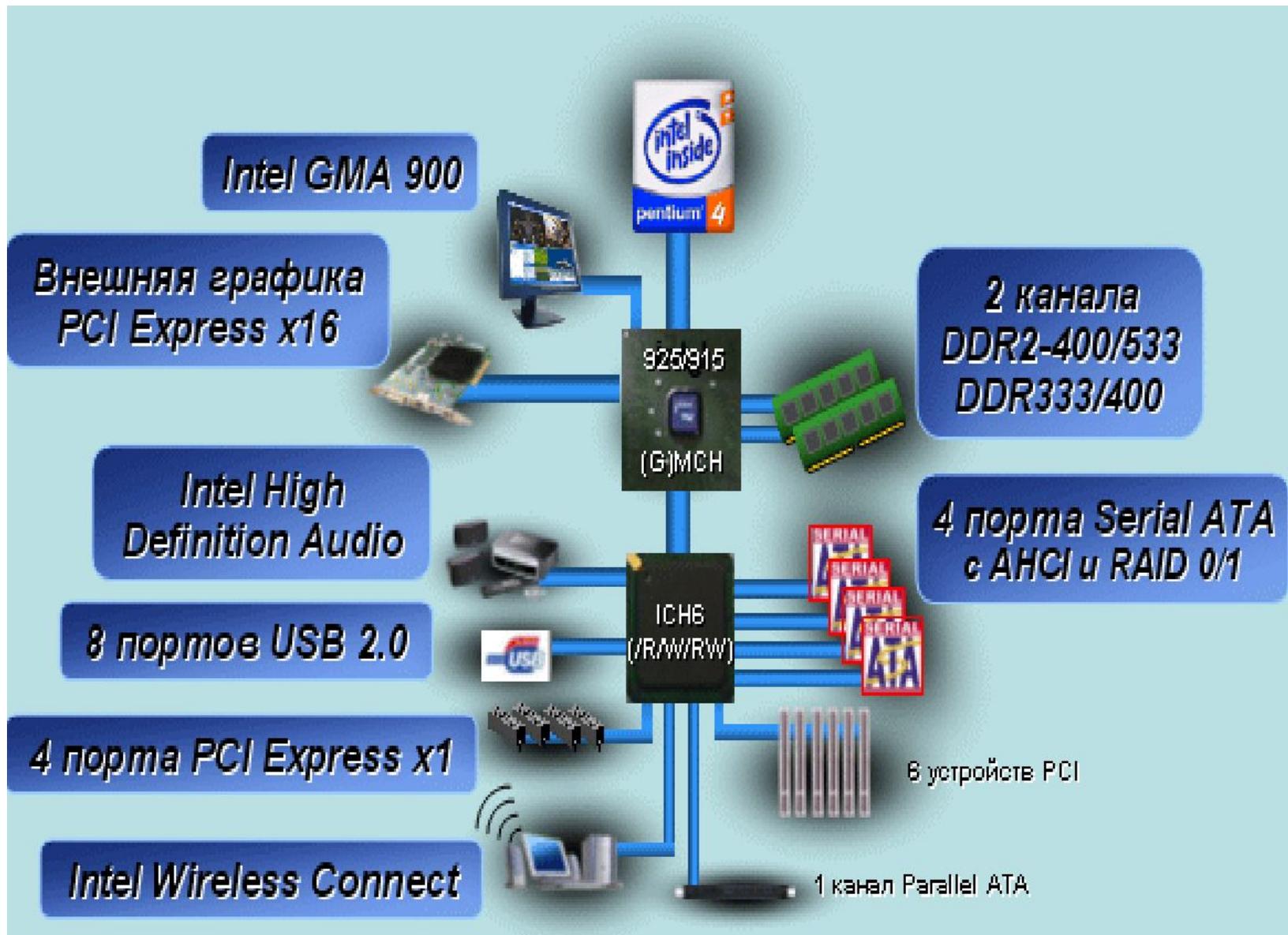


Рис. 1.12. Чипсет Intel i810

# Характеристики чипсет i810:

- поддержка однопроцессорной конфигурации;
- системная шина 66 и 100МГц, 64 разр.;
- интерфейс памяти SDRAM на 100МГц;
- 2Д/3Д графическое ядро;
- поддержка шины PCI 2.2;
- управление энергопотреблением;
- контроллер Ultra ATA/66;
- интерфейс LPC (Low Pin Count);
- отсутствие шины ISA;

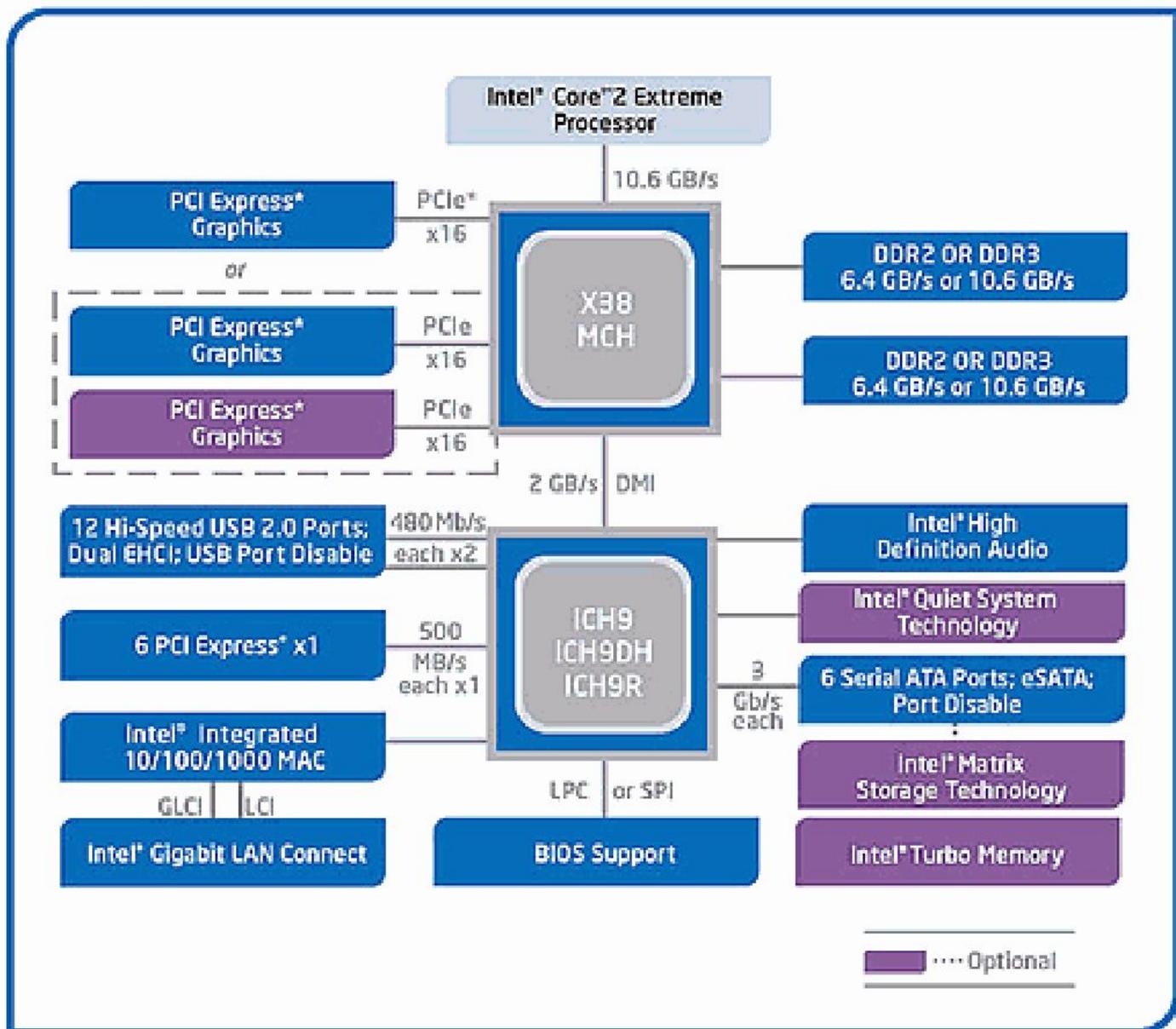


# Характеристики чипсет-северный мост i925

- поддержка процессоров с частотой шины 533/800МГц;
- двухканальный контроллер памяти DDR333/400 и DDR2-400/533МГц;
- шина для видеоускорителей PCI Expressx16;
- встроенная графика для i915;

# Характеристики чипсет южный мост ICH6

- 4 порта PCI Express x1;
- Matrix Storage-поддержка устройств Serial ATA с RAID и AHCI, 4 порта;
- High Definition Audio-новый стандарт для встроенного звука;
- Wireless Connrct-организация беспроводной сети
- 8 портов USB;
- 6 устройств PCI Bus Master;
- 1 канал Parallel ATA;
- MAC контроллер Fast Ethernet (10/100/1000);



Intel® X38 Express Chipset Block Diagram

# Северный мост -чипсет x38 Express

- поддержка “новых” процессоров Celeron, Pentium и семейства Core 2 с системной широй 800/1066 и 1333МГц;
- двухканальный контроллер памяти DDR2-533/1066/1333;
- 2 графических интерфейса PCI Express2.0x16;
- шина DMI -2Гб/с для южного моста ICH9.

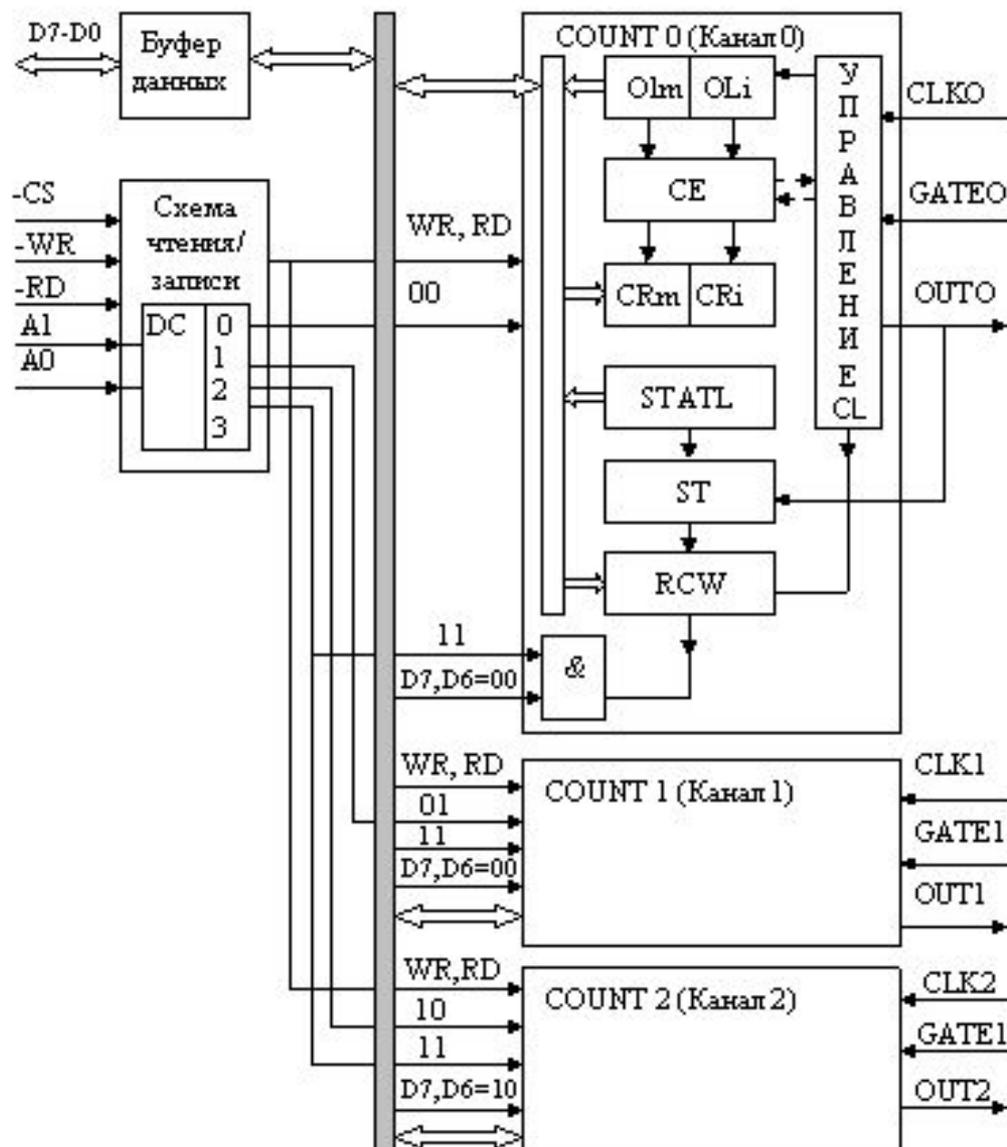
# Чипсет Intel ICH9-южный мост

- 6 портов PCI Express;
- 4 слота PCI;
- 4 порта Serial ATA II, режим AHCI;
- организация RAID-массива с функцией Matrix RAID;
- 12 устройств USB 2.0;
- MAC-контроллер Gigabit Ethernet;
- поддержка Intel Turbo Memory;
- High Definition Audio;
- обвязка низкоскоростной, старой периферии.

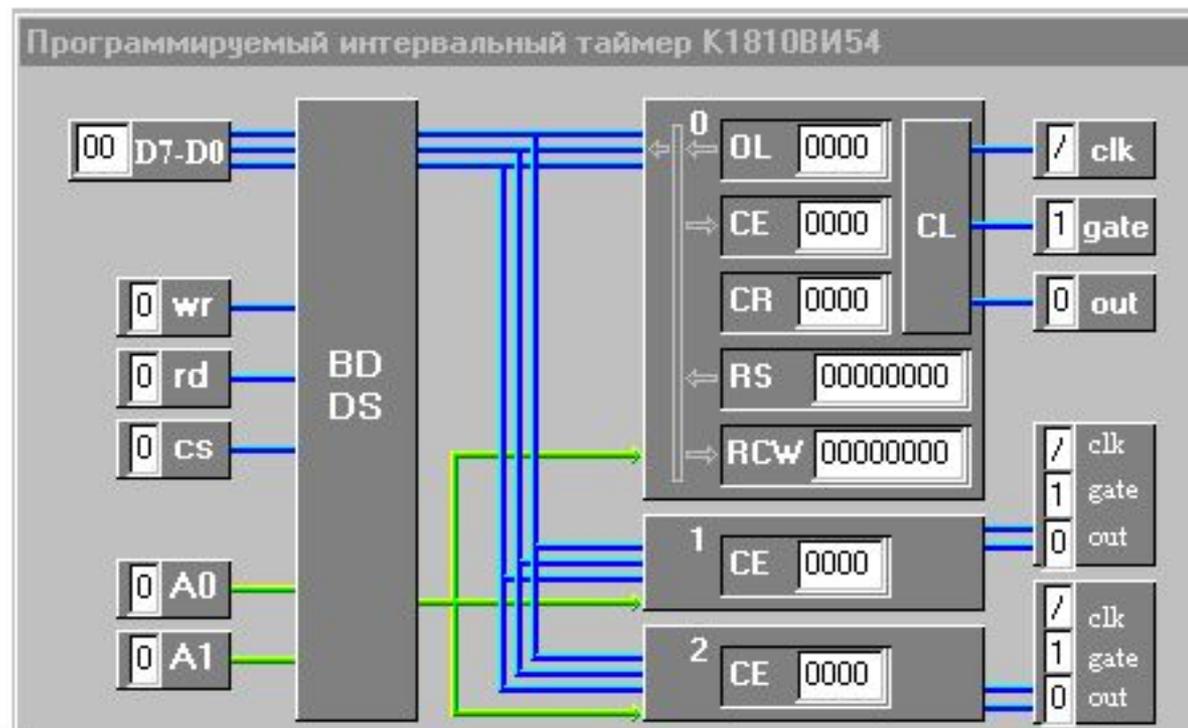
# Таймер

Программно управляемое устройство предназначено для задания временных интервалов различного вида в системах ввода-вывода и интерфейсах.

## Блок-схема таймера

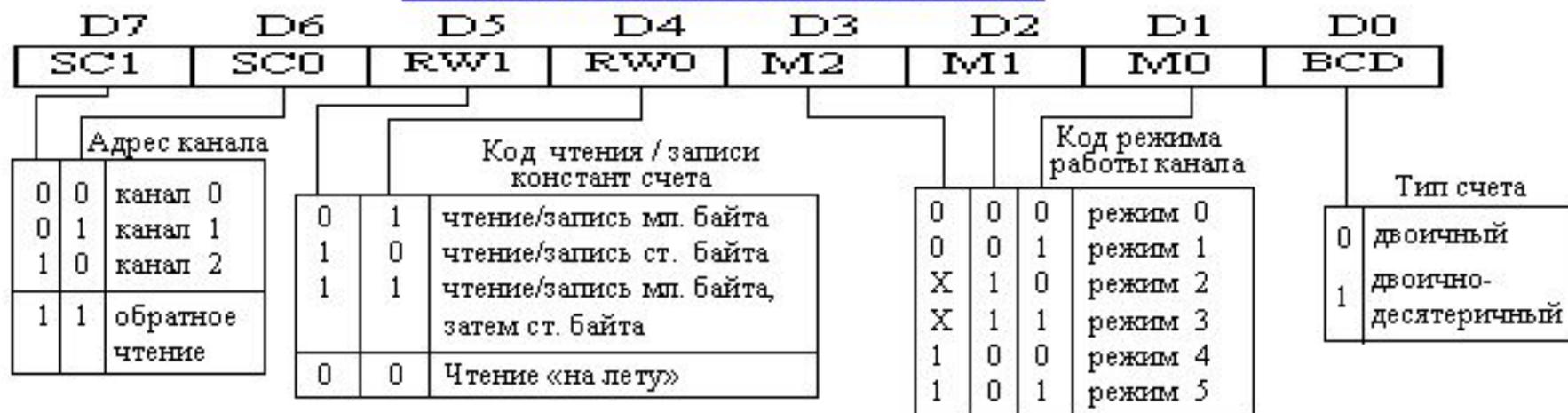


## Назначение блоков и сокращения, используемые в окне имитационной модели таймера



- BD/DS - буфер шины данных и дешифратор выбора канала;
- 0 - 2 - каналы таймера, реализующие запрограммированную функцию;
- OL - регистр хранения мгновенного значения счетчика/таймера (16 разрядов);
- CL - схема управляющей логики канала;
- CE - счетчик/таймер (16 разрядов);
- CR - регистр константы пересчета (16 разрядов);
- RS - регистр состояния канала (8 разрядов);
- RCW - регистр управляющего слова (8 разрядов).

## Формат управляющего слова CW



## Операции, выполняемые на входах таймера

CS	-RD	-WR	A1	A0	Порт	Операции
0	1	0	0	0	40	Запись в счетчик 0
0	1	0	0	1	41	Запись в счетчик 1
0	1	0	1	0	42	Запись в счетчик 2
0	1	0	1	1	43	Запись управляющего слова
0	0	1	0	0	40	Чтение из счетчика 0
0	0	1	0	1	41	Чтение из счетчика 1
0	0	1	1	0	42	Чтение из счетчика 2
0	0	1	1	1	43	Нет операций
1	X	X	X	X	-	Нет операций
0	1	1	X	X	-	Нет операций

## Формат команды CLC - чтение "на лету"

D7    D6    D5    D4    D3    D2    D1    D0

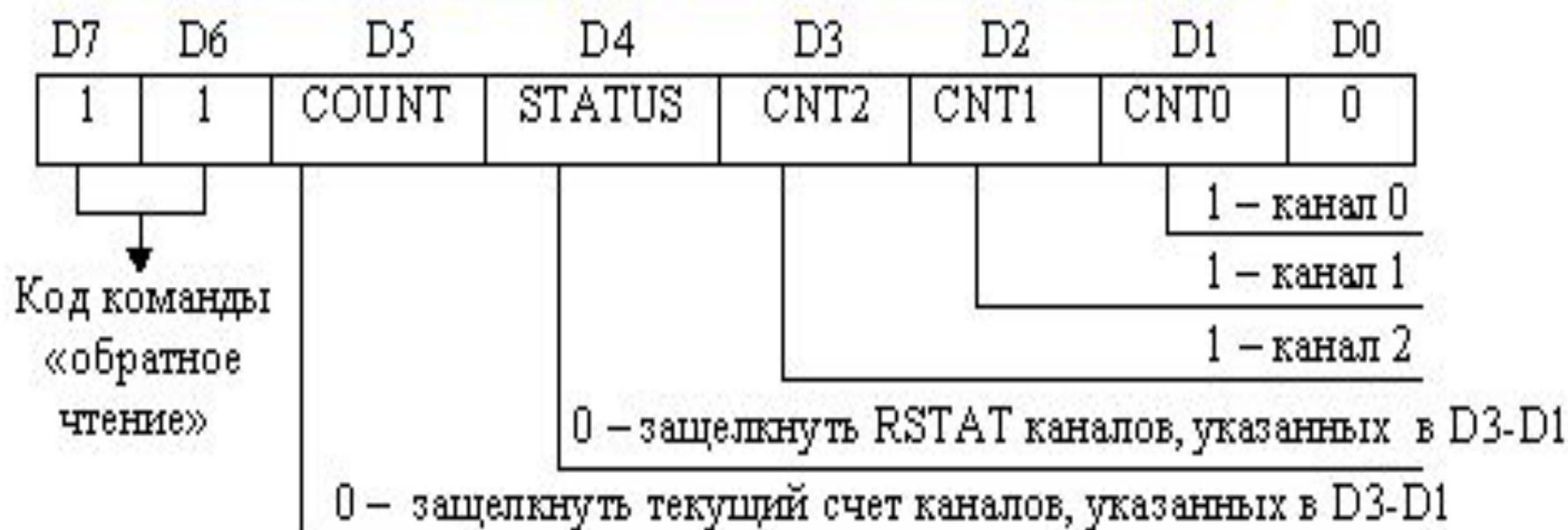
SC1	SC0	0	0	X	X	X	X
-----	-----	---	---	---	---	---	---

Код команды «Чтение «на лету»»

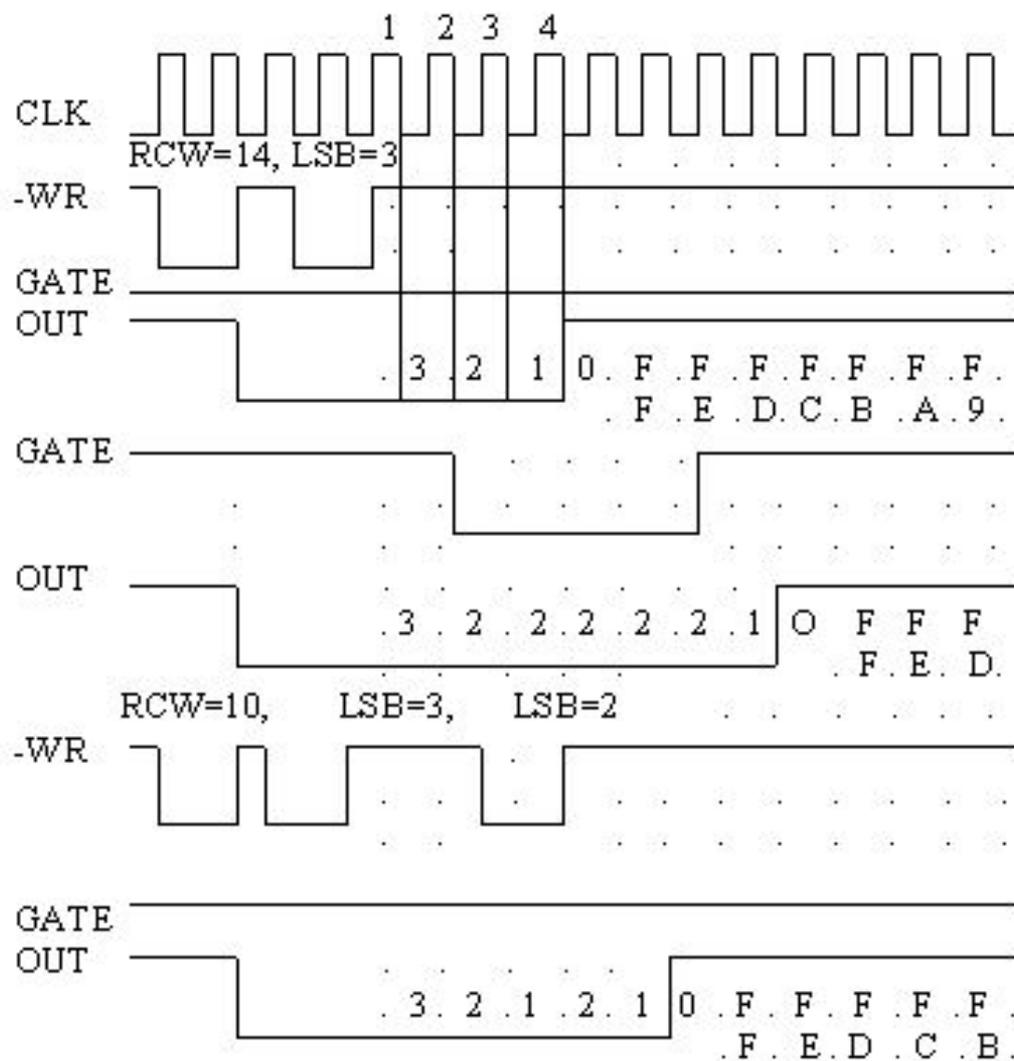
Адрес канала

0	0	канал 0
0	1	канал 1
1	0	канал 2
1	1	обратное чтение

## Формат команды RBC - "Обратное чтение"

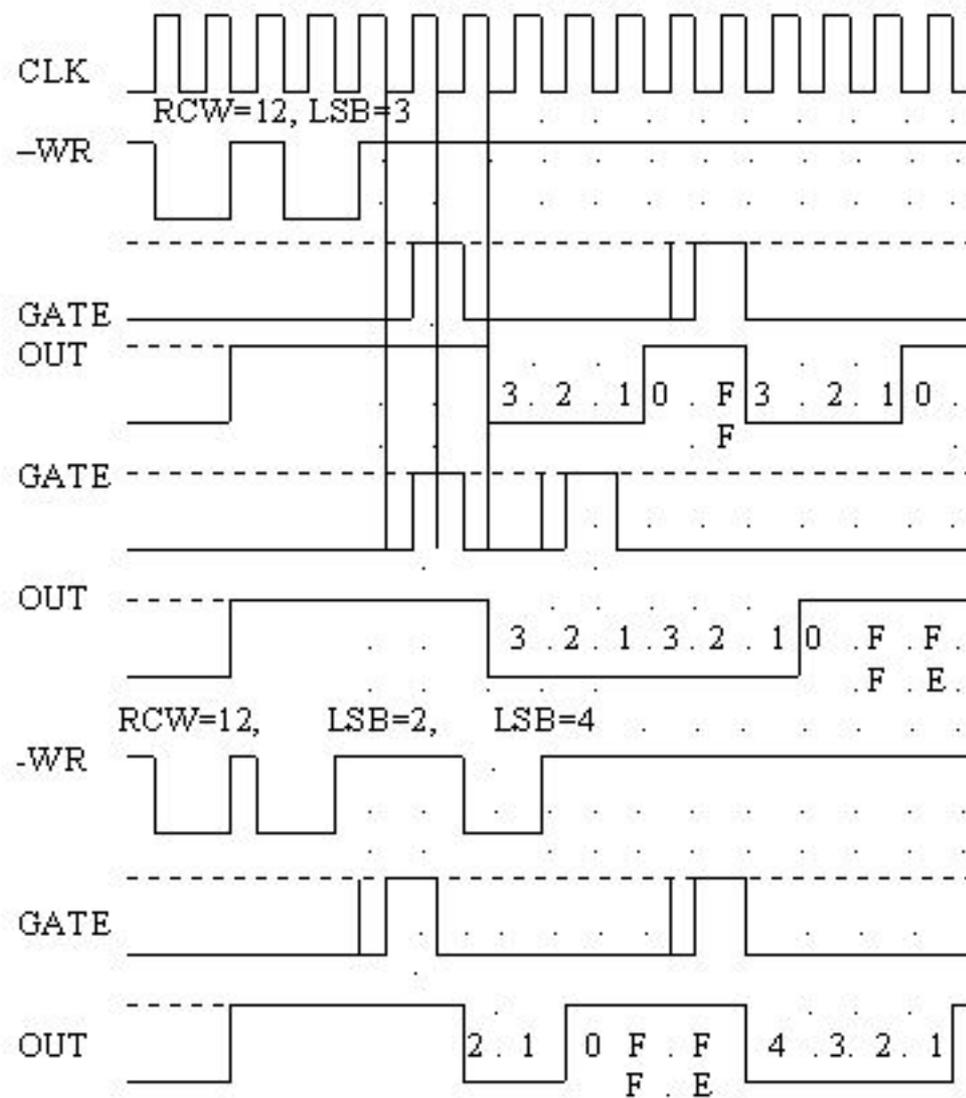


## Функционирование таймера в режиме 0



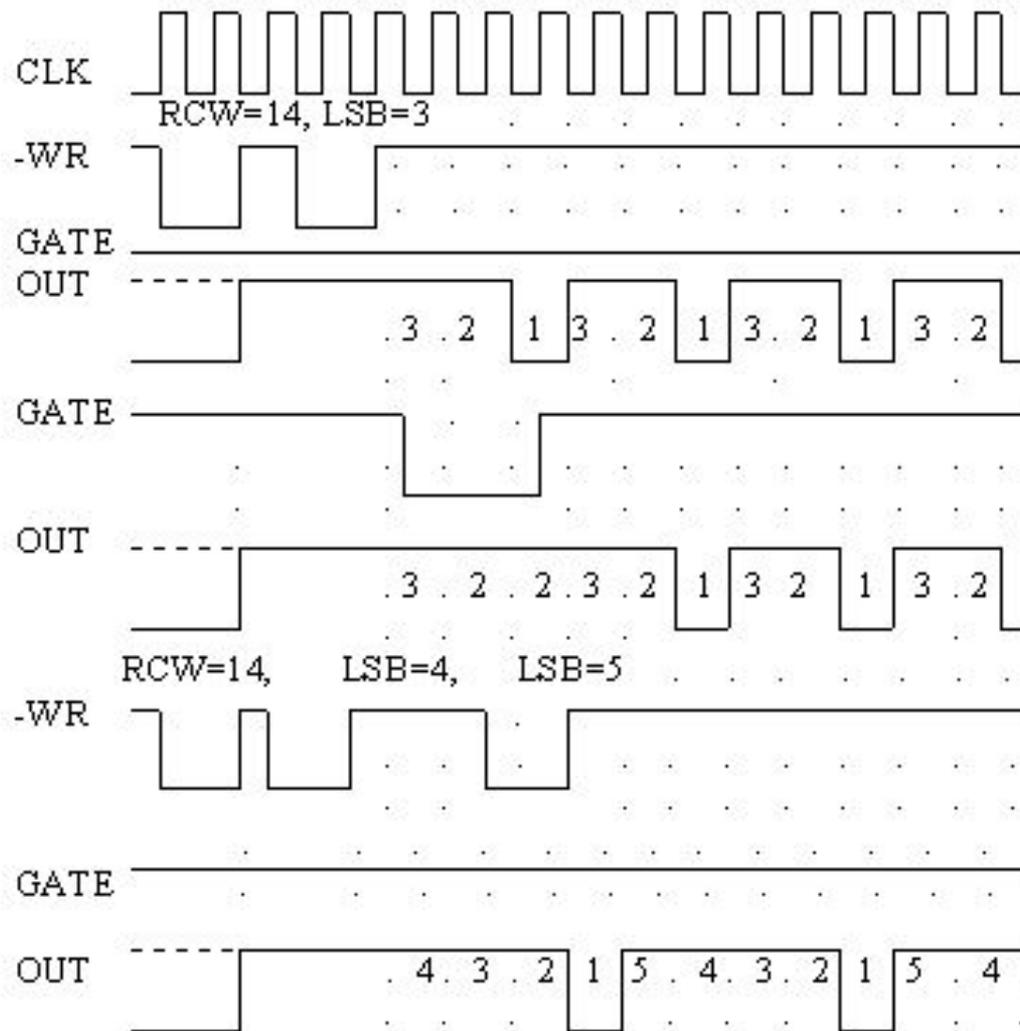
RCW – управляющее слово,  
LSB – младший байт константы.

## Функционирование таймера в режиме 1



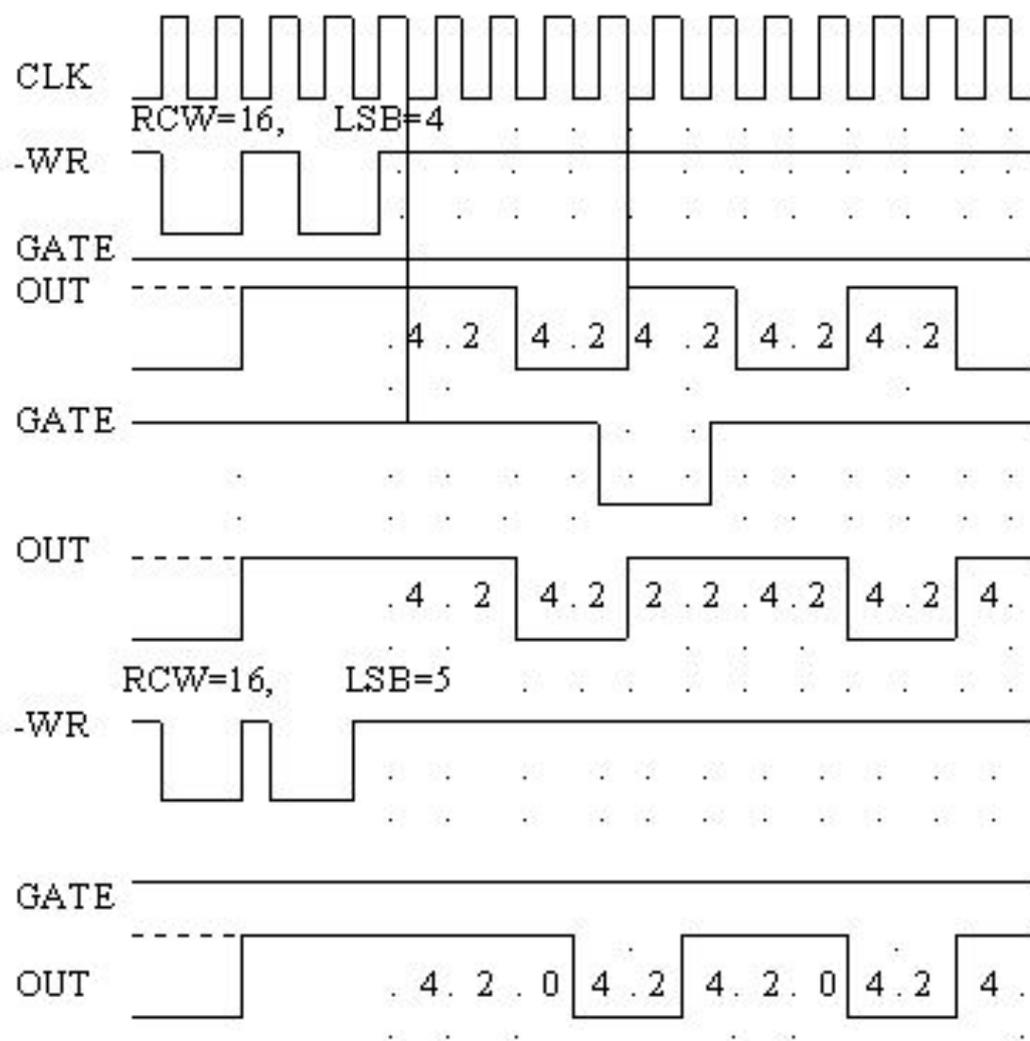
RCW – управляющее слово,  
LSB – младший байт константы.

## Функционирование таймера в режиме 2



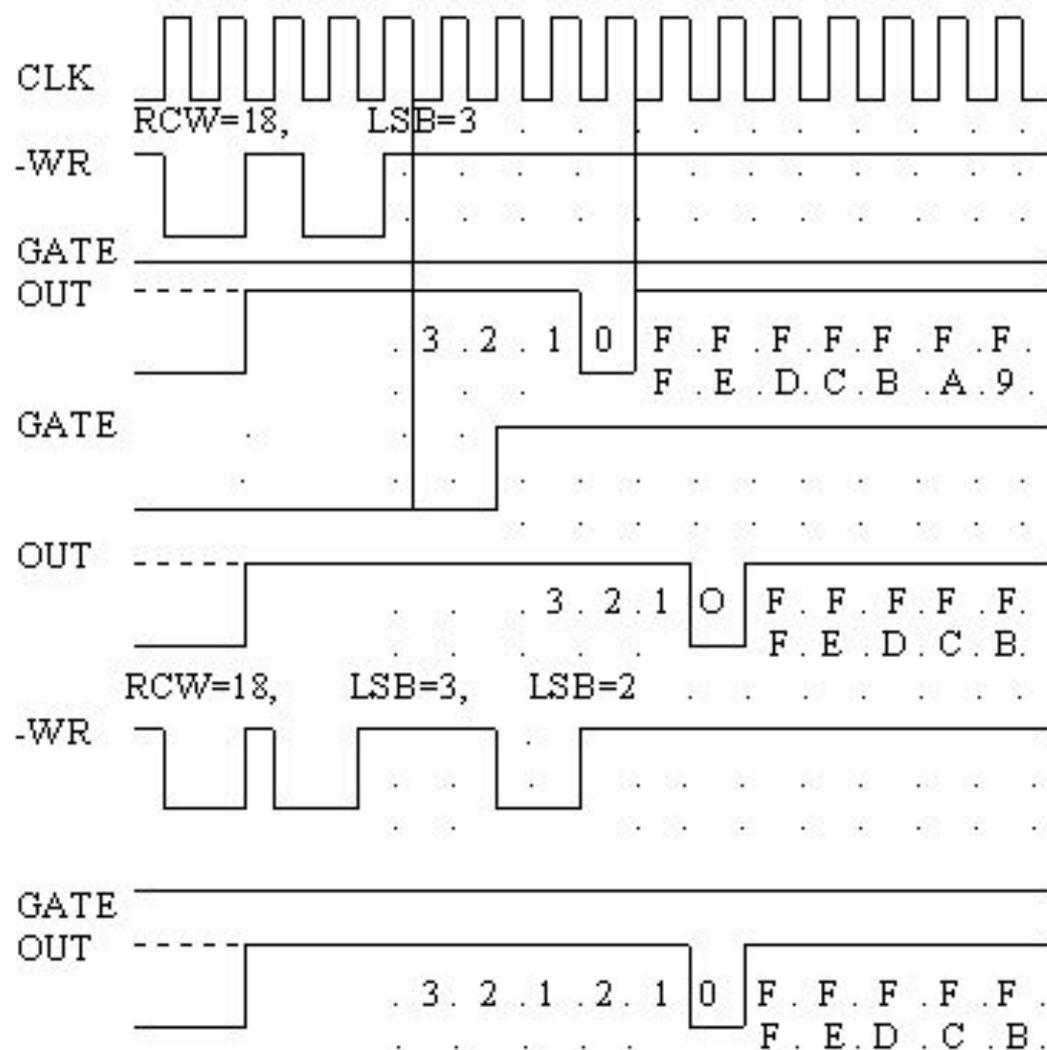
RCW – управляющее слово,  
LSB – младший байт константы.

### Функционирование таймера в режиме 3



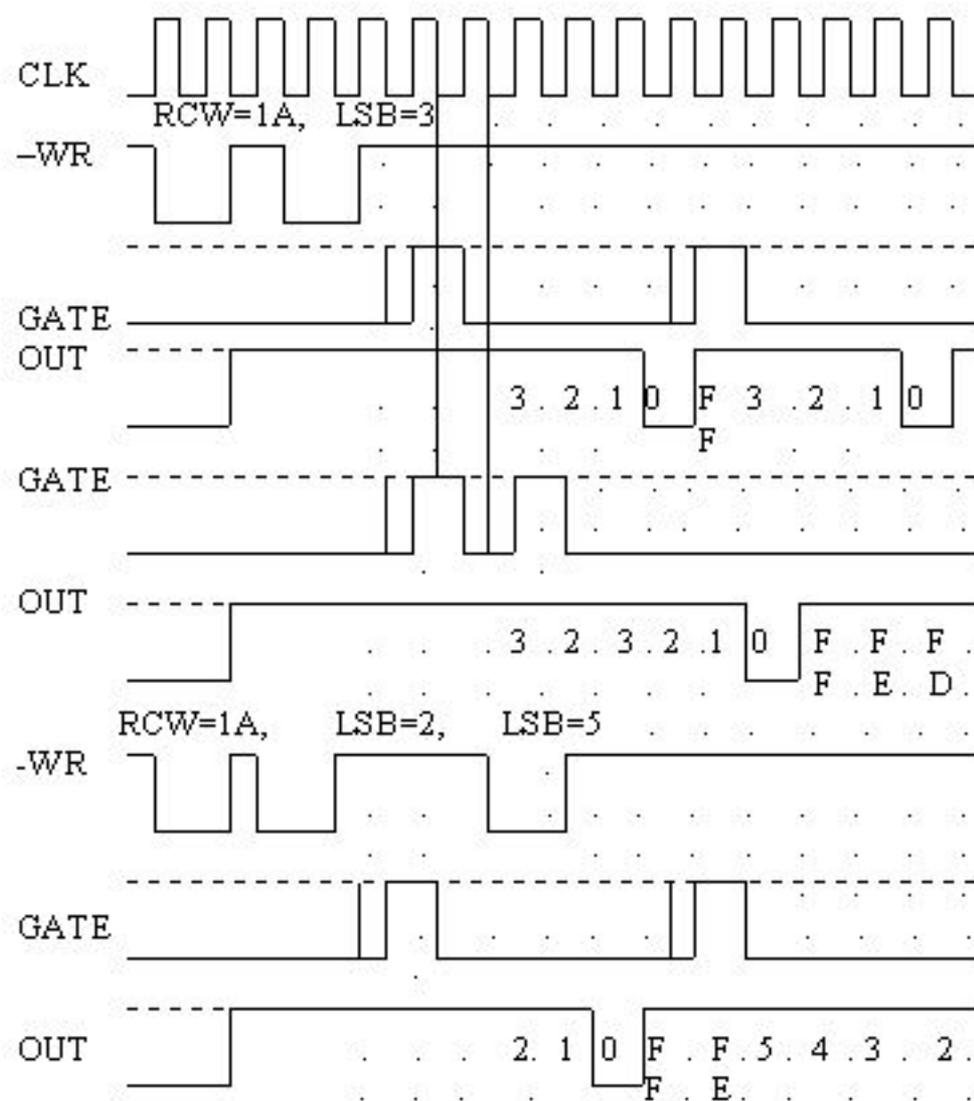
RCW – управляющее слово,  
LSB – младший байт константы.

## Функционирование таймера в режиме 4



RCW – управляющее слово,  
 LSB – младший байт константы.

## Функционирование таймера в режиме 5



RCW – управляющее слово,  
LSB – младший байт константы.

## Операции, выполняемые счетчиком

Режим	Состояние сигнала GATE		
	Низкий уровень или задний фронт	Передний фронт	Высокий уровень
0	Запрещает счет	—	Разрешает счет
1	—	1. Запускает счет 2. Устанавливает OUT в нуль в следующем такте синхронизации	—
2	1. Запрещает счет 2. Немедленно устанавливает OUT в единицу	Запускает счет	Разрешает счет
3	То же	То же	То же
4	Запрещает счет	—	Разрешает счет
5	—	Запускает счет	—