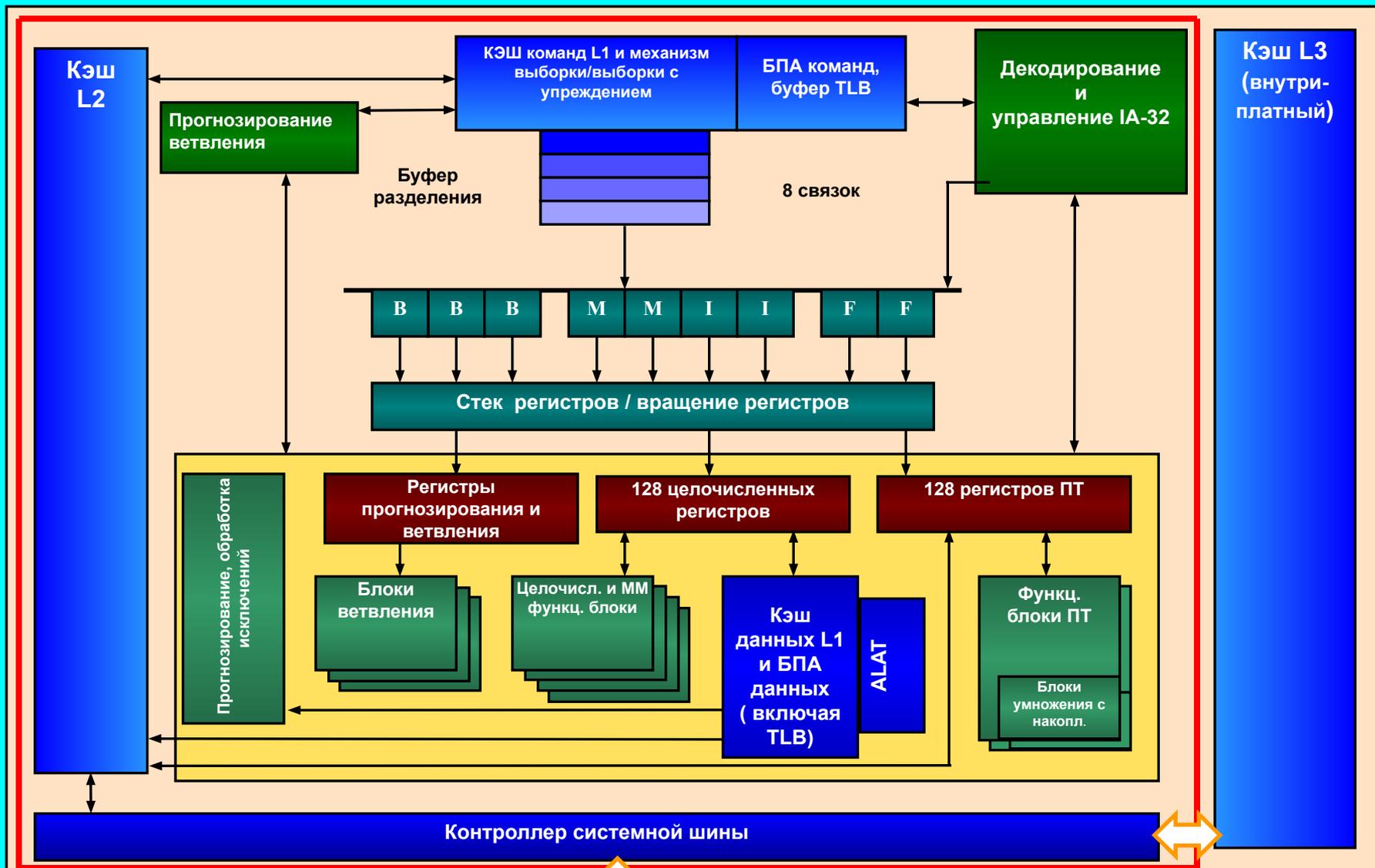


Структура процессора Itanium



ИДРО

Ширина шины 64 бита; 266МГц

Характеристики процессора Itanium

- На базе архитектуры EPIC;
- Масштабируемость до 512 процессоров;
- Память PC100;
- КЭШ
 - 1-го уровня: 32КБ;
 - 2-го уровня: 96КБ;
 - 3-го уровня: 2МБ, 4МБ;
- Частота интерфейса ввода/вывода PCI-66 МГц;
- Частота системной шины 266МГц.

Регистры процессора Itanium

Для обеспечения высокой производительности архитектура Itanium обладает следующими ресурсами:

- 128 64-битных регистров общего назначения GR0-GR127;
- 128 82-битных вещественных регистров FR0-FR127;
- 64 1-битных предикатных регистра PR0-PR63;
- 8 64-битных регистров ветвлений BR0-BR7;
- специальные прикладные регистры AR0-AR127, среди которых регистры поддержки циклов и вызовов функций;
- набор системных регистров: регистры регионов, ключей защиты, буферов TLB, управляющие CR0-CR81 и ряд других.

Набор прикладных регистров процессора Itanium

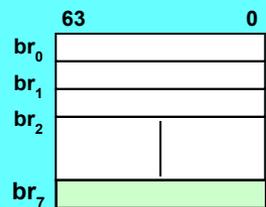
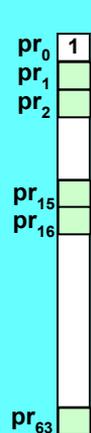
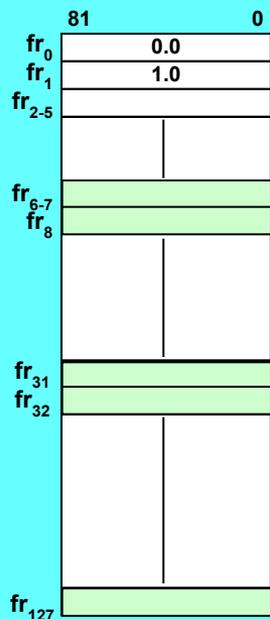
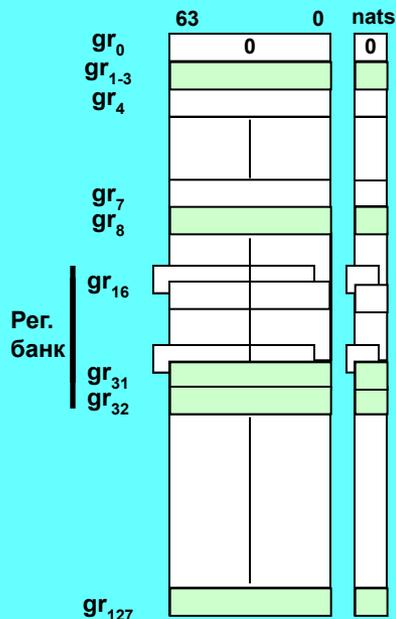
Регистры общего назначения

Регистры плавающей точки

Предикаты

Регистры ветвлений

Прикладные регистры



Указатель команд



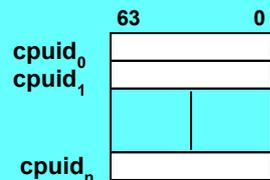
Маркер текущего фрейма



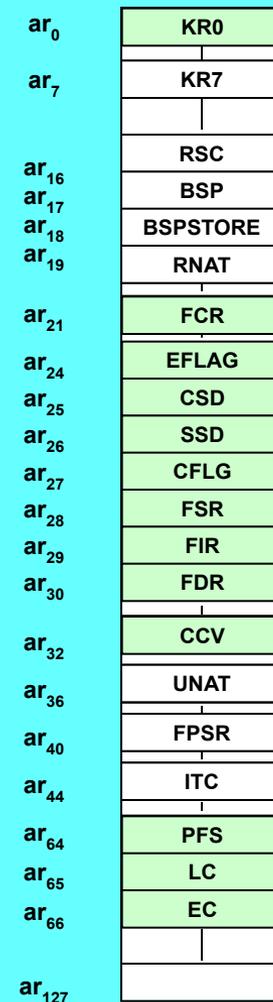
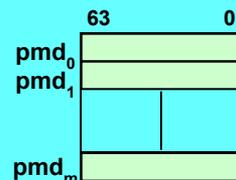
Маска пользователя



Идентификаторы процессора



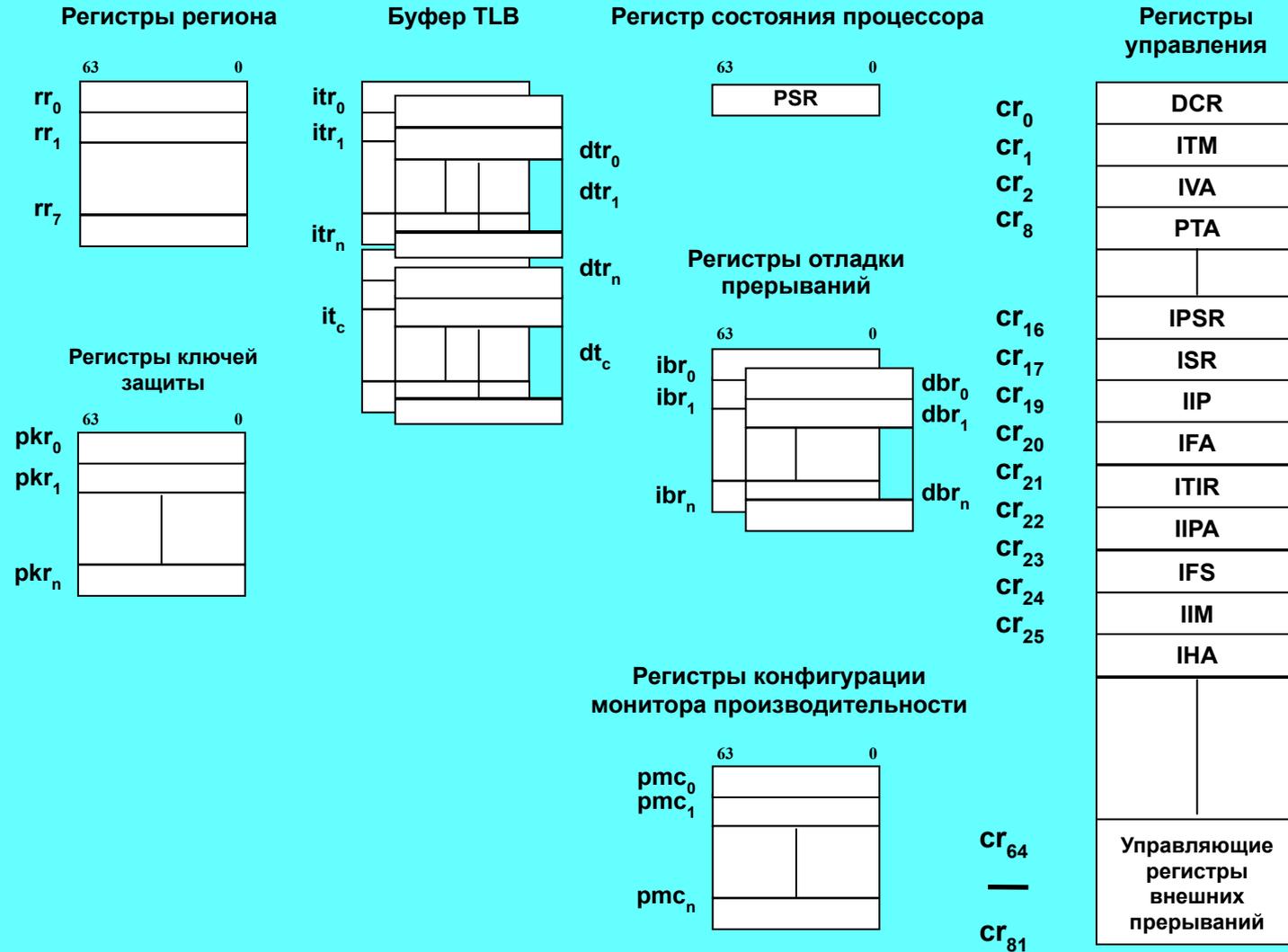
Регистры данных монитора производительности



 Используются при выполнении программ IA-32

 Не используются при выполнении программ IA-32

Набор системных регистров процессора Itanium

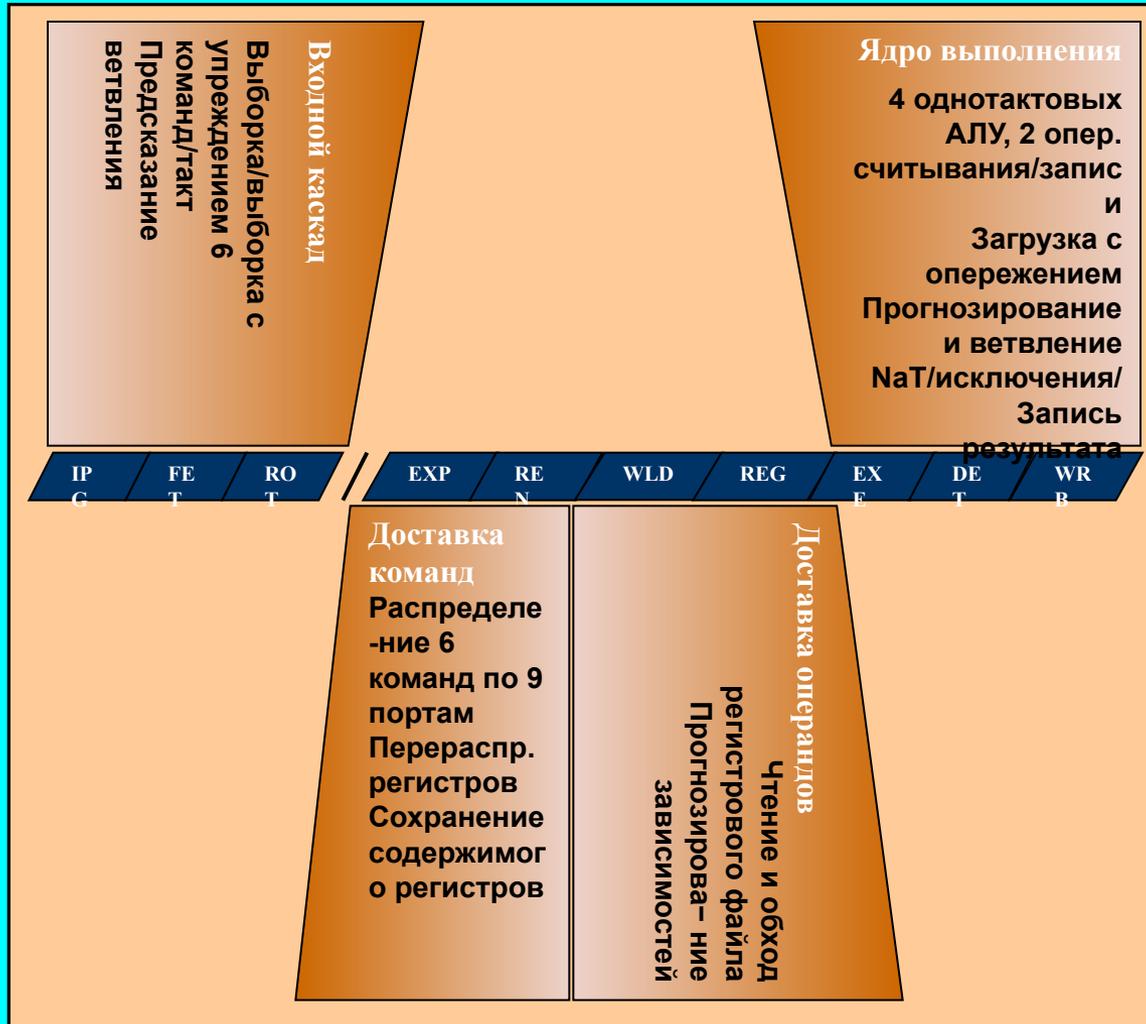


Конвейер процессора Itanium.

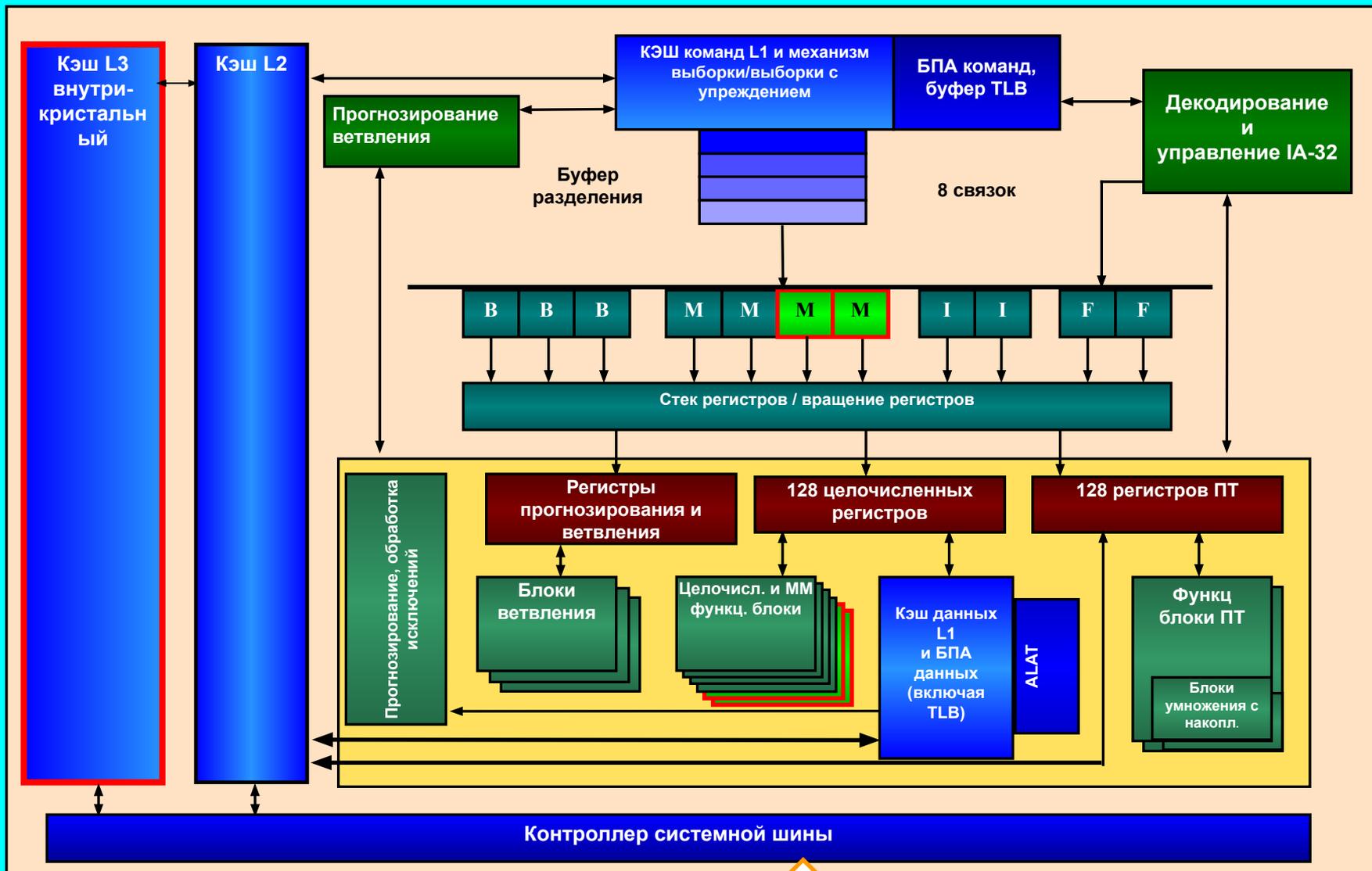
Количество ступеней конвейера - 10.

Параллельно выполняется до 6 команд в течение одного такта.

- формирование адреса следующей команды (IP generation),
- фиксация команд (FET – fetch),
- загрузка команд (ROT – instruction rotation),
- разворачивание команд (EXP – expand),
- переименование регистров (REN register rename),
- декодирования (WLD – word line decode),
- чтения содержимого регистров (REG – register read),
- непосредственно исполнение (EXE),
- определения исключений (DET – exception detection),
- запись изменений (WRB – write back), если всё нормально.



Структура процессора Itanium 2

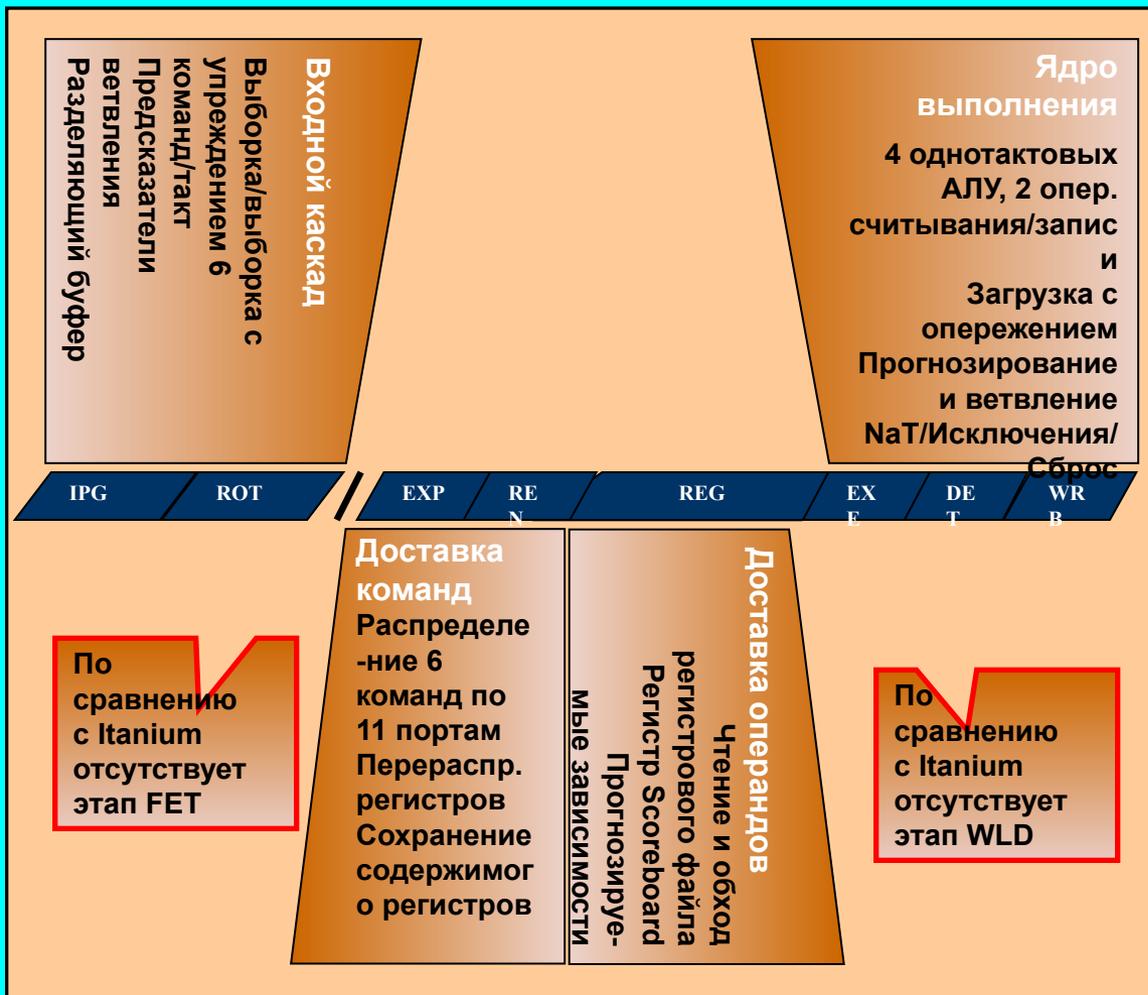


Ширина шины 128 бит;
400МГц.

Характеристики процессора Itanium 2

- На базе архитектуры EPIC;
- Усовершенствованная архитектура машинной проверки (МСА) с расширенными возможностями кода коррекции ошибок (ЕСС);
- КЭШ -память
 - 1-го уровня: 32КБ (команд и данных);
 - 2-го уровня: 256КБ;
 - 3-го уровня: 6МБ, 4МБ и 3МБ (встроенная);
- Частота интерфейса ввода/вывода PCI-66 МГц;
- Частота системной шины 400МГц, 128-разрядная; пропускная способность: 6,4 ГБ/с;

Конвейер процессора Itanium 2



Количество ступеней конвейера - 8.

Параллельно обрабатывается до 6 команд в течение одного такта.

Этапы конвейера

- формирование адреса следующей команды (IP generation),
 - загрузка команд (ROT – instruction rotation),
 - разворачивание команд (EXP – expand),
 - переименование регистров (REN register rename),
 - чтения содержимого регистров (REG – register read),
 - непосредственно исполнение (EXE),
 - определения исключений (DET – exception detection),
 - запись изменений (WRB – writeback), если всё нормально.
- По сравнению с Itanium отсутствуют этапы FET и WLD.

Формат «связки» (bundle) Intel® Itanium



1. Имеется 5 типов областей инструкций (instruction slot): M, I, F, B, и L;

2. Имеется 6 типов инструкций: M, I, A, F, B, L;

3. Имеется 12 основных типов шаблонов: MII, MI_I, MLX, MMI, M_MI, MFI, MMF, MIB, MBV, BVV, MMB, MFB.

Шаблон (Template).
Задает тип области
инструкции и тип самой
инструкции.

Соответствие кода шаблона и типа области (слота) инструкции

Template	Slot 0	Slot 1	Slot 2
00	M-unit	I-unit	I-unit
01	M-unit	I-unit	I-unit
02	M-unit	I-unit	I-unit
03	M-unit	I-unit	I-unit
04	M-unit	L-unit	X-unit ^a
05	M-unit	L-unit	X-unit ^a
06			
07			
08	M-unit	M-unit	I-unit
09	M-unit	M-unit	I-unit
0A	M-unit	M-unit	I-unit
0B	M-unit	M-unit	I-unit
0C	M-unit	F-unit	I-unit
0D	M-unit	F-unit	I-unit
0E	M-unit	M-unit	F-unit
0F	M-unit	M-unit	F-unit
10	M-unit	I-unit	B-unit
11	M-unit	I-unit	B-unit
12	M-unit	B-unit	B-unit

Template	Slot 0	Slot 1	Slot 2
13	M-unit	B-unit	B-unit
14			
15			
16	B-unit	B-unit	B-unit
17	B-unit	B-unit	B-unit
18	M-unit	M-unit	B-unit
19	M-unit	M-unit	B-unit
1A			
1B			
1C	M-unit	F-unit	B-unit
1D	M-unit	F-unit	B-unit
1E			
1F			

a. The MLX template was formerly called MLI, and for compatibility, the X slot may encode break.i and nop.i in addition to any X-unit instruction.

Ограничители. Указывает на наличие ресурсной зависимости между предыдущими и последующими инструкциями