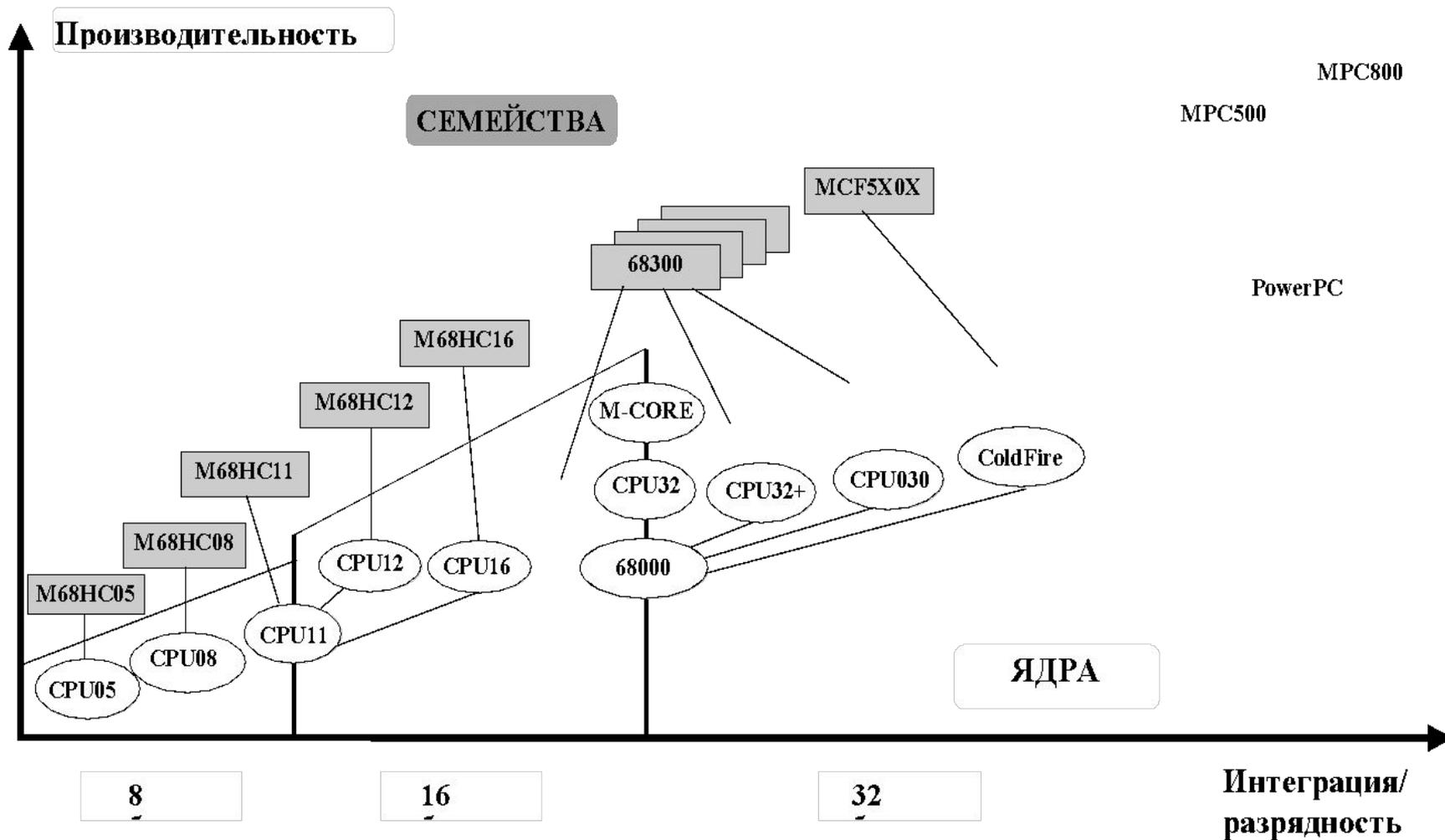




Развитие семейств микроконтроллеров



Microcontrollers CISC & RISC

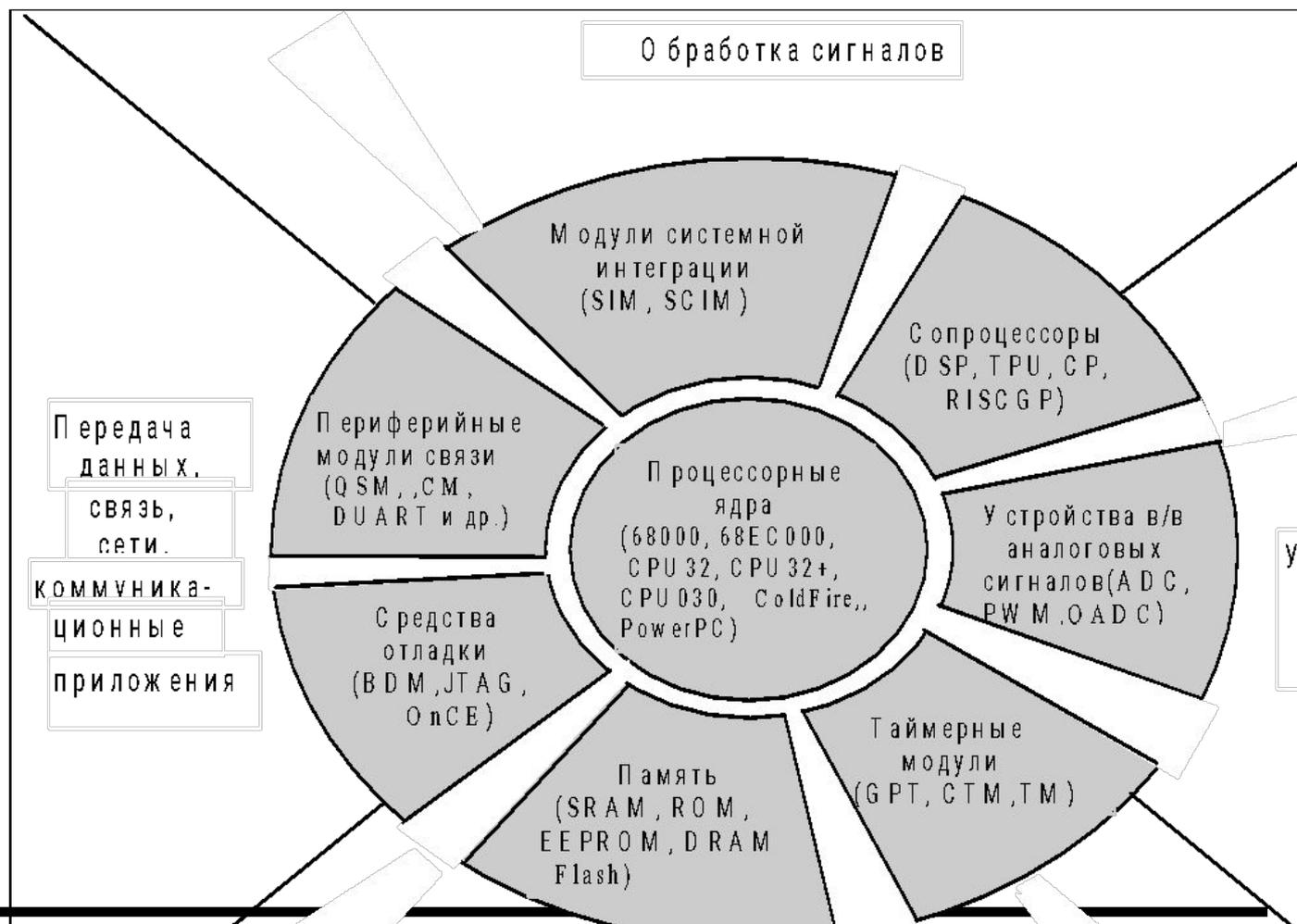


Области использования микроконтроллеров

Значение критерия	Характеристика задач	Разрядность МК/ Производительность
мало данных - мало вычислений	задачи логического управлений несложными объектами и процессами	8/низкая
мало данных - много вычислений	локальные регуляторы, системы управления электрическими двигателями, подвижными аппаратами, различными электрическими агрегатами, роботами-манипуляторами, станками и т.д.	16/средняя
много данных - мало вычислений	многие сетевые задачи, системы управления потоками данных, коммутаторы, концентраторы, маршрутизаторы и т.п.	32/высокая
много данных - много вычислений	задачи управления реального времени, обработка сигналов с интенсивным обменом, системы распознавания речи, изображений и т.п.	32/сверхвысокая



Обобщенная модель микроконтроллера





Процессорные ядра

CPU12

Быстродействующее 16-разрядное процессорное устройство. Стандартное адресное пространство - 64 Кбайт (при расширении: память программ - до 4Мбайт; память данных до 1Мбайта. Программная модель полностью совпадает с программной моделью M68HC11. Введены команды для поддержки операций нечеткой логики.

CPU16

16-разрядное процессорное устройство, совместимое с HC11. Адресное пространство - до 1 Мб. Развитая система приоритетных прерываний. Возможности DSP. Команды LPSTOP - останов с малым потреблением.

68000

Все типы процессорных ядер совместимы с семейством 68К. Два уровня привелегий: уровень пользователя и уровень супервизора..

CPU32

16-разрядная шина данных, 24-разрядная шина адреса. 32-разрядная внутренняя архитектура ядра. Расширенная система команд. Режим циклического выполнения команды.

CPU32+

Полностью 32-разрядная архитектура. Высокая производительность- 8,3 MIPS на частоте 25Мгц. Команды LPSTOP и TBL- интерполирования. Встроенный отладчик BDM.

CPU030

Объединяет CPU32+ , конфигурируемый кэш инструкций, счетверенный модуль памяти данных.

ColdFire

Программная модель идентична программной модели CPU32. Выполнен по RISC-технологии. Эффективное управление энергопотреблением за счет снижения частоты. Сторожевой таймер с сохранением причины последнего сброса.. Поддержка отладки в реальном масштабе времени (JTAG).

PowerPC

Архитектура Power (Performance Optimisation With Enhanced RISC), была переопределена фирмой Моторола для однокристалльных решений. В семействе MPC500 есть FPU, совместимый со стандартом IEEE 754, в MPC800 отсутствует.



CP

Основными блоками CP являются:

- основной контроллер (RISC - Controller);
- последовательные каналы ПДП (Serial DMA - SDMA);
- контроллеры последовательной связи (Serial Communication Controllers - SCC);
- последовательные связные каналы (порты) (Serial Communication Ports -SCP);
- последовательные управляющие контроллеры (Serial Menagement Controllers - SMC);
- последовательные каналы физического интерфейса (Serial Channels Physical Interface -SCPI).

DSP

Основные характеристики:

- производительность 30 MIPS на частоте 60 МГц на 5V или 22,5 MIPS на частоте 45 МГц на 3,3V;
- параллельный 24х24 битный перемножитель - аккумулятор с одновременным выполнением инструкций;
- полностью статическая внутренняя логика с рабочей частотой до 0 Гц;
- системная магистраль DSP56000 с 24-разрядной шиной данных и 16-разрядной шиной адреса;
- память: программное ОЗУ 5,25Кх24 бит; ПЗУ начальной загрузки 64х24 бит; ОЗУ X данных 3Кх24 бит; ОЗУ Y данных 2,5Кх24 бит; ПЗУ специализированных данных (синусоида, мю и А законы);
- 8-битный интерфейс с host-машиной, конфигурируемый для пересылок ПДП или по прерываниям;
- порт последовательного интерфейса;
- последовательный связной интерфейс;
- прямой доступ из DSP в магистраль 68000.

TPU

TPU - полуавтономный сопроцессор, выделяемый для выполнения сложных высокоскоростных задач без прерывания работы CPU. TPU имеет следующие основные признаки:

- шестнадцать каналов, каждый из которых связан с входным/выходным контактом, входным регистром захвата и выходным регистром сравнения с компаратором;
- два свободно запускающихся 16-битовых счетчика с программируемым предделителем(две временные базы);
- планировщик событий, осуществляющий контроль и взаимосвязь каналов, распределение задач;
- ОЗУ микрокоманд, позволяющее загружать программы пользователя дополнительно к стандартными функциям TPU.



Устройства ввода/вывода аналоговых сигналов

ADC

Основные признаки:

- восемь каналов;
- 8- и 10-битовое разрешение;
- программируемые времена выборки и хранения;
- 8-битовое преобразование за 8 мкс; 10-битовое - за 9 мкс.

QADC

QADC имеет следующие дополнительные признаки по отношению к ADC:

- две независимые очереди;
- 16 аналоговых входных каналов или до 44, когда осуществляется внешнее мультиплексирование;
- дополнительное опорное напряжение и программируемые времена выборки и хранения;
- преобразование очередей может быть установлено для непрерывного режима или они могут работать с под управлением программного обеспечения, периодического интервального таймера QADC или с помощью внешнего триггера.

PWM

Широтно-импульсный модулятор предназначен для формирования и выдачи импульсной последовательности с постоянным периодом следования и изменяемой скважностью. Позволяет при подключении RC-цепи реализовать цифроаналоговое преобразование



Т

Таймерный модуль содержит:

- таймер- счетчик общего назначения;
 - логику управления прерываниями;
 - интерфейс с IMB;
-

GTM

Таймер общего назначения содержит:

- 11-канальный таймер;
 - 9-ти уровневый предделитель;
 - 16-битовый счетчик захвата/сравнения;
 - 16-битовый счетчик для двухканального блока ШИМ;
 - 8-разрядный счетчик импульсов;
 - Входной контакт внешнего тактового сигнала
-

CTM

Конфигурируемый таймерный модуль содержит:

- Подмодули счетчика: программируемый предделитель; 16-битовый счетчик; 6-битовый модульный счетчик.
 - Подмодули выполнения действий: программируемый ввод/вывод; каналы захвата/сравнения с режимом ШИМ; каналы ШИМ.
 - Часы реального времени и ОЗУ данных, внешний источник тактового сигнала
Возможность прерываний по всем каналам захвата/сравнения/ ШИМ
и по условию переполнения счетчика
-



QSM

- Последовательный периферийный интерфейс (SPI)
 - Последовательный коммуникационный интерфейс (SCI)
 - Четыре сигнала выборки кристалла для периферии
 - 8-битовый порт ввода/вывода
-

MCCI

- Последовательный периферийный интерфейс (SPI)
 - Два последовательных коммуникационных интерфейса (SCI)
 - Поддержка режимов ведущего и ведомого
-

DUART

- Прямая поддержка сигналов RTS и CTS
 - Двойные каналы RS-232
 - Двойное буферирование при передаче, четырехкратное при приеме
 - Независимо программируемые TxD и RxD
-

TouCAN

- Полная реализация протокола CAN версии 2.0A/B
- 16 буферов приема/передачи с длиной данных до 8 байтов
- Программируемая обратная петля для самотестирования
- Три программируемых регистра маски
- Глобальное сетевое время
- Режим пониженного энергопотребления



Модули системной интеграции

SIM

SIM обеспечивает интерфейс внешней шины и защиту от системных ошибок и включает:

- двенадцать программируемых выборок кристалла с программируемыми состояниями ожидания;
- внешнюю шину, поддерживающую динамическое изменение разрядности шины данных;
- сторожевой таймер Watchdog;
- семь внешних контактов IRQ;
- синтезатор тактовой частоты с ФАПЧ;
- таймер периодических прерываний (PIT).

SCIM

SCIM поддерживает операции в однокристалльном режиме (выполнение программы из встроенного ПЗУ/ОЗУ и в расширенном режиме (работа из внешней памяти). Основные признаки:

- три режима работы: полностью расширенный (возможности SIM или однокристалльная эмуляция с девятью сигналами выборки кристалла); 8-битовая шина данных с портом H в качестве порта ввода/вывода; однокристалльный: порты A, B, E, F, G и H в качестве портов ввода/вывода, порт C в качестве порта вывода;
- системы Watchdog.

Расширенная версия SCIM2 включает улучшенный контроллер сброса (перезапуска) и более гибкий выбор источника тактового сигнала.

SLIM

Модуль с небольшим количеством выводов: минимум - 31 вывод; поддерживает полное тестирование; система синхронизации или внешний тактовый сигнал: работает от 32КГц, до 2-8МГц на кристалле или 20МГц от внешнего источника. Основные признаки:

- 16 адресных выводов: иногда поддерживает до 24, если эти выводы доступны;
- несколько режимов работы: однокристалльный - порты A, B, E, F, G и H в качестве портов ввода/вывода; режим ведущего - не мультиплексированная или мультиплексированная 8- или 16-разрядная шина данных; периферийный режим - не мультиплексированная или 16-разрядная шина данных;
- система программного Watchdog;
- часы реального времени.



Встроенными средствами отладки и тестирования обеспечиваются:

- поддержка внутрисхемной эмуляции (OnCE);
- фоновый режим отладки (background Debug mode, BDM);
- тестовый интерфейс JTAG.

OnCE

Режим эмуляции микроконтроллера позволяет производить тестирование и отладку разрабатываемой системы без удаления кристалла. Перевод МК в режим OnCE позволяет с помощью эмулятора или образцового контроллера управлять ресурсами платы.

BDM

BDM представляет собой нижний уровень системного отладчика в аппаратуре микропроцессора.

Связь с системой разработки устанавливается по высокоскоростному последовательному трехпроводному интерфейсу. Процессор в режиме BDM выполняет специальные команды из инструментальной ЭВМ. Данный режим поддерживает программа BD32

JTAG

JTAG поддерживает тестирование платы на основе стандарта IEEE 1149.1 Обеспечивает доступ к всем данным и контактам с помощью 4-х контактного тестового порта (TAP).

Статическая логика теста полностью независима от логики системы.

JTAG позволяет:

- проверить электрические цепи схемы;
- обойти устройство, уменьшая путь регистра сдвига к одиночной ячейке;
- произвести выборку системных контактов.;
- установить на выходных контактах фиксированные логические значения;



Модули памяти

Flash EEPROM

Модуль энергонезависимой памяти. Имеет объем до 64 Кбайт. В некоторых моделях МК имеется два модуля flash-памяти. Функционирование FLASH EEPROM характеризуется среди прочих следующими признаками: поддержка операций с байтами, словами, двойными словами; быстрая скорость выполнения доступа (2 такта); 2Кбайтные модули Flash EEPROM программируются с внешних входов по 12V и имеют восемь независимо стираемых блоков переменного размера.

SRAM

Модуль статического ОЗУ (RAM) имеет режим сохранения данных (Standby Mode) с отдельным выводом питания и малым потреблением. Данный режим важен для портативных приложений во время падения питания МК. Поддерживает операции с байтами, словами, двойными словами. SRAM является доступной блоками 1, 1.5, 2, 3.5 и 4Кбайта и обеспечивает быструю скорость выполнения доступа (2 такта). Статическая RAM может работать при 3V.

MRM

Модуль маскируемого ПЗУ. Модуль маскируемого ПЗУ (masked ROM module) содержит три управляющих регистра: регистр конфигурации, базового адреса ПЗУ и регистр ключа пользователя, программируемого маской, а также 8 Кбайт масочного ПЗУ для хранения программ или программ и данных.

TPU RAM

Модуль ОЗУ для эмуляции функций TPU. Когда TPU входит в режим эмуляции, модуль RAM выделяется под TPU и заменяет ROM TPU. Различные функции TPU могут быть загружены в TPU RAM для выполнения в TPU. Большинство МК, имеющих непосредственный доступ к TPU, имеют 2 Кбайта TPU RAM, что позволяет выполнить эмуляцию модуля TPU. Может иметь объем до 4Кбайт.

ROM

Модуль ПЗУ. Масочное ПЗУ с объемом до 96 Кбайт.



Семейство 16-разрядных МК M68HC12

Области применения

Промышленные системы управления, устройства беспроводной связи, автомобильная электроника. Системы управления объектами, не имеющих точной модели.

Структура M68HC12A4



Основные характеристики

Совместимость с промышленным стандартом HC11.
Поддержка операций нечеткой логики. Встроенный отладчик.

Формула семейства

HC12 = CPU12(CPU11,Fuzlog)&SCIM&M(EE,FI,ROM,RAM)&ADC&T&SPI&SCIv
CPU12(CPU11,Fuzlog)&SCIM&M(EE,FI,ROM,RAM)&ADC&T&SPI&SCI&PWM&BDLC



Факторы успеха семейства M68HC12

- Основан на промышленном стандарте M68HC11
- Огромный задел по программному обеспечению
- Использование отработанной и эффективной однокристалльной периферии других семейств
- Встроенный отладчик
Поддержка операций нечеткой логики
- Является основой традиционных и интеллектуальных систем управления



Семейство 16-разрядных МК M68HC16

Области применения

Промышленные системы управления, устройства связи, автомобильная электроника, офисная техника, медицинское оборудование, робототехника

Структура M68HC16Z2



Основные характеристики

Совместимость с HC11. Встроенный отладчик.
Поддержка операций цифровой обработки сигналов

Формула семейства

HC16 = CPU16(CPU11,DSP)&SCIM&M(ROM, EE, FI, MRM,RAM)&((T &GPT)vT)&((ADC&MCCI)vADC)&BDM16&(SPI&SCIvQSPI&SCI&QSM)vCPU16(CPU11,DSP)&SCIM&M(ROM, EE, FI, MRM,RAM)&((T &GPT)vT)&((ADC&MCCI)vADC)&BDM16



Семейство МК М68НС16

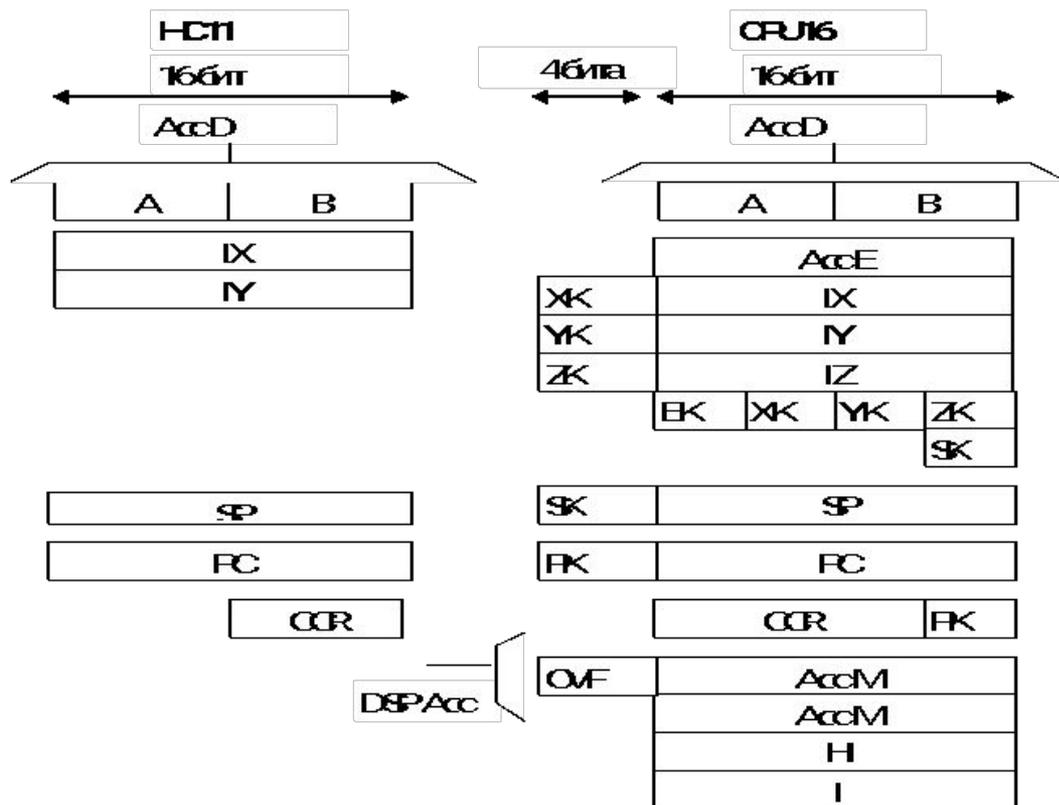
Характеристики 16-разрядных МК семейства М68НС16

	6ВНС916Х1	6ВНС16У1	6ВНС916У1	6ВНС16Z1	6ВНС16Z2	6ВНС16Z3	6ВНС16S2	6ВНС16V1
ROM или EPROM	0	4ВК	0	0	ВК	ВК	0	512 Boot ROM
RAM	2К	2К	4ВК	1К	2К	4К	2К	0
EEPROM или FLASH	50К	0	4К	0	0	0	0	0
Таймер	3 или 4 IC, или 5 DC 2 PWM PIT, WDOG	16-канальный TPU, 3 или 4 IC, или 5 DC 2 PWM PIT, WDOG	16-канальный TPU, 3 или 4 IC, или 5 DC 2 PWM PIT, WDOG	3 или 4 IC, или 5 DC 2 PWM PIT, WDOG	3 или 4 IC, или 5 DC 2 PWM PIT, WDOG	3 или 4 IC, или 5 DC 2 PWM PIT, WDOG	PIT, WDOG	3 или 4 IC, или 5 DC 2 PWM PIT, WDOG
Последователь- ный порт	SPI, 2 SCI	SPI, 2 SCI	SPI, 2 SCI	QSPI, SCI	QSPI, SCI	QSPI, SCI	Нет	QSPI, 2SCI
АЦП	В/10 Bit	В/10 Bit	В/10 Bit	В/10 Bit	В/10 Bit	В/10 Bit	Нет	Нет
I/O	95	95	95	46	46	46	23	62
Тактовая частота	0 - 16.7В МНz	0-16.7В МНz	0-16.7В МНz	0-20.97МНz 0-25.17МНz	0-20.97МНz 0-25.17МНz	0-16.7В МНz 0- 20.97МНz	0-20.97МНz	0-20.97МНz
Температур- ный диапазон *	С, V, M	С, V, M	С, V, M	С, V, M С, V, M	С, V, M С, V, M	С, V, M С, V, M	С, V	С
Рабочее напряжение	4.5 - 5.5 V	4.5 - 5.5 V	4.5 - 5.5 V	4.5 - 5.5 V 4.5 - 5.5 V	4.5 - 5.5 V 4.5 - 5.5 V	4.5 - 5.5 V 4.5 - 5.5 V	4.5 - 5.5 V	4.5 - 5.5 V
Модули	CPU16, SCIM, MCCI, GPT, ADC, SRAM, FLASH	CPU16, SCIM, MCCI, TPU, GPT, ADC, TPURAM,	CPU16, SCIM, MCCI, TPU, GPT, ADC, STBRAM, TPURAM	CPU16, SCIM, QSM, GPT, ADC, SRAM	CPU16, SCIM, QSM, GPT, ADC, SRAM, MRM	CPU16, SCIM, QSM, GPT, ADC, SRAM, MRM	CPU16	CPU16, QSM, GPT

* Температурный диапазон: С = (-40 С до 85С), V = (-40 С до 105 С), M = (-40 С до 125 С)



Программная модель CPU16 и HC11



Особенности CPU16

- регистр CCR
- биты CV, Z, N, HS совпадают с HC11
- биты I, X, Z, M, Y, H, Q, P, J, Z
- поле FK (биты S, M, E, V, M, M)
- поддерживает MAC-операции
- Крестовый (XK, YK, ZK, для IX, Y, Z, EK, для PC, SK, для SP, EK, для любого аккумулятора A, B, D, E) при чтении или записи в память
- MAC-операция
- операция адресная регистры IX, Y и аккумуляторы E, H, I, J, K, L, M, N, O, P, Q, R, S, T, U, V, W, X, Y, Z, AA, AB, AC, AD, AE, AF, AG, AH, AI, AJ, AK, AL, AM, AN, AO, AP, AQ, AR, AS, AT, AU, AV, AW, AX, AY, AZ, BA, BB, BC, BD, BE, BF, BG, BH, BI, BJ, BK, BL, BM, BN, BO, BP, BQ, BR, BS, BT, BU, BV, BW, BX, BY, BZ, CA, CB, CC, CD, CE, CF, CG, CH, CI, CJ, CK, CL, CM, CN, CO, CP, CQ, CR, CS, CT, CU, CV, CW, CX, CY, CZ, DA, DB, DC, DD, DE, DF, DG, DH, DI, DJ, DK, DL, DM, DN, DO, DP, DQ, DR, DS, DT, DU, DV, DW, DX, DY, DZ, EA, EB, EC, ED, EE, EF, EG, EH, EI, EJ, EK, EL, EM, EN, EO, EP, EQ, ER, ES, ET, EU, EV, EW, EX, EY, EZ, FA, FB, FC, FD, FE, FF, FG, FH, FI, FJ, FK, FL, FM, FN, FO, FP, FQ, FR, FS, FT, FU, FV, FW, FX, FY, FZ, GA, GB, GC, GD, GE, GF, GG, GH, GI, GJ, GK, GL, GM, GN, GO, GP, GQ, GR, GS, GT, GU, GV, GW, GX, GY, GZ, HA, HB, HC, HD, HE, HF, HG, HH, HI, HJ, HK, HL, HM, HN, HO, HP, HQ, HR, HS, HT, HU, HV, HW, HX, HY, HZ, IA, IB, IC, ID, IE, IF, IG, IH, II, IJ, IK, IL, IM, IN, IO, IP, IQ, IR, IS, IT, IU, IV, IW, IX, IY, IZ, JA, JB, JC, JD, JE, JF, JG, JH, JI, JJ, JK, JL, JM, JN, JO, JP, JQ, JR, JS, JT, JU, JV, JW, JX, JY, JZ, KA, KB, KC, KD, KE, KF, KG, KH, KI, KJ, KK, KL, KM, KN, KO, KP, KQ, KR, KS, KT, KU, KV, KW, KX, KY, KZ, LA, LB, LC, LD, LE, LF, LG, LH, LI, LJ, LK, LL, LM, LN, LO, LP, LQ, LR, LS, LT, LU, LV, LW, LX, LY, LZ, MA, MB, MC, MD, ME, MF, MG, MH, MI, MJ, MK, ML, MN, MO, MP, MQ, MR, MS, MT, MU, MV, MW, MX, MY, MZ, NA, NB, NC, ND, NE, NF, NG, NH, NI, NJ, NK, NL, NM, NN, NO, NP, NQ, NR, NS, NT, NU, NV, NW, NX, NY, NZ, OA, OB, OC, OD, OE, OF, OG, OH, OI, OJ, OK, OL, OM, ON, OO, OP, OQ, OR, OS, OT, OU, OV, OW, OX, OY, OZ, PA, PB, PC, PD, PE, PF, PG, PH, PI, PJ, PK, PL, PM, PN, PO, PP, PQ, PR, PS, PT, PU, PV, PW, PX, PY, PZ, QA, QB, QC, QD, QE, QF, QG, QH, QI, QJ, QK, QL, QM, QN, QO, QP, QQ, QR, QS, QT, QU, QV, QW, QX, QY, QZ, RA, RB, RC, RD, RE, RF, RG, RH, RI, RJ, RK, RL, RM, RN, RO, RP, RQ, RR, RS, RT, RU, RV, RW, RX, RY, RZ, SA, SB, SC, SD, SE, SF, SG, SH, SI, SJ, SK, SL, SM, SN, SO, SP, SQ, SR, SS, ST, SU, SV, SW, SX, SY, SZ, TA, TB, TC, TD, TE, TF, TG, TH, TI, TJ, TK, TL, TM, TN, TO, TP, TQ, TR, TS, TT, TU, TV, TW, TX, TY, TZ, UA, UB, UC, UD, UE, UF, UG, UH, UI, UJ, UK, UL, UM, UN, UO, UP, UQ, UR, US, UT, UY, UZ, VA, VB, VC, VD, VE, VF, VG, VH, VI, VJ, VK, VL, VM, VN, VO, VP, VQ, VR, VS, VT, VU, VV, VW, VX, VY, VZ, WA, WB, WC, WD, WE, WF, WG, WH, WI, WJ, WK, WL, WM, WN, WO, WP, WQ, WR, WS, WT, WU, WV, WW, WX, WY, WZ, XA, XB, XC, XD, XE, XF, XG, XH, XI, XJ, XK, XL, XM, XN, XO, XP, XQ, XR, XS, XT, XU, XV, XW, XX, XY, XZ, YA, YB, YC, YD, YE, YF, YG, YH, YI, YJ, YK, YL, YM, YN, YO, YP, YQ, YR, YS, YT, YU, YV, YW, YX, YY, YZ, ZA, ZB, ZC, ZD, ZE, ZF, ZG, ZH, ZI, ZJ, ZK, ZL, ZM, ZN, ZO, ZP, ZQ, ZR, ZS, ZT, ZU, ZV, ZW, ZX, ZY, ZZ



Сравнительная характеристика 8- и 16-разрядных МК

Параметр	M68-C11	CFU12	CFU16
Разрядность АЛУ	8	16	16
Разрядность шин данных	8	16	16
Адресное пространство	до 256 Кбайт	4 Мбайт для программ 1 Мбайт для данных	1 Мбайт для программ 1 Мбайт для данных
Режим адресации	6	15	9
Программная модель	базовая	M68-C11	расширение M68-C11
Встроенный отладчик	нет	BDM2	BDM6
Специальные возможности	промышленный стандарт в классе 8-разрядных МК	поддержка операций на уровне программы	поддержка операций ЦС с целью экономии аккумулятора



Семейство 32-разрядных МК 68300

Области применения

Промышленные системы управления, устройства связи, коммуникационное и сетевое оборудование, автомобильная электроника, офисная техника, медицинское оборудование, робототехника

Формулы подсемейств

Интегрированные процессоры: $IP = CORE(68000, CPU32, CPU030) \& SIM \& (SIM40 \vee SIM41 \vee SIM49) \& (DUART \vee TV \vee QSPI)$

Управляющие контроллеры: $CONMCU = CORE(CPU32) \& (SIM \vee SCIM) \& (GPT \vee TPU \vee ADC \vee QSM \vee M(SRAM, EE, FL, RAMTPU))$

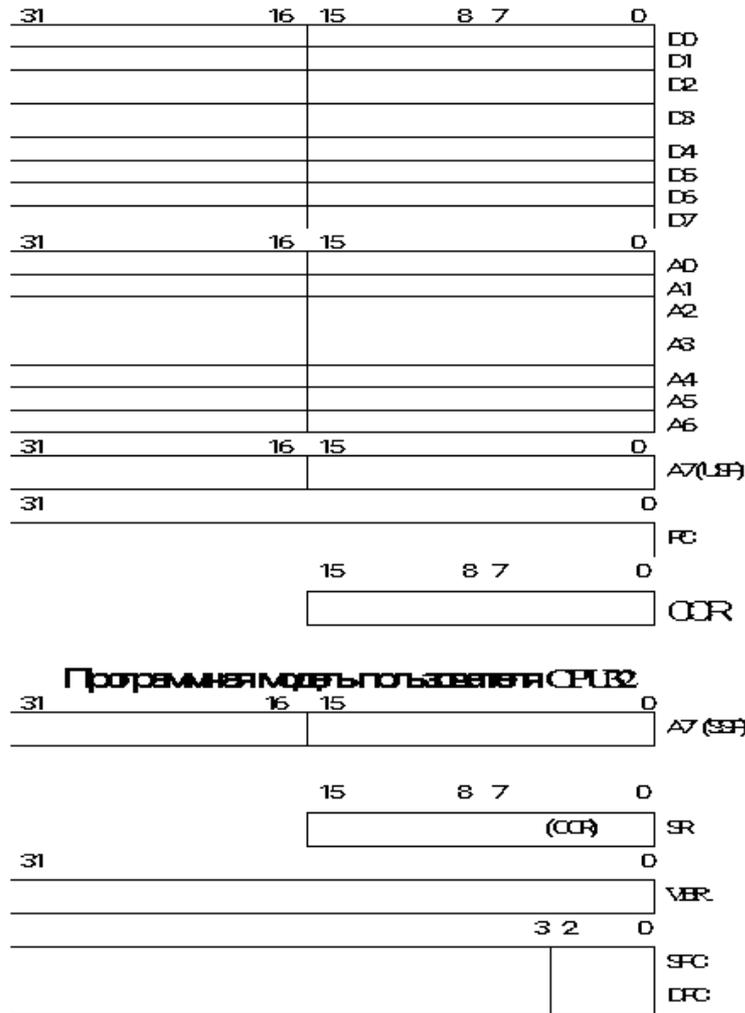
Коммуникационные контроллеры: $COMMCU = CORE(68000, CPU32+) \& (SIM \vee SIM60) \& ((CP \& DSP) \vee CP) \& BDM$

Основные характеристики

Совместимость с M68000. Встроенный отладчик.
Встроенные сопроцессоры



Программная модель CPU32



Программная модель супервизора CPU32

Регистры
данных

Адресные
регистры

Указатель стека
пользователя
Программный счетчик

Регистры
условий

Указатель стека
супервизора

Регистр статуса

Регистры векторной базы

Регистры состояния для ЕС

Регистры привилегий для ЕС

Особенности CPU32:

- 32-разрядная архитектура
- 16-разрядная шина данных
- 24-разрядная шина адреса
- динамическая настройка шины
- развитые способы адресации
- команда перехода в пониженный режим энергопотребления
- команды интерполяции
- циклический режим выполнения
- встроенный отладчик
- статическое исполнение

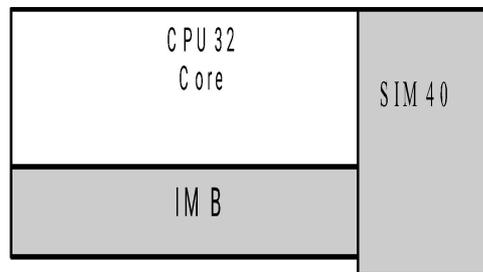


Семейство МК M68300 (Интегрированные процессоры)

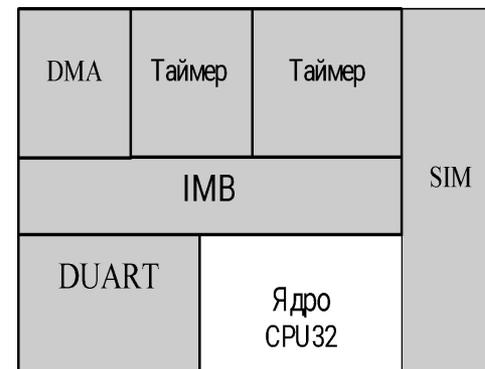
M68306



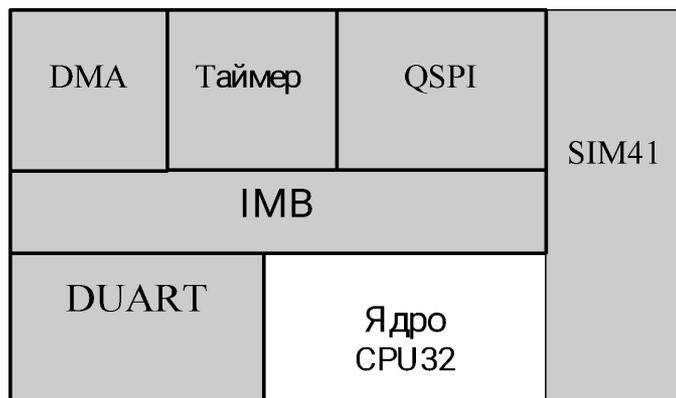
M68330



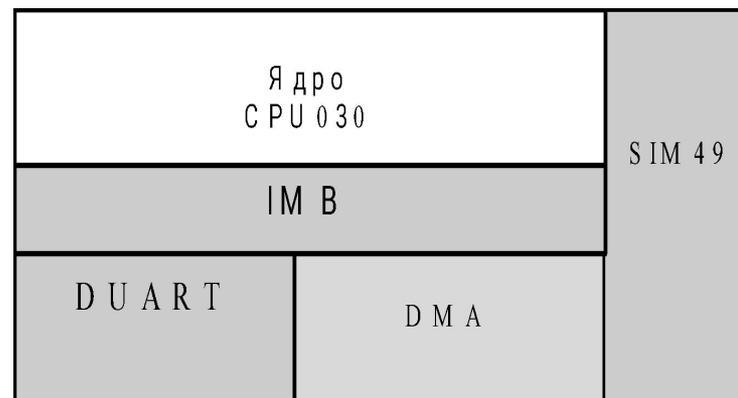
M68340



M68341



M68349

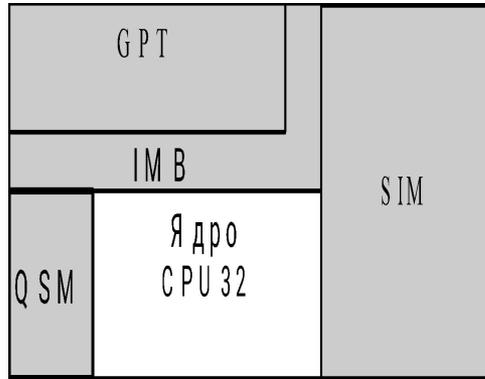




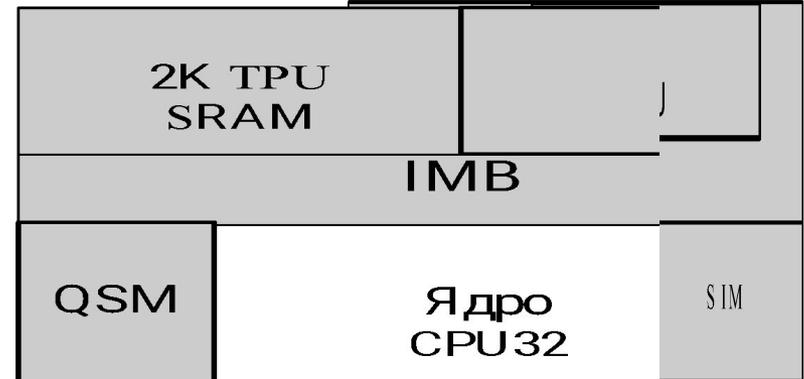
Семейство МК 68300

(контроллеры для промышленного управления)

M68331

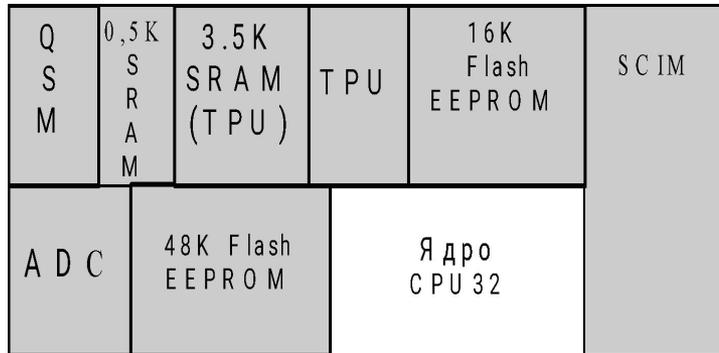


M68332

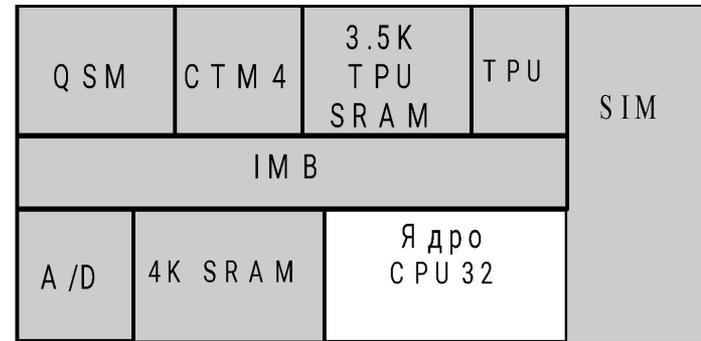


M68334

M68F333

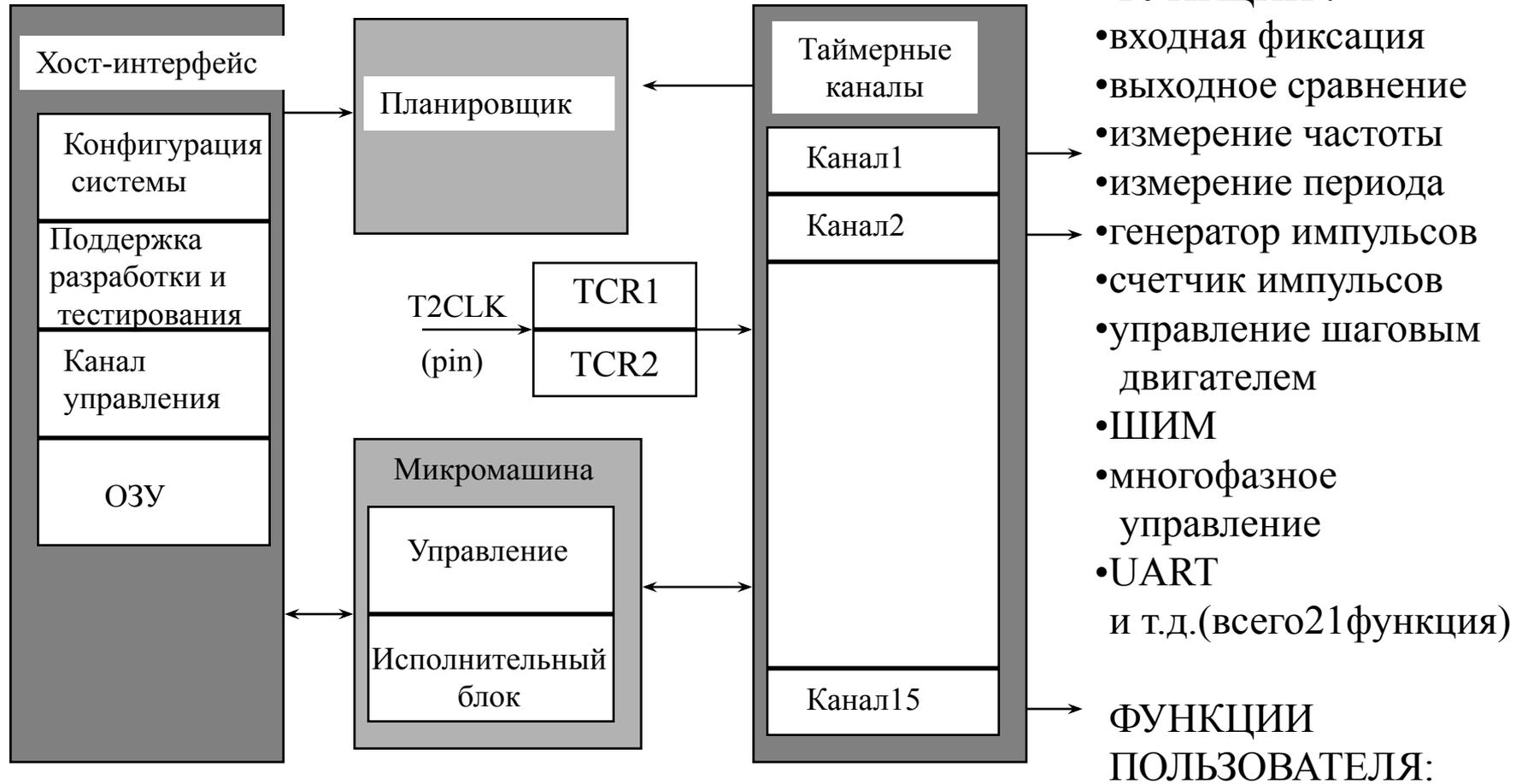


M68336





Семейство МК 68300 (Таймерный процессор - TPU)



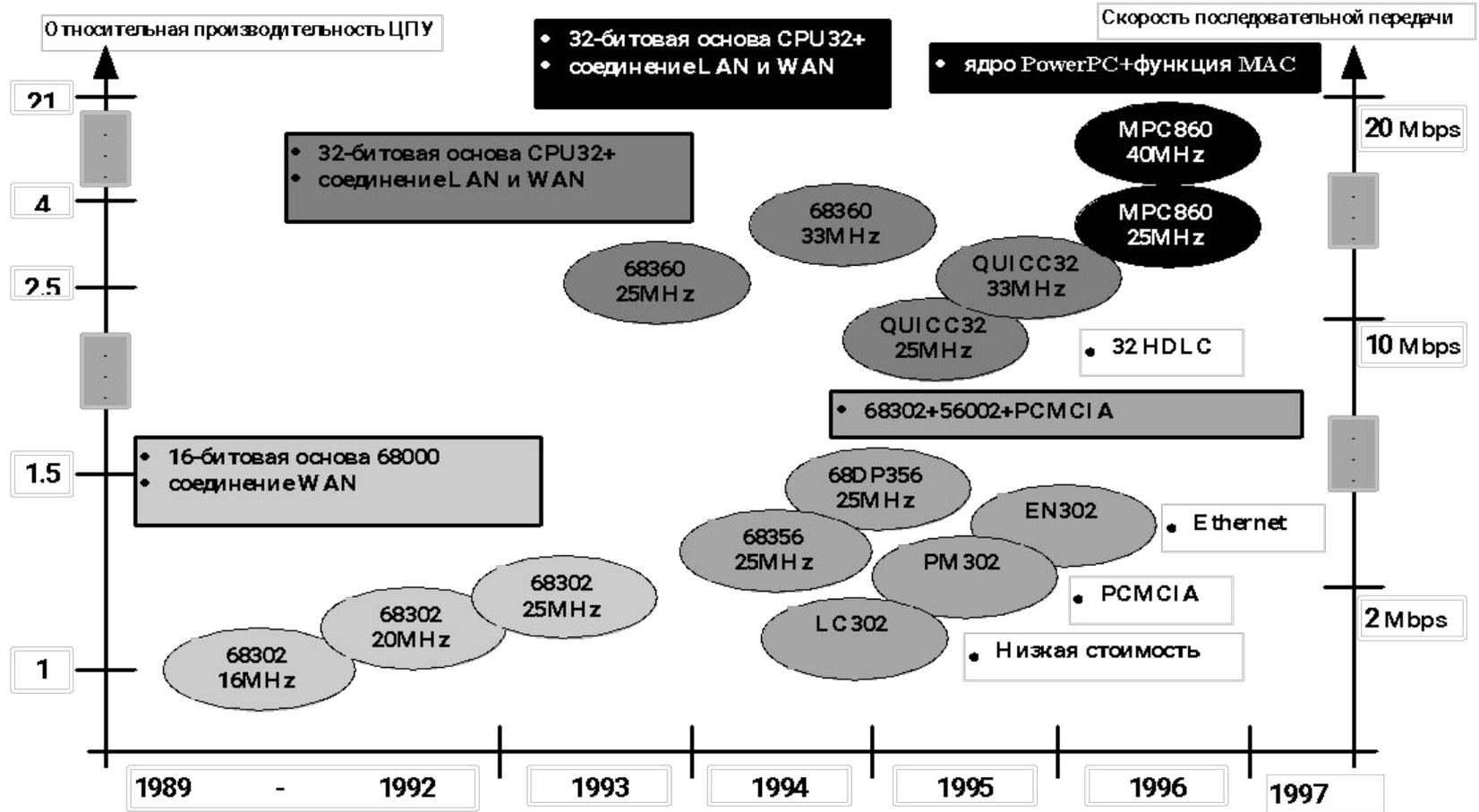
ВСТРОЕННЫЕ ФУНКЦИИ :

- входная фиксация
 - выходное сравнение
 - измерение частоты
 - измерение периода
 - генератор импульсов
 - счетчик импульсов
 - управление шаговым двигателем
 - ШИМ
 - многофазное управление
 - UART
- и т.д. (всего 21 функция)

ФУНКЦИИ ПОЛЬЗОВАТЕЛЯ:

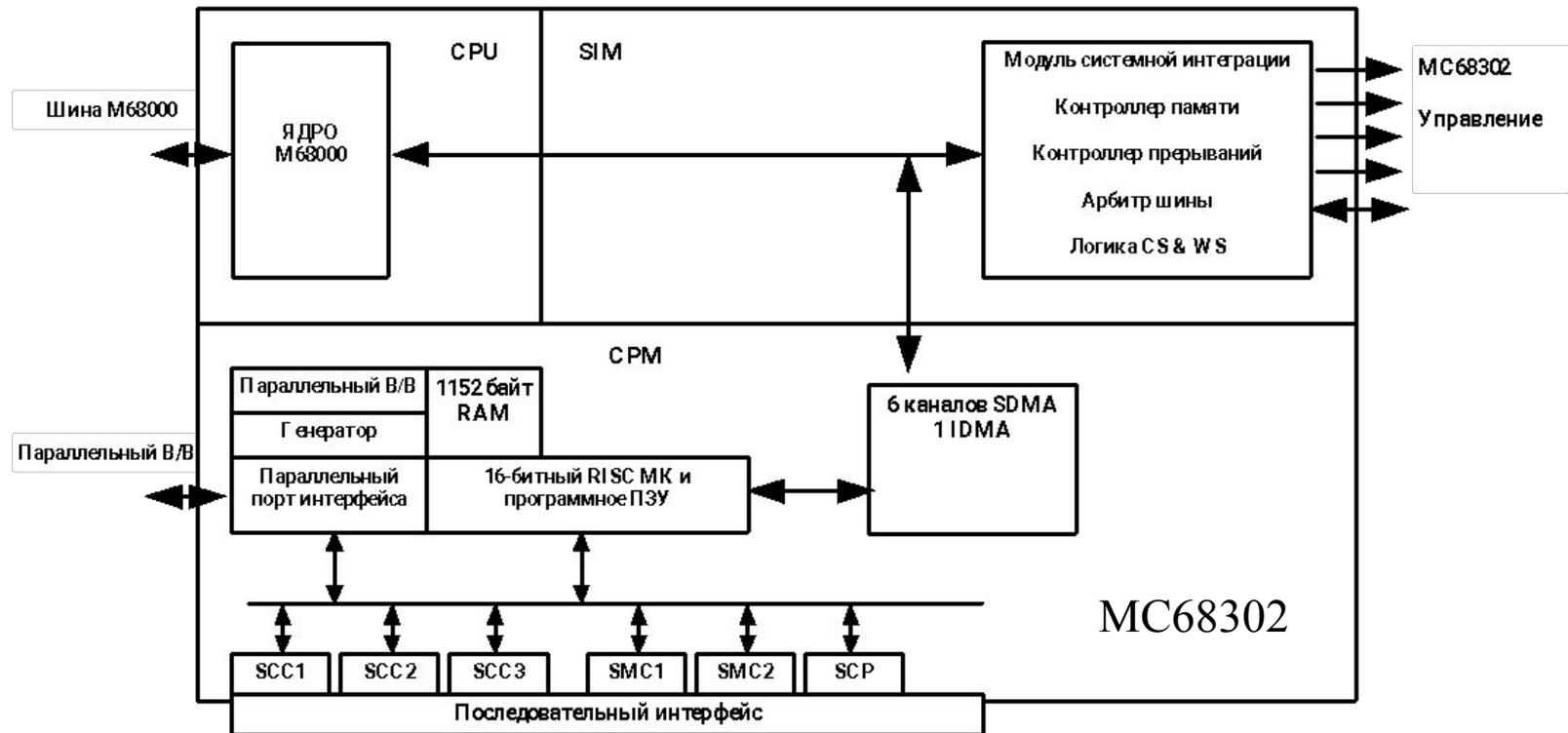


Семейства коммуникационных контроллеров



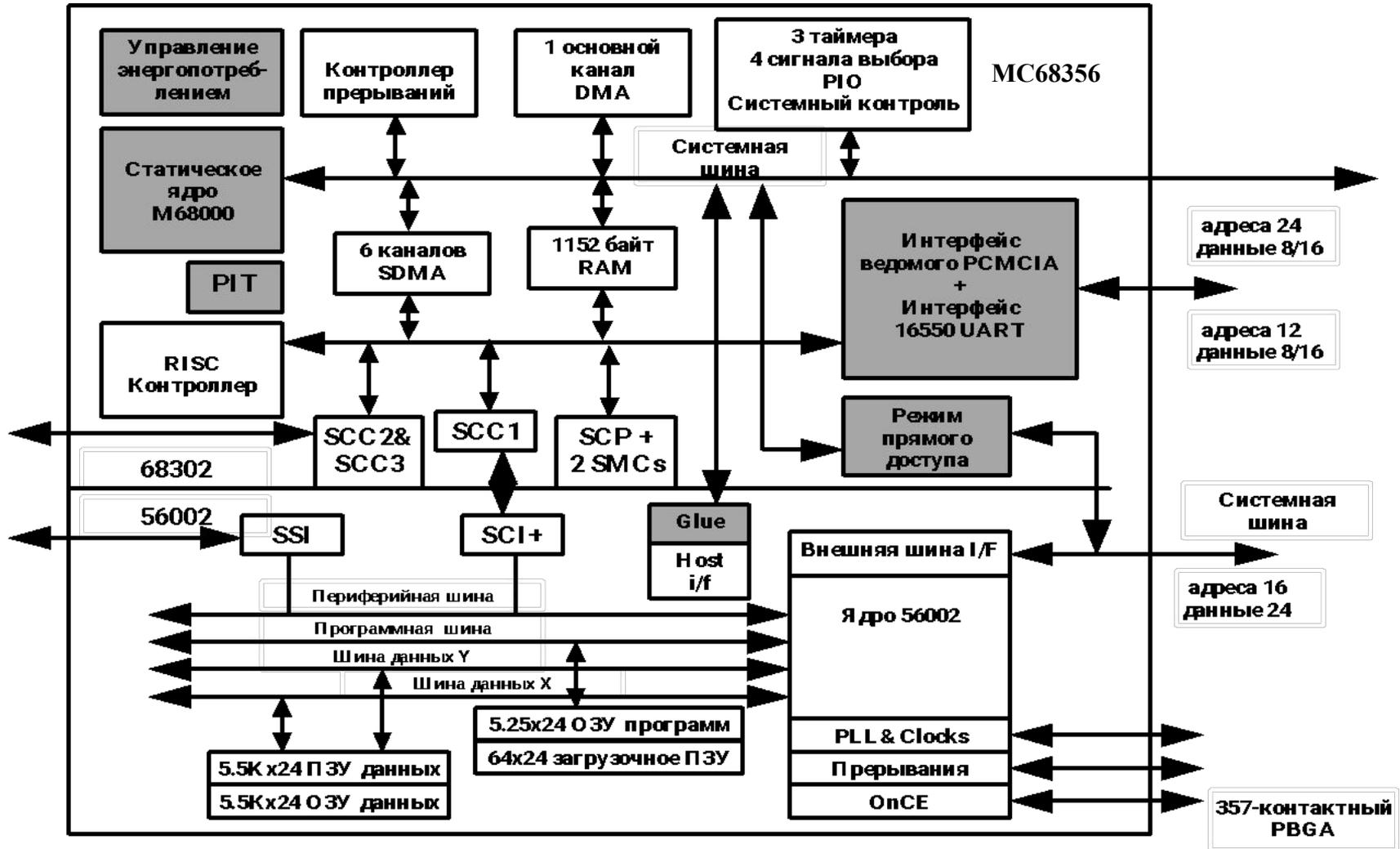


Семейство МК 68300 (КОММУНИКАЦИОННЫЕ КОНТРОЛЛЕРЫ)





Семейство МК 68300 (КОММУНИКАЦИОННЫЕ КОНТРОЛЛЕРЫ)



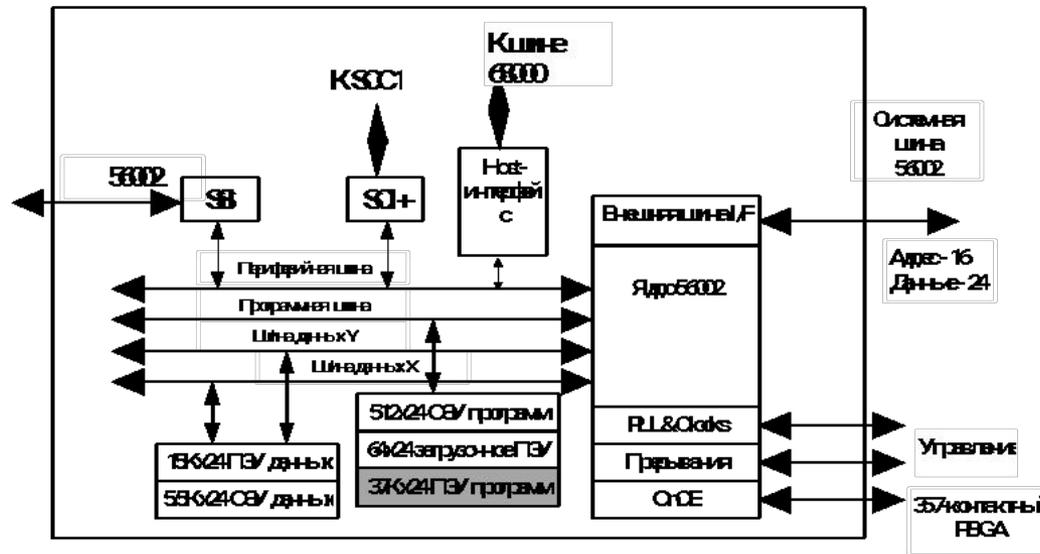


Семейство МК 68300 (сопроцессор ЦОС)

Ядро сопроцессора - DSP56002

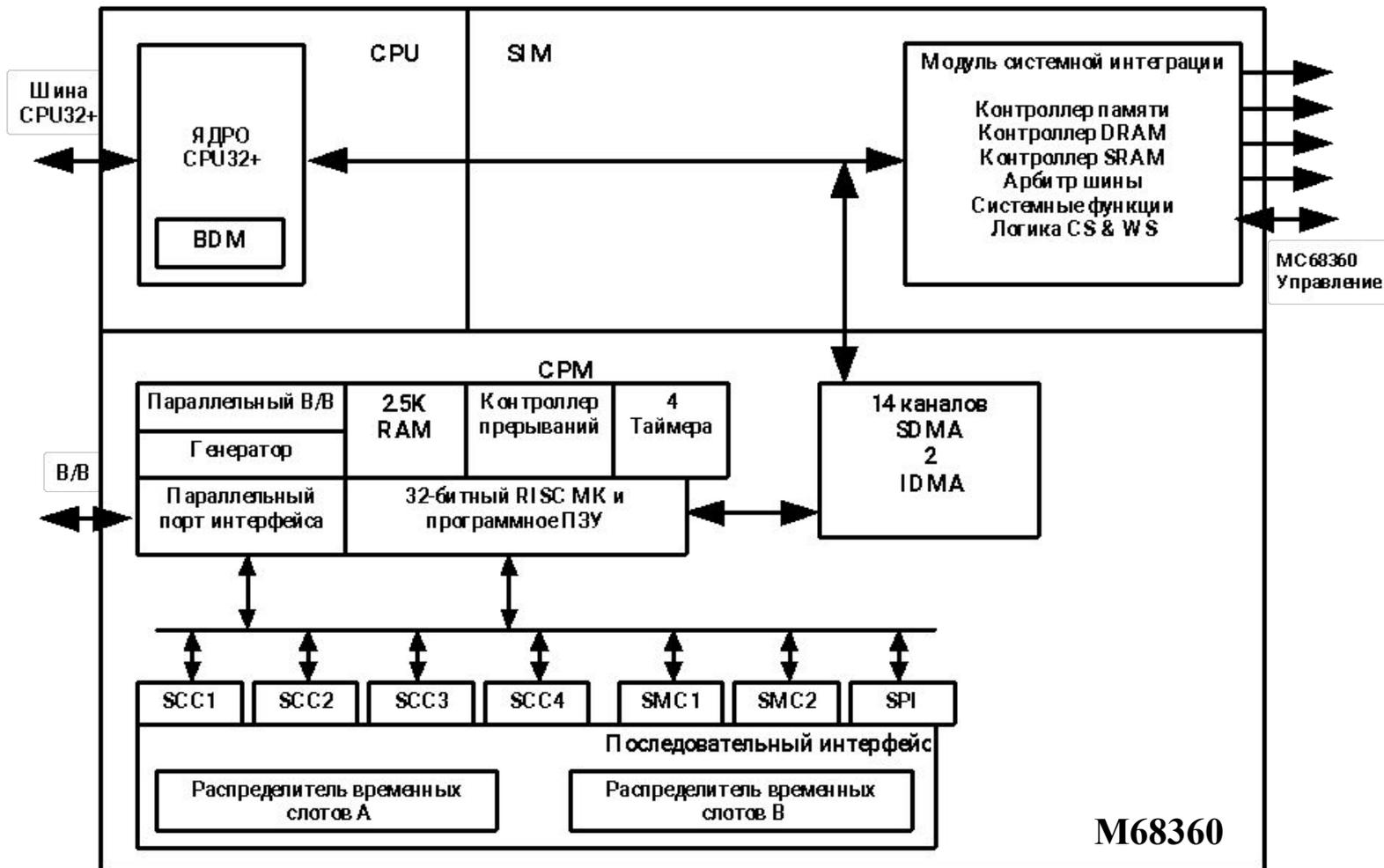
Основные параметры:

- производительность -30MIPS на частоте 60 МГц
- параллельный 24-битный умножитель-аккумулятор
- 24-разрядная шина данных
- 16-разрядная шина адреса
- программное ОЗУ 5.25Кx24
- ПЗУ начальной загрузки 64x24
- ОЗУ X данных 3Кx24
- ОЗУ Y данных 2.5Кx24
- ПЗУ специализированных данных 1.5Кx24
- прямой доступ из DSP в
- магистраль 68000





Семейство МК 68300 (КОММУНИКАЦИОННЫЕ КОНТРОЛЛЕРЫ)





Семейство 32-разрядных процессоров ColdFire

Области применения

Промышленные системы управления, устройства связи, коммуникационное и сетевое оборудование, высокопроизводительные системы при низкой стоимости, портативная техника

Формула семейства

ColdFire=CORE&SI&BDM&JTAG&CI/Dv
CORE&BDM&JTAG&CI/D&((T&UART)v(T&UART&I2C))

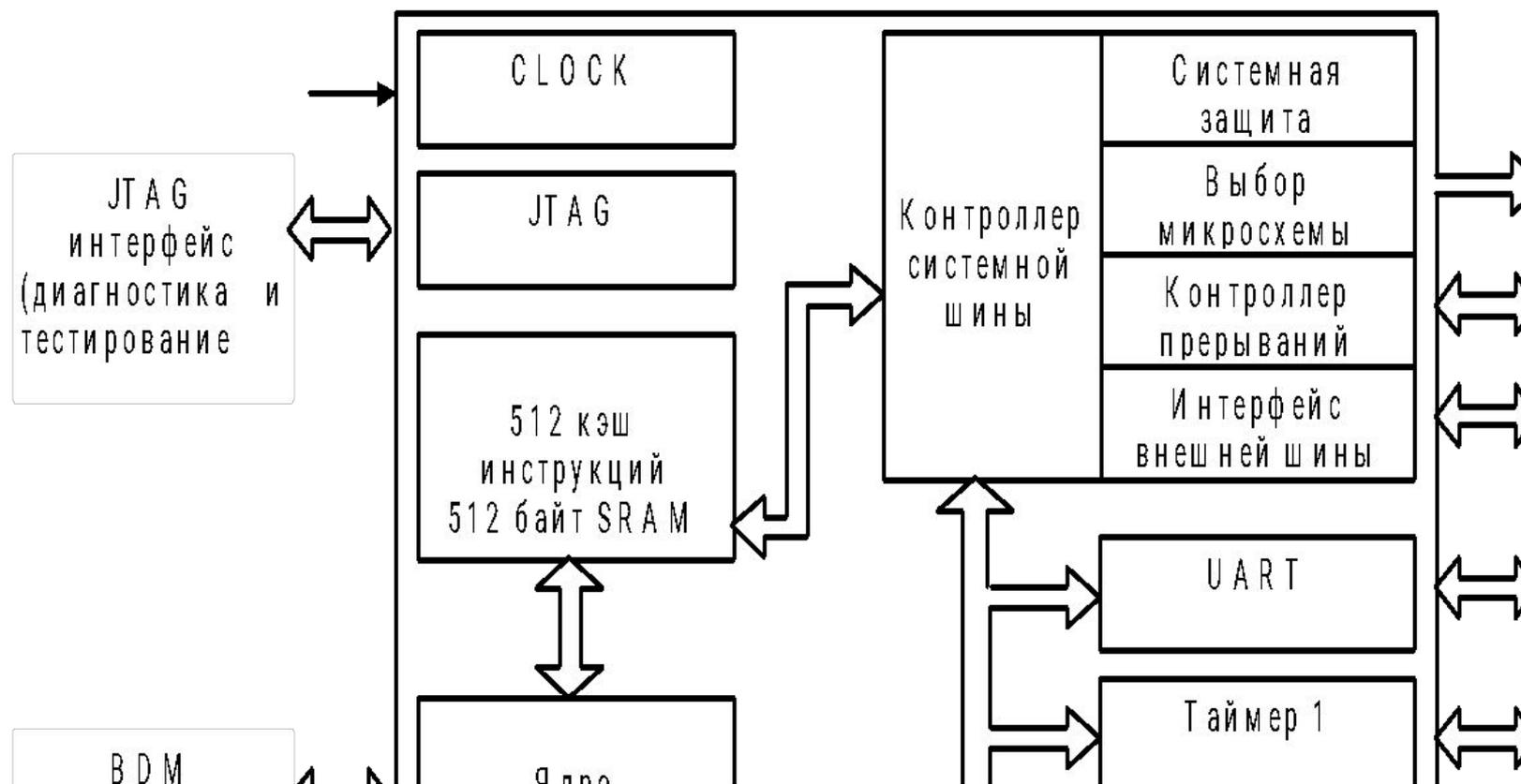
Основные характеристики

Совместимость с M68000. Встроенный отладчик и тестовый интерфейс. RISC-ядро с переменной длиной команд



Семейство процессоров ColdFire

MCF 5204





Характеристики процессоров семейства ColdFire

Процессор ColdFire	f, МГц	U _п , V	P	MIPS на макс частоте	Размер шины	Размер кэша I/D	Память	Модули	Технология/ корпус
MCF5102	16 20 25 33 40	3,3	0,64W	27	32 бита (динам.)	2Кб/1Кб	--	Встроенный отладочный модуль	0,65μ/TLM144 TQFP
MCF5202	16 25 33	5	268mW 348mW	27	32 бита (динам.)	2 Кб Unified	--	Встроенный отладочный модуль	100 pin TQFP
MCF5203	16 25 33	5	0,3W	25	16 бит (динам.)	2 Кб Unified	--	Встроенный отладочный модуль	100 pin TQFP
MCF5204	16 25 33	5	284mW 369mW	13,5	32 бита адрес, 16 бит данные	512 байт/-	512 байт RAM	1 посл. интерфейс, 2 таймера, 6 сигналов выборки, 8 I/O, отладочный модуль	100 pin TQFP
MCF5206	16 25 33	5	325mW 425mW	17	32 бита (динам.)	512 байт/-	512 байт RAM	Контроллер DRAM, 2 UART, 2 таймера, 8 сигналов выборки, 8 I/O, I ² S, отладочный модуль	0,65μ/TLM160 QFP



Факторы успеха семейства ColdFire

- RISC-архитектура
- Высокая производительность
- Переменная длина команд
- Компактный двоичный код
- Развитый отладочный интерфейс
- Поддержка JTAG
- Эффективные режимы энергопотребления
- Разнообразные портативные приложения



Семейства на базе PowerPC

**MPC 600
MPC 700
Процессоры**

- Портативные компьютеры, настольные системы, серверы
- Высочайшая производительность (до 350 МГц)
- Поддержка ведущих ОС (Unix, MacOS, WinNT)
- 32 или 64-битовые шины для обеспечения гибкости

**MPC 500
Контроллеры**

- MPC 505 и MPC 509 основаны на PowerPC с плавающей однокристальной периферии
- MPC 505 является первой реализацией семейства PowerPC микроконтроллеров
- Обеспечивает 32-битовые эффективные адреса
- Обрабатывает 8-, 16-, 32-разрядные данные целого типа
- Различные контроллерные приложения; системы реального времени

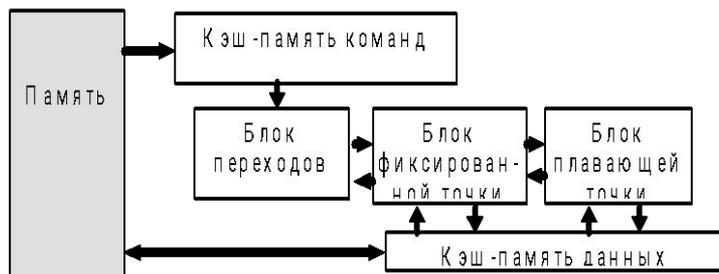
**MPC 800
Контроллеры**

- Процессоры основаны на PowerPC с однокристальной периферией
- Поддержка функций ЦОС, Ethernet и PCMCIA
- Основные реализации:
 - портативные приложения (MPC 821, MPC 823)
 - недорогая версия MPC 860 - MPC 801
 - недорогие сетевые и коммуникационные приложения - M
 - работа в Internet, передача данных (MPC 860 - несколько вариантов исполнения)

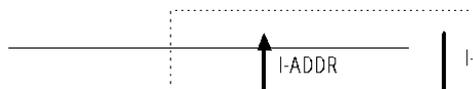


Ядро RCPu PowerPC

Архитектура POWER - Performance Optimization With Enhanced RISC



Ядро RCPu PowerPC



Состав:

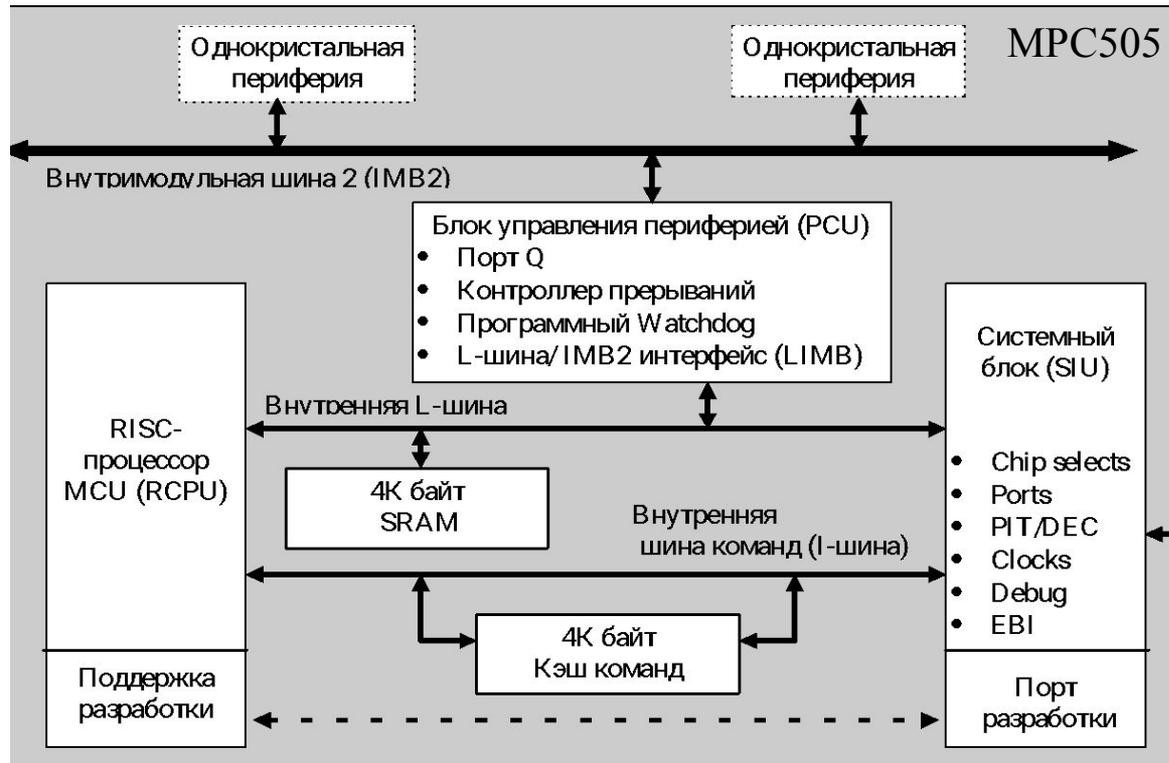
- целочисленный блок IU
- блок выполнения переходов BPU
- блок плавающей точки FPU
- кэши инструкций и данных

Состав:

- целочисленный блок IU
- блок выполнения переходов BPU
- блок плавающей точки FPU
- блок загрузки/хранения LSU
- кэши инструкций и данных
(в ядро не входят)



Семейство МК MPC500





Характеристики МК Power QUICC

Тип устройства	Поддержка Ethernet*	Количество SCC	Поддержка 64-канального HDLC**
MPC850SE	есть	1	нет
MPC860	нет	4	нет
MPC860DC	SCC1	2	нет
MPC860DE	есть	2	нет
MPC860DH	есть	2	есть
MPC860EN	есть	4	нет
MPC860MH	есть	4	есть
MPC860SAR	есть	4	есть

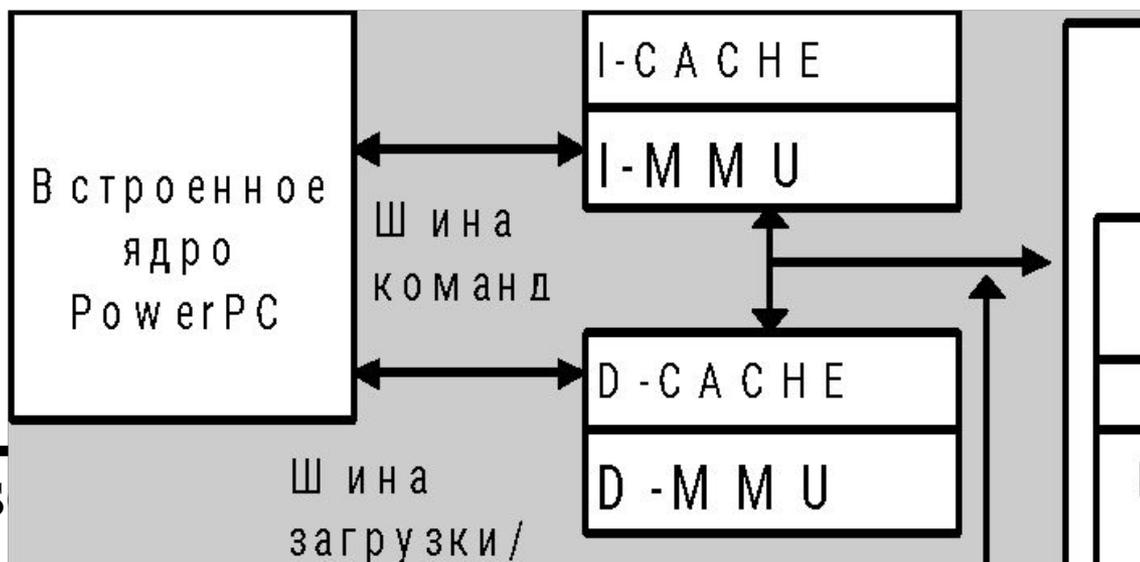
Примечания: * до 4 каналов на 40 МГц и 2 канала на 35 МГц;

** версии с 50 МГц поддерживают 64 временных канала на одном SCC при временном разделении



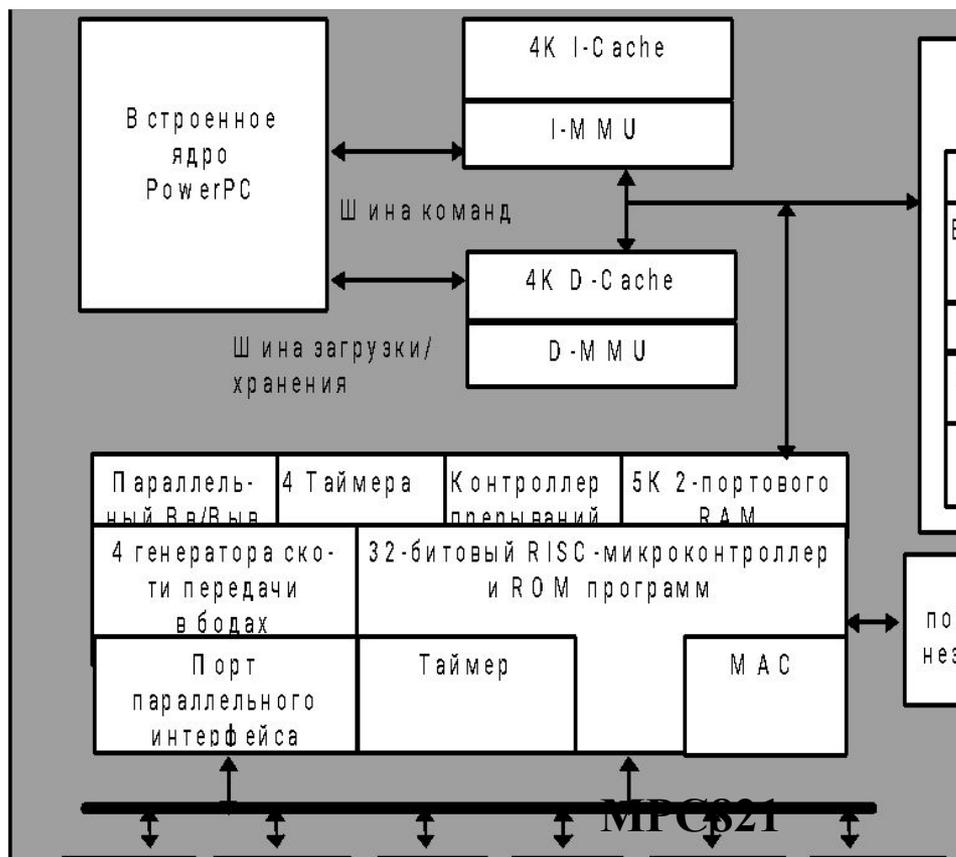
MPC801 является комбинацией все
необходимой для того, чтобы удовле

MPC801



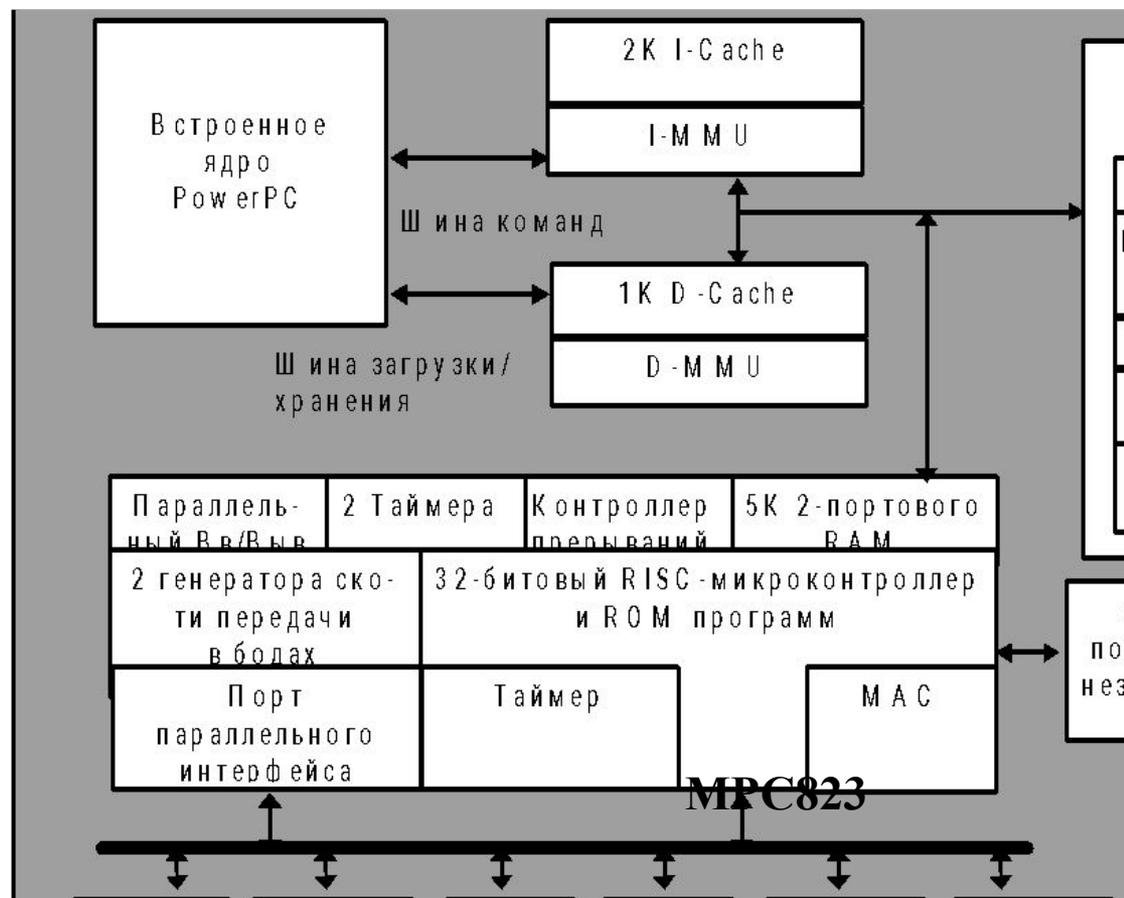


Семейство МК MPC800





Семейство МК MPC800





Управление энергопотреблением

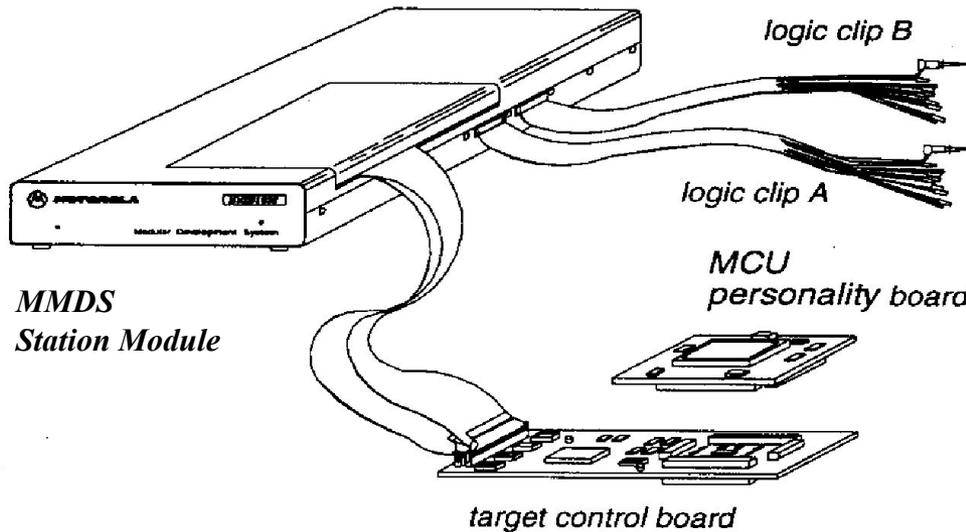
Режим	Операционные модули					Время ожидания	Средняя потребляемая энергия (33В)	Средняя потребляемая энергия (Ядро 33В)
	Ядро CMMU	CPM	SU	SPL	Другие			
Нормальный высокий						—	526mВт @25МГц	300mВт @25МГц
Нормальный низкий						Асинхронное пробуждение	260mВт @10МГц	150mВт @10МГц
Двируемый высокий						400/2цикла Синхронное пробуждение	300mВт @25МГц	200mВт @25МГц
Двируемый низкий						40/8циклов	150mВт @10МГц	100mВт @10МГц
Сон						400/2	10mВт	10mВт
Глубокий сон						<50циклов	4mВт	4mВт
Планирование						<50циклов+ включение	10mВт	10mВт

Модуль работает Модуль остановлен, состояние не гарантировано

Состояние модуля гарантировано



Средства отладки



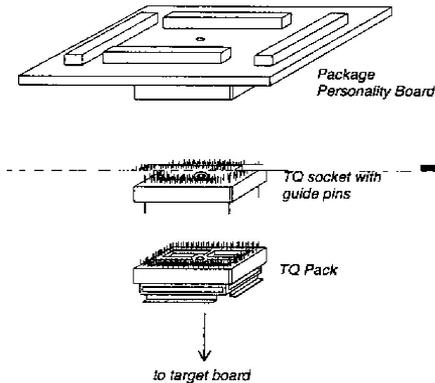
- **MMDS1632 (Motorola Modular Development Systems)** - система поддержки программных и аппаратных средств для целевых систем, основанных на 16- и 32-разрядных МК;
- **M68HC12A4EVB (Motorola M68HC12 Evaluation Board)** - отладочная плата поддержки разработки и оценивания кода для МК M68HC12A4.
- **MEVB1632 (Modular Evaluation Board)** - модульная оценочная плата, позволяющая разрабатывать, отлаживать и оценивать целевые системы, основанные на 16- и 32-разрядных микроконтроллерах.
- **SDI (Serial Debug Interface)** - последовательный отладочный интерфейс, позволяющий сократить время разработки целевых систем на базе 16- и 32-разрядных МК за счет режима BDM.

- **M68300 development system products** - система, обеспечивающая недорогую оценку решений на базе МК M68331, M68332A и M68332G семейства M68300.
- **MPC505EVB (Motorola MPC505 Evaluation Board)** - недорогая система поддержки для оценивания кода устройств семейства MPC500.
- **MPC500 Software development tool suite** - набор средств для разработки программ включает компилятор языка C, Ассемблер, линковщик, отладчик, и др.

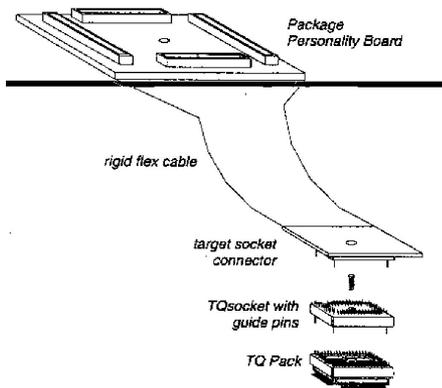


Средства отладки (MMDS1632)

Прямое соединение станции с платформой



Гибкое соединение станции с платформой



MMDS1632 позволяет выполнять полную эмуляцию МК устройства, включая аналоговые и цифровые функции. Система позволяет проводить исследования и эмуляцию различных устройств. Интегрированная Среда разработки значительно уменьшает затраты времени на разработку и отладку встроенных микроконтроллерных приложений.

Особенности MMDS1632:

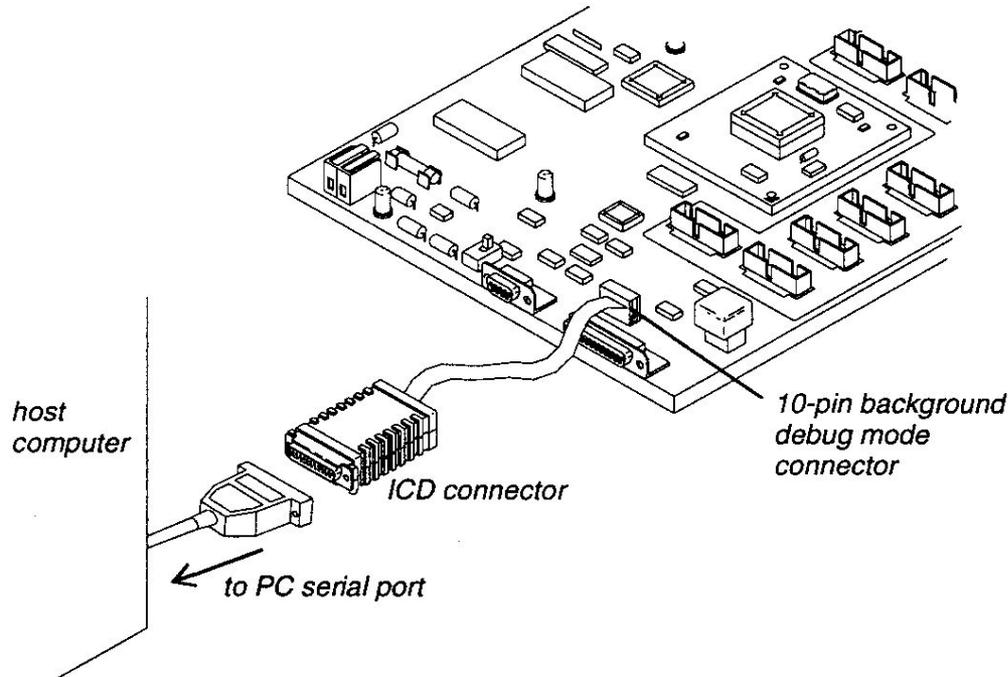
- внутрисхемная эмуляция в реальном времени операций микроконтроллера;
- анализ состояния шины в реальном времени;
- эмуляция чтения-записи в память в реальном времени;
- полная эмуляция микроконтроллерного устройства, включая сброс и аналого-цифровые функции;
- четыре аппаратных точки останова;
- операции фонового режима отладки;
- отладка с исходным текстом на языке C с помощью C-компилятора ;
- два кабеля и 16 логических переключателей для индивидуального выбора сигналов;
- встроенная поддержка питания;
- самотестирование при включении питания.

Требования к системе.

MMDS1632 требует PC с процессором 486, операционную систему DOS 5.0 и выше или Windows 3.1 и выше. Программное обеспечение требует 20Мбайт на жестком диске. Также требуется 8Мбайт ОЗУ и последовательный порт (COM1, COM2, COM3 или COM4).



Средства отладки (MEVB1632)



Модульная оценочная плата MEVB1632

MEVB1632 - это экономичное интегрированное решение для разработки, отладки и оценки операций микроконтроллерного устройства семейств M68HC16 и M68300.

Особенности MEVB включают в себя:

- поддержку нескольких размеров и типов устройств памяти (RAM, EPROM, FLASH EEPROM), выбираемых с помощью джамперов;
- семь программных точек останова;
- обеспечивается соединение для всех контактов микроконтроллерного устройства с логическим анализатором;
- встроенное устройство программирования микроконтроллера и EEPROM;
- операции фонового режима отладки.

Требования к системе. MEVB требует PC с процессором 386 и выше, версию DOS 3.3 и выше, ОЗУ не менее 1 Мбайта, 10 Мбайт на жестком диске, параллельный порт, внешнюю поддержку питания: +5В DC (10%), @ 1.0А, текущее ограничение @1.5А



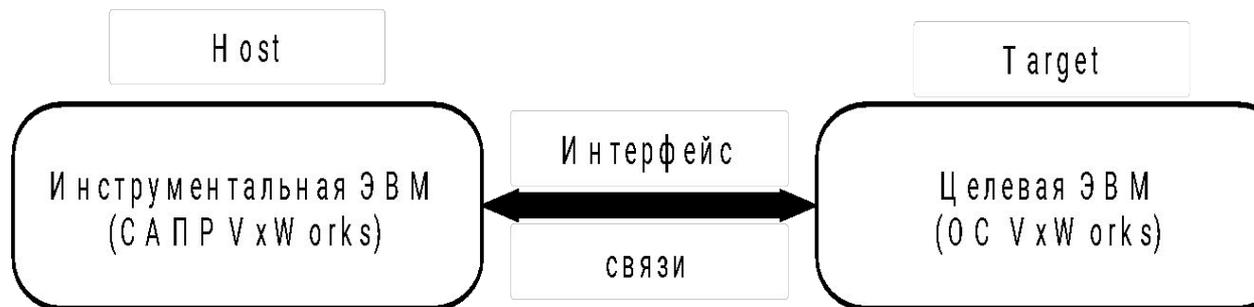
Операционные системы реального времени

SDS

SDS предлагает пользователям:

- набор оптимизирующих компиляторов C и C++ (CroseCode) под МК и МП фирмы Motorola - MC680x0, MC683xx, ColdFire и PowerPC;
- семейство кросс-ассемблеров (UniWare) под МП фирмы Motorola и Zilog;
- SingleStep - мощную интегрированную среду разработки и отладки ПО СРВ на базе МП серий MC68k, ColdFire и PowerPC (эмуляция работы МП, для которого отлаживается ПО, в среде системы разработки (мощный графический интерфейс, стандартная операционная система)).

VxWorks



Sun (Sun OS)
DEC (Ultrics)
HP (HP UX)
IBM (AIX)
SGI (SysV R)

Ethernet
Кросс-шина (backplane)
RS232, FDDI

MC680x0,
MC683xx,
ColdFire
PowerPC;

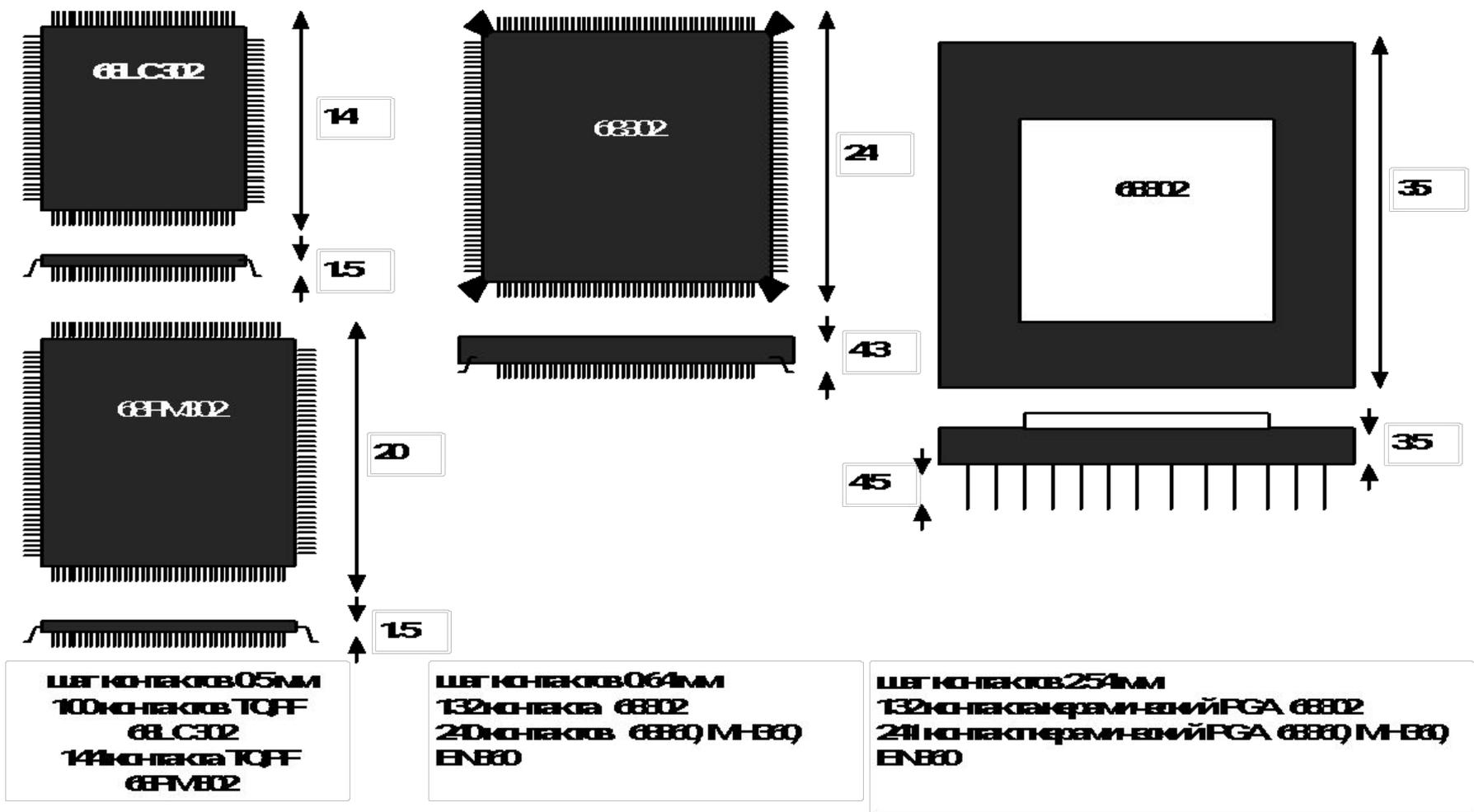
OS-9

OS-9 - компактная, модульная, масштабируемая СРВ, обеспечивает выполнение всех основных функций ОСРВ типа управления задачами, распределения памяти, межзадачного обмена информацией и синхронизации задач, дополнительные сервисные функции позволяют управлять источником питания. Широкие сетевые возможности ввода/вывода, полный набор резидентных и кросс-средств разработки приложений.

Все функциональные компоненты OS-9 - реализованы в виде независимых модулей.

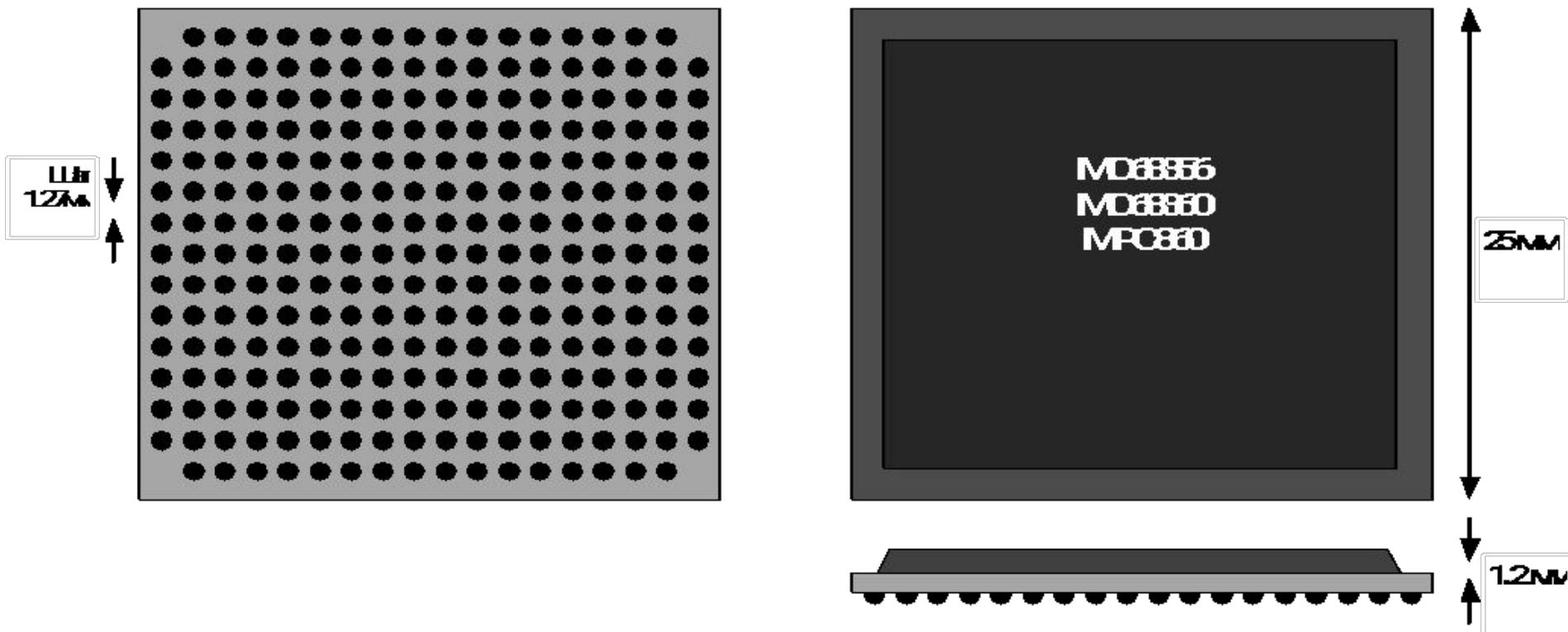


Корпуса типа PGA и QFP



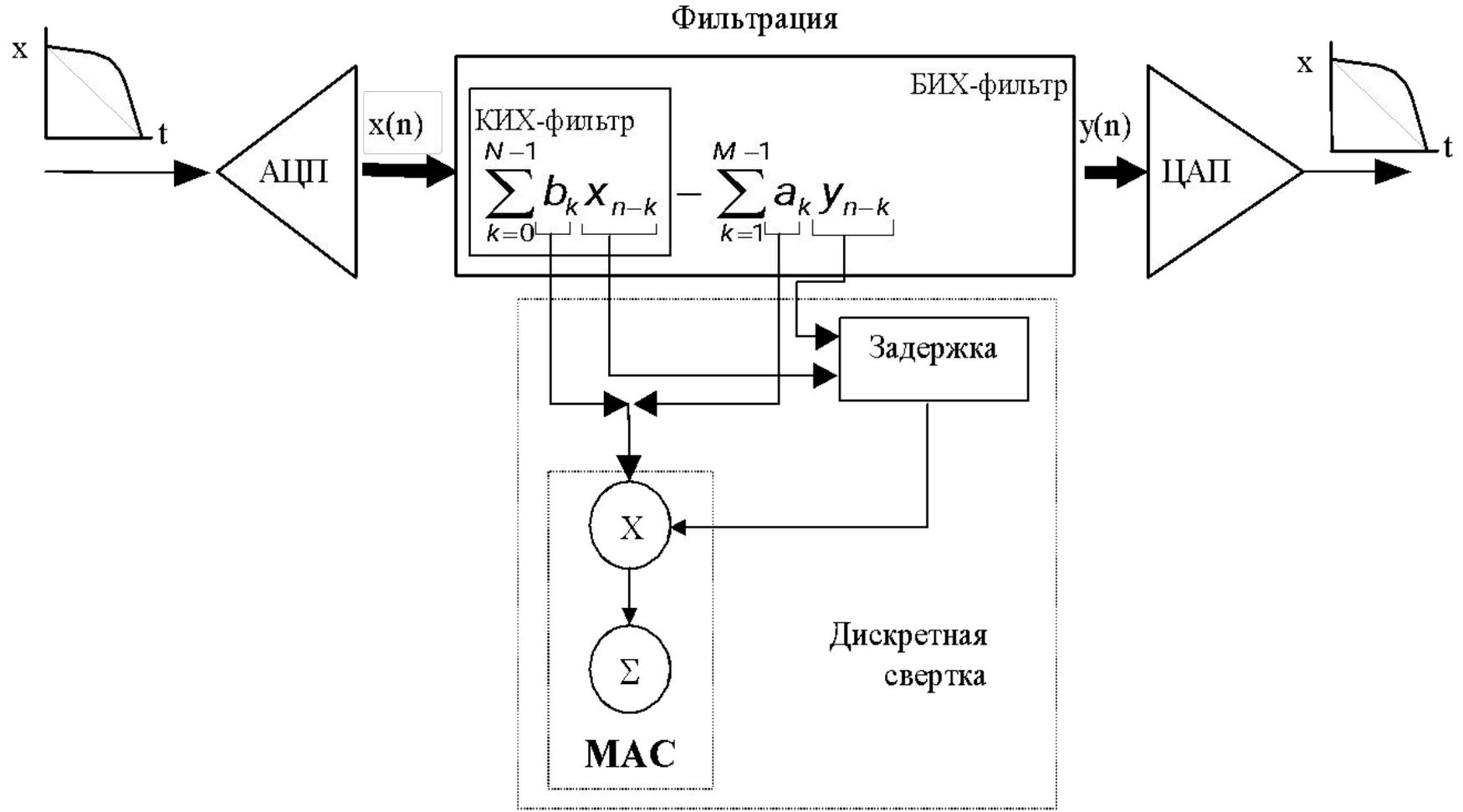


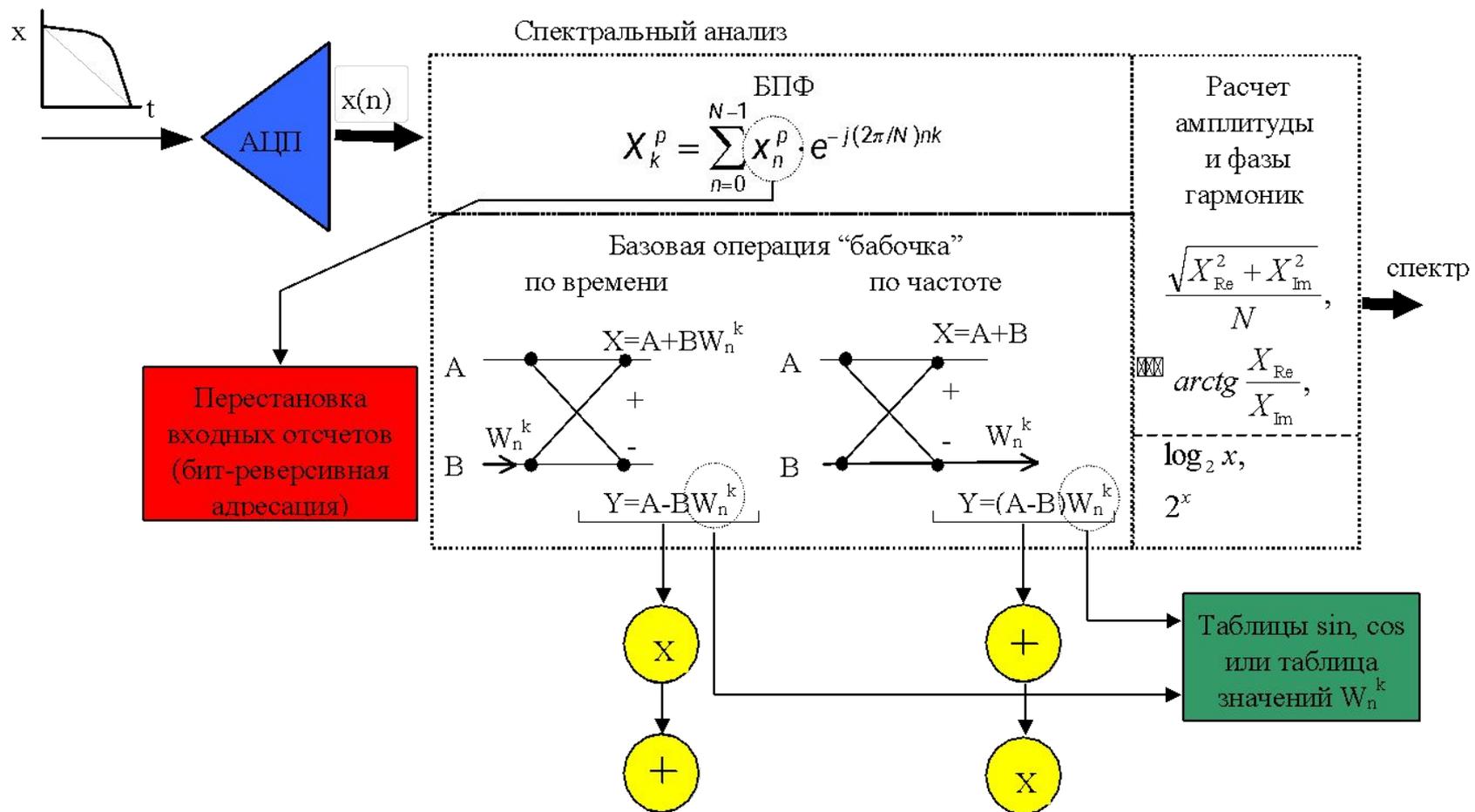
Корпус типа BGA



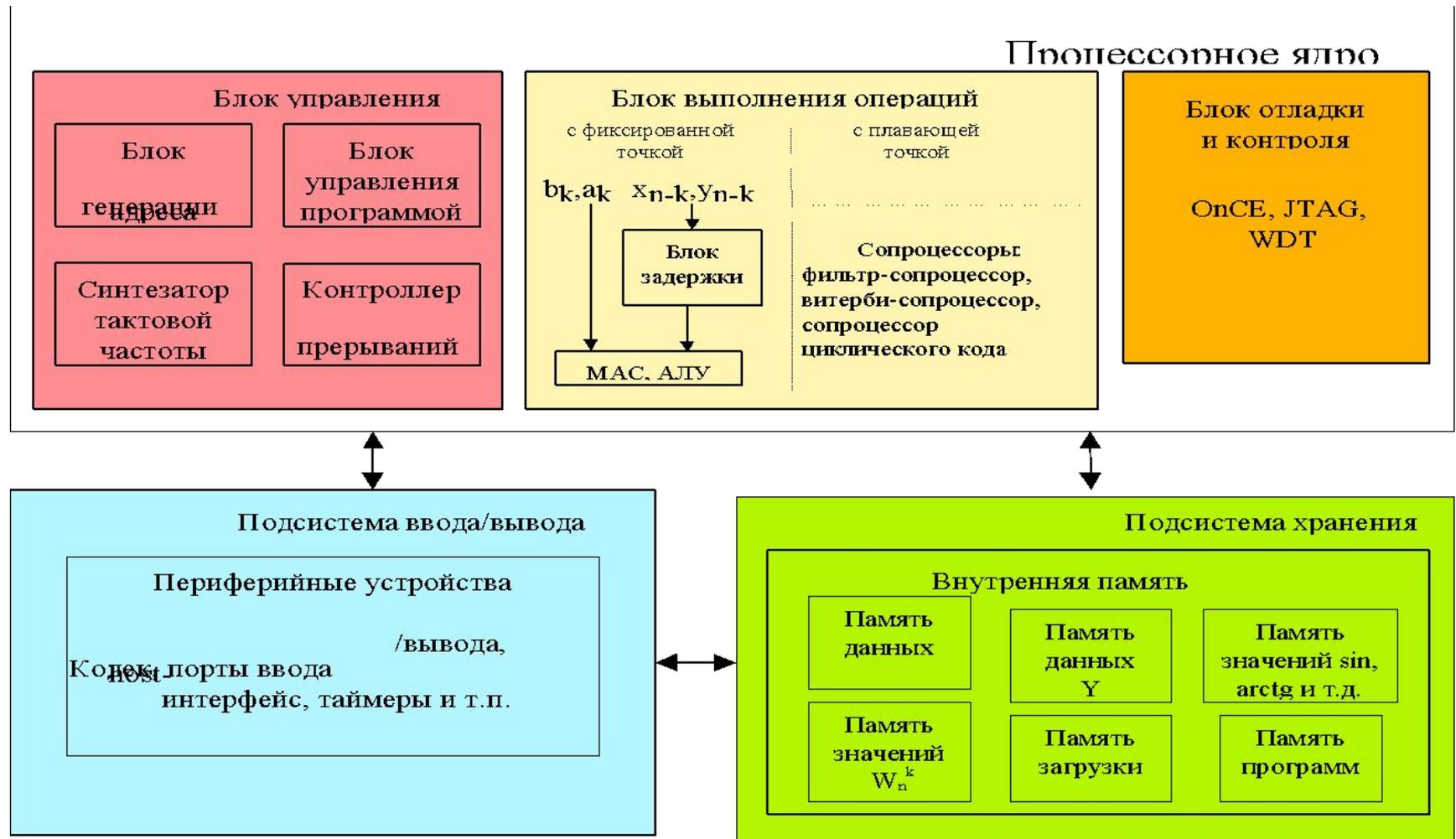
35x35 шариковый FBGA MD68856, DP356
MD68860, M-1360, EN860
MPC860, 860EN, 860DC, 860DE, 860MH

Операционный базис процессоров DSP. Фильтрация

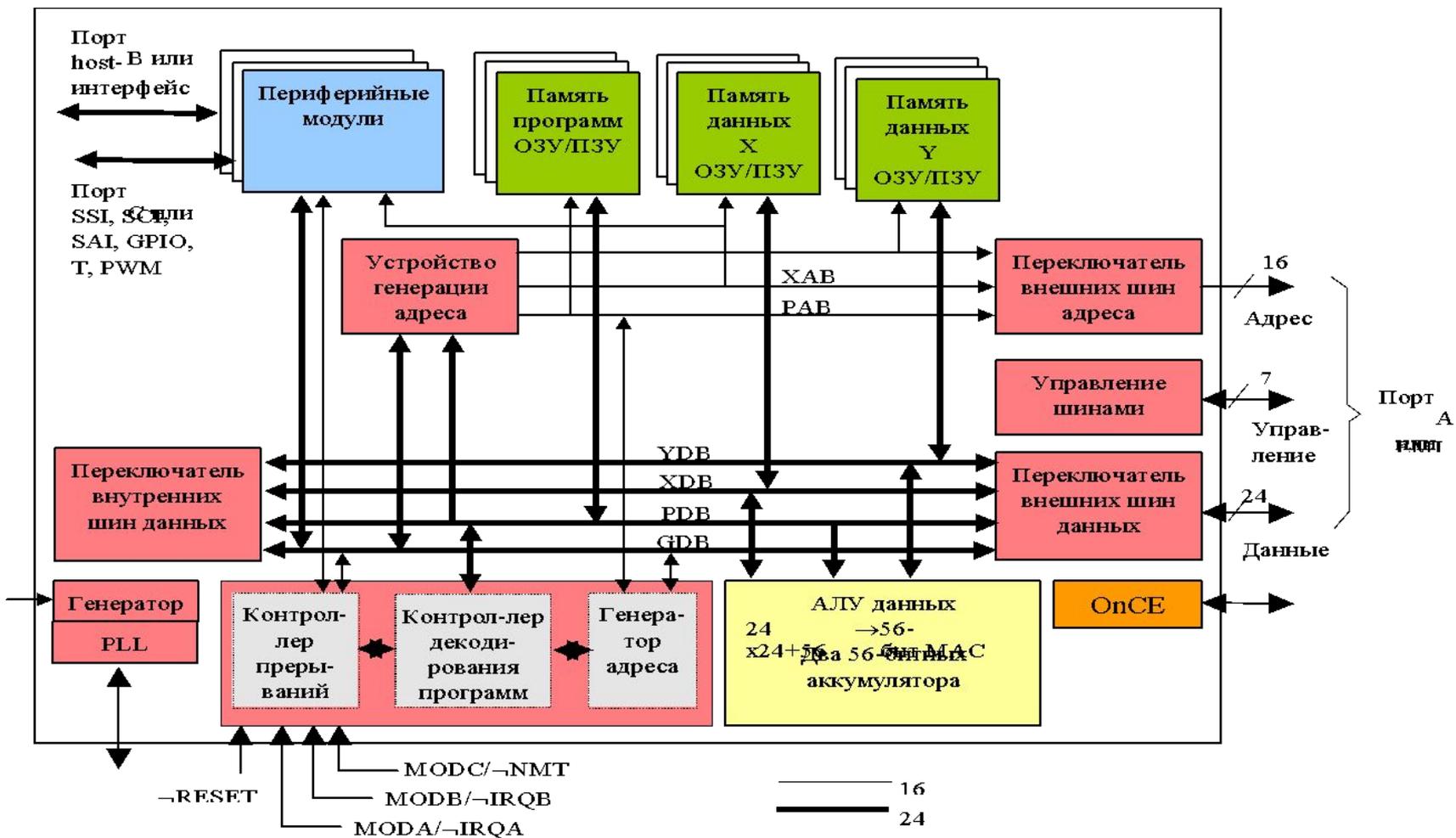




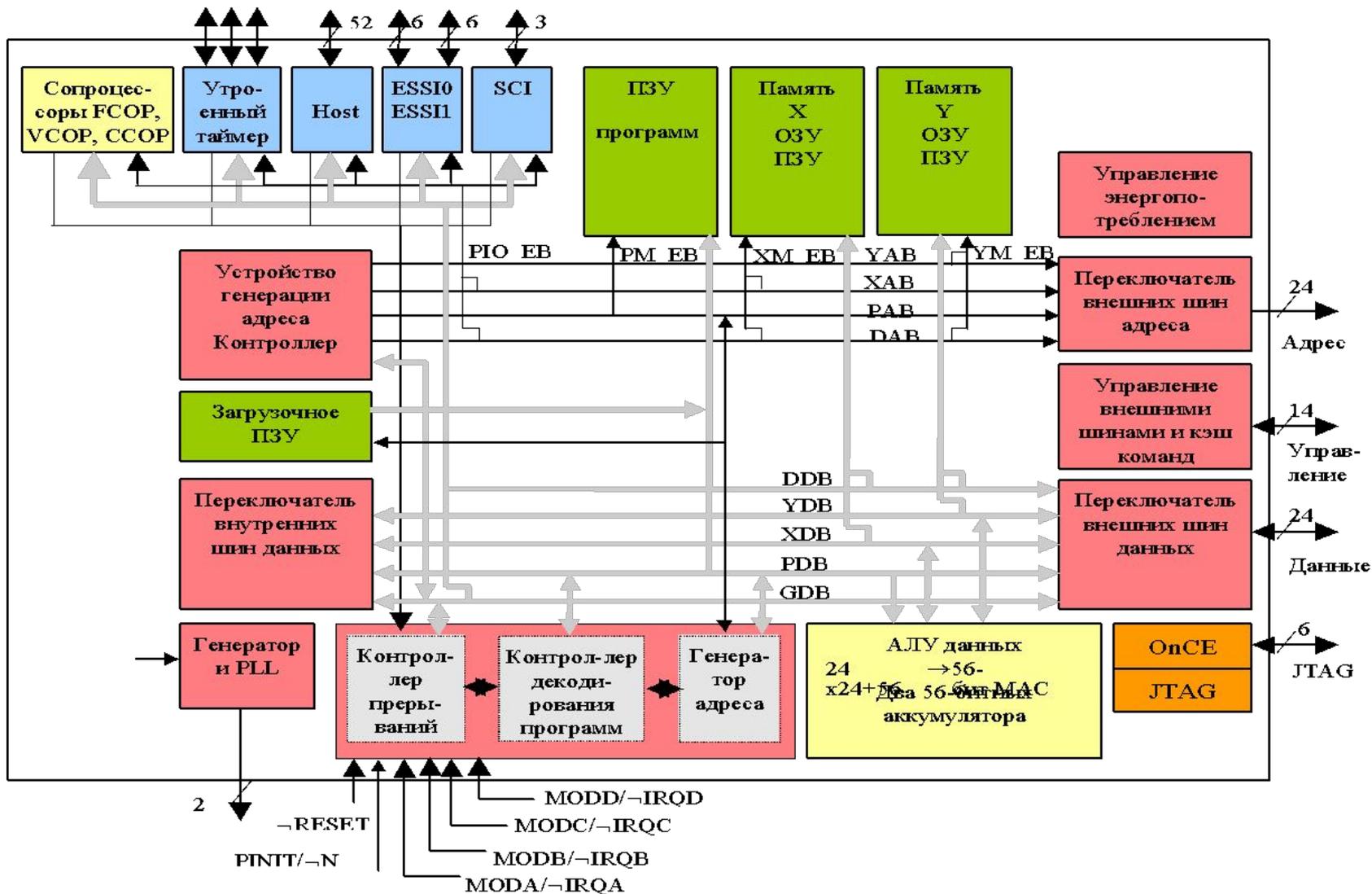
Обобщенная архитектура процессора DSP



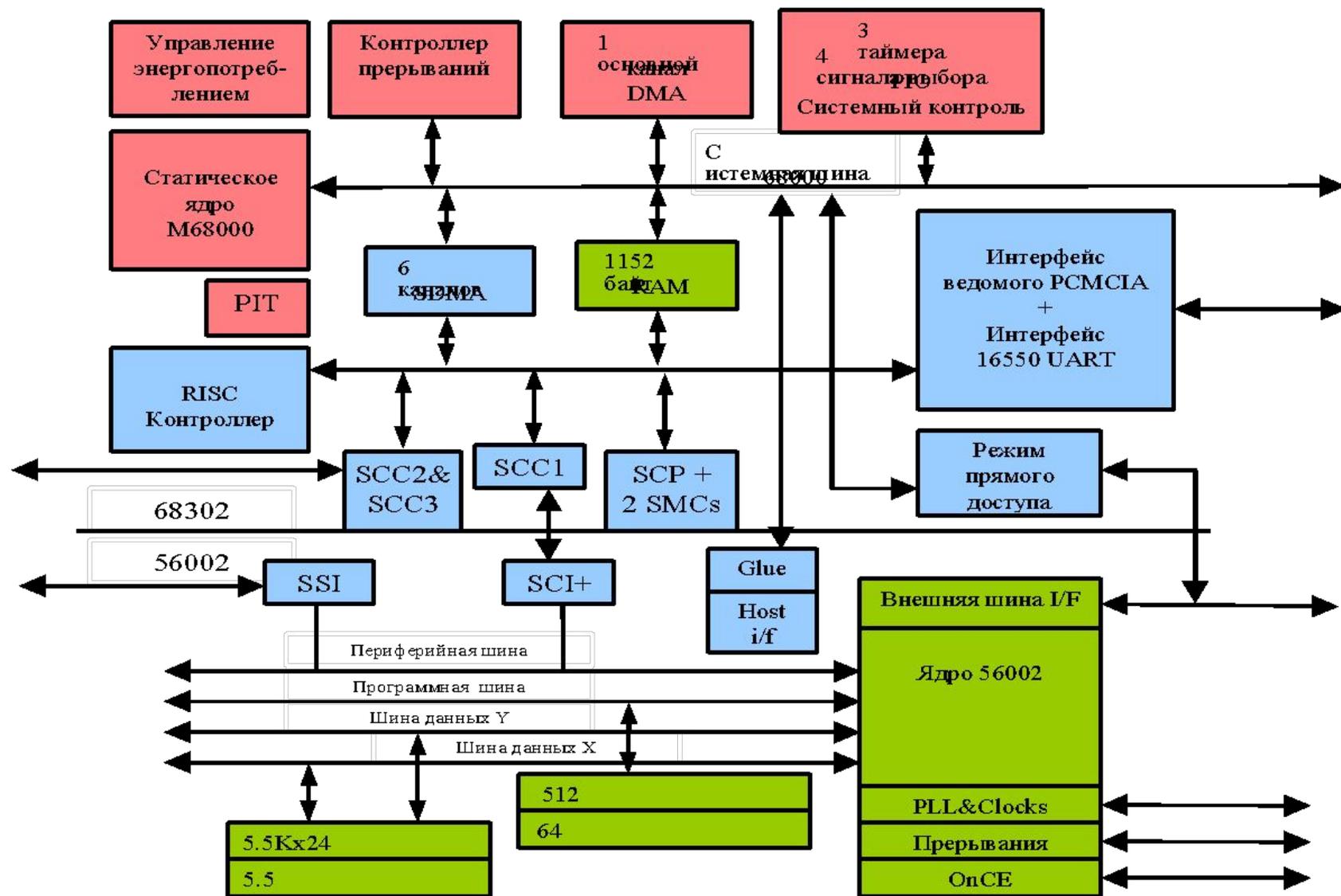
Обобщенная структура процессора семейства DSP56K



Обобщенная структура процессора семейства DSP56300

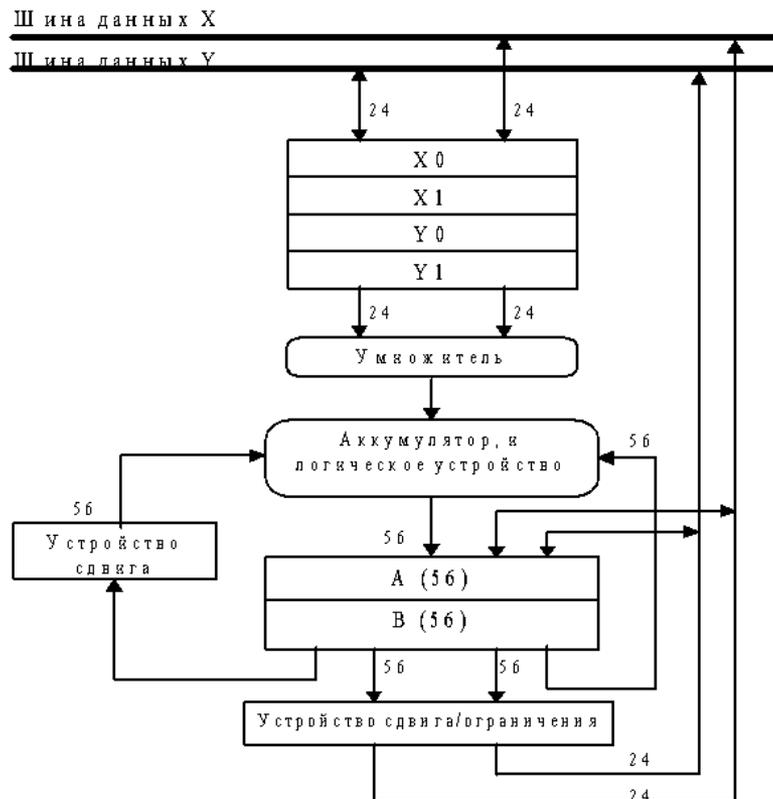


Обобщенная структура процессора семейства DSP68356



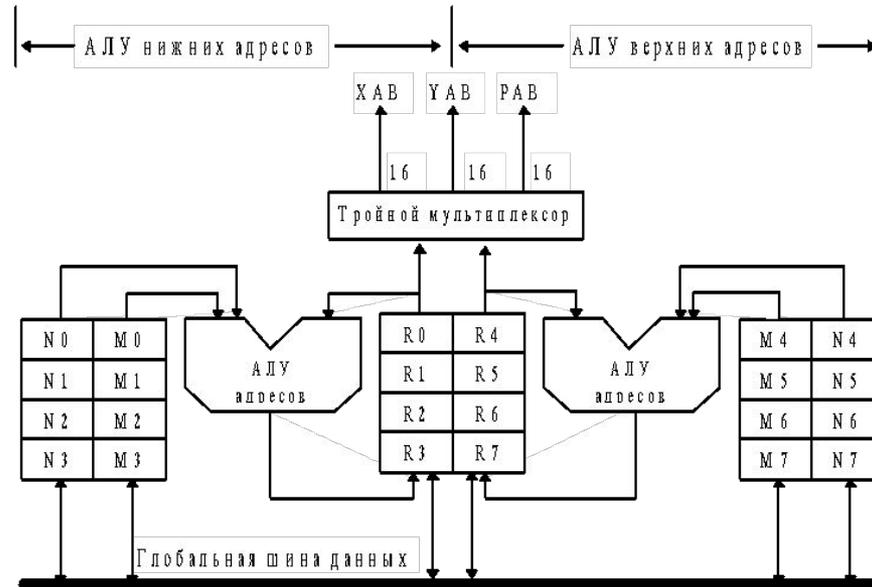
Семейство DSP 56000 (ядро процессора)

MAC и логическое устройство



Семейство DSP 56000 (ядро процессора)

Устройство генерации адреса - AGU



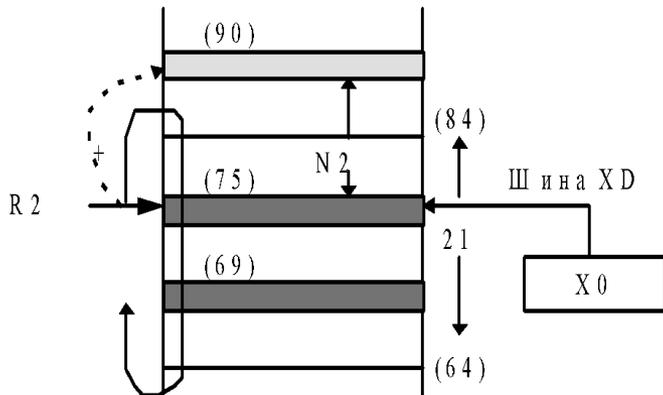
Семейство DSP 56000 (ядро процессора)

Линейная модификация:
постинкремент со смещением
 $R0=R0+N0$

Модульная модификация:

Пример: MOVE X0, X(R2)+N

M 2	00.....0010100	Модуль=21
N 2	00.....0001111	Смещение=15
R 2	00.....1001011	Указатель=75



Бит-реверсивная модификация

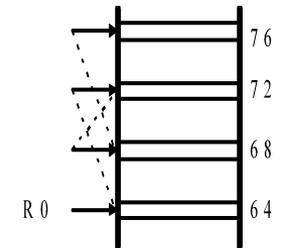
Входная последовательность	Выходная последовательность
000	000
100	001
010	010
110	011
001	100
101	101
011	110
111	111

Начальные значения:

M 0=0, R0=64, N0=8

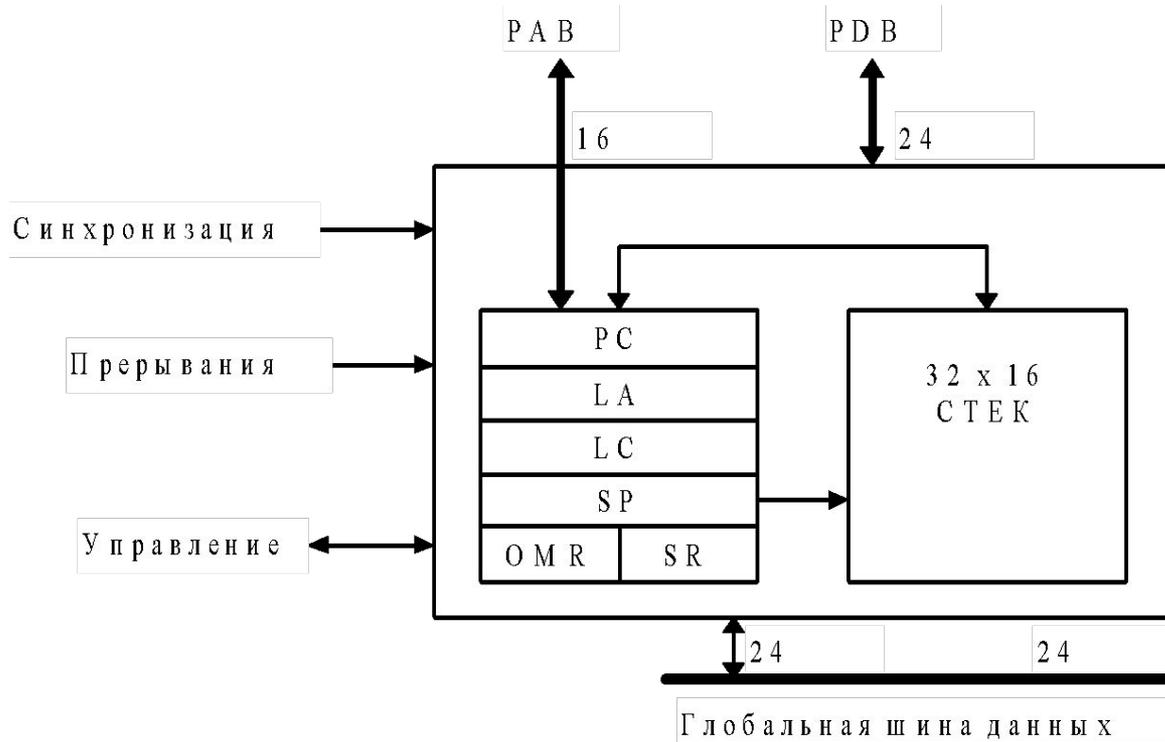
Постинкремент со смещением N0:

- 1) R0=72
- 2) R0=68
- 3) R0=76



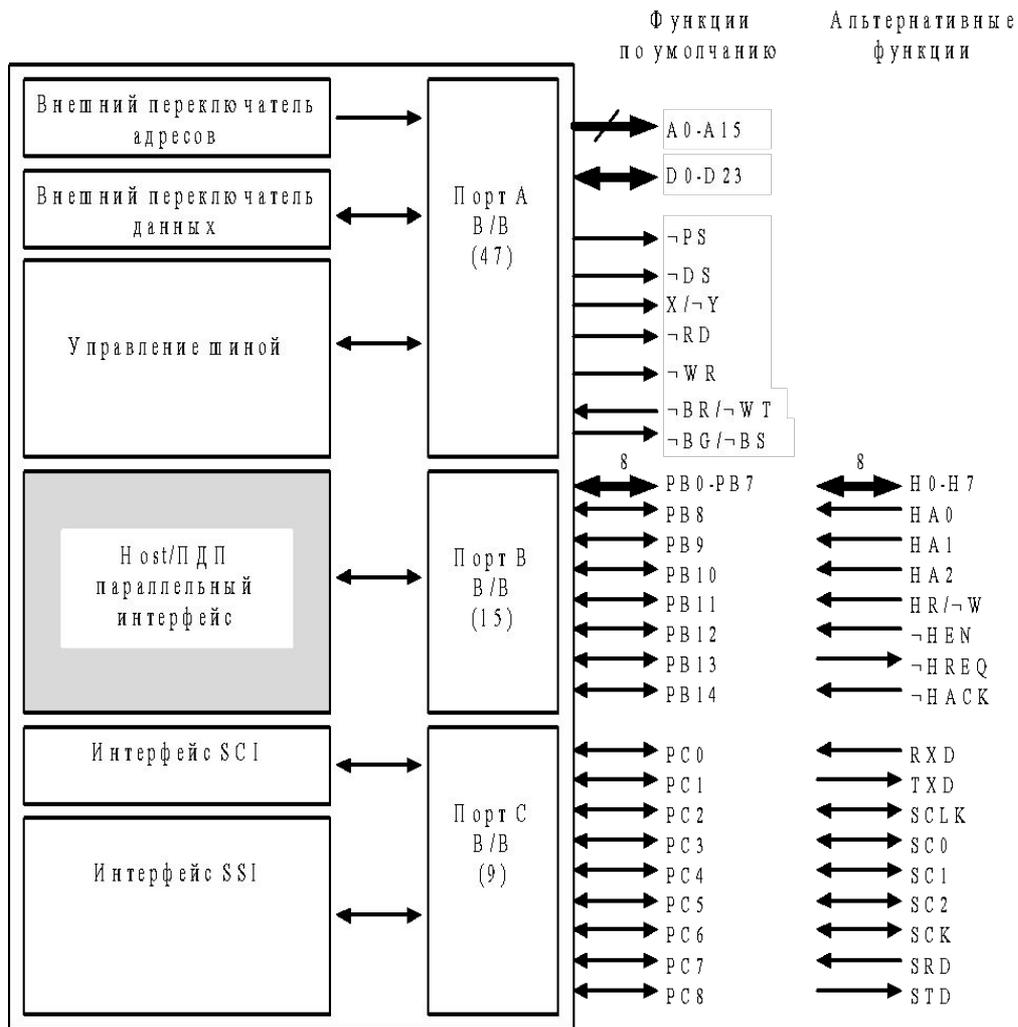
Семейство DSP 56000 (ядро процессора)

Программный контроллер

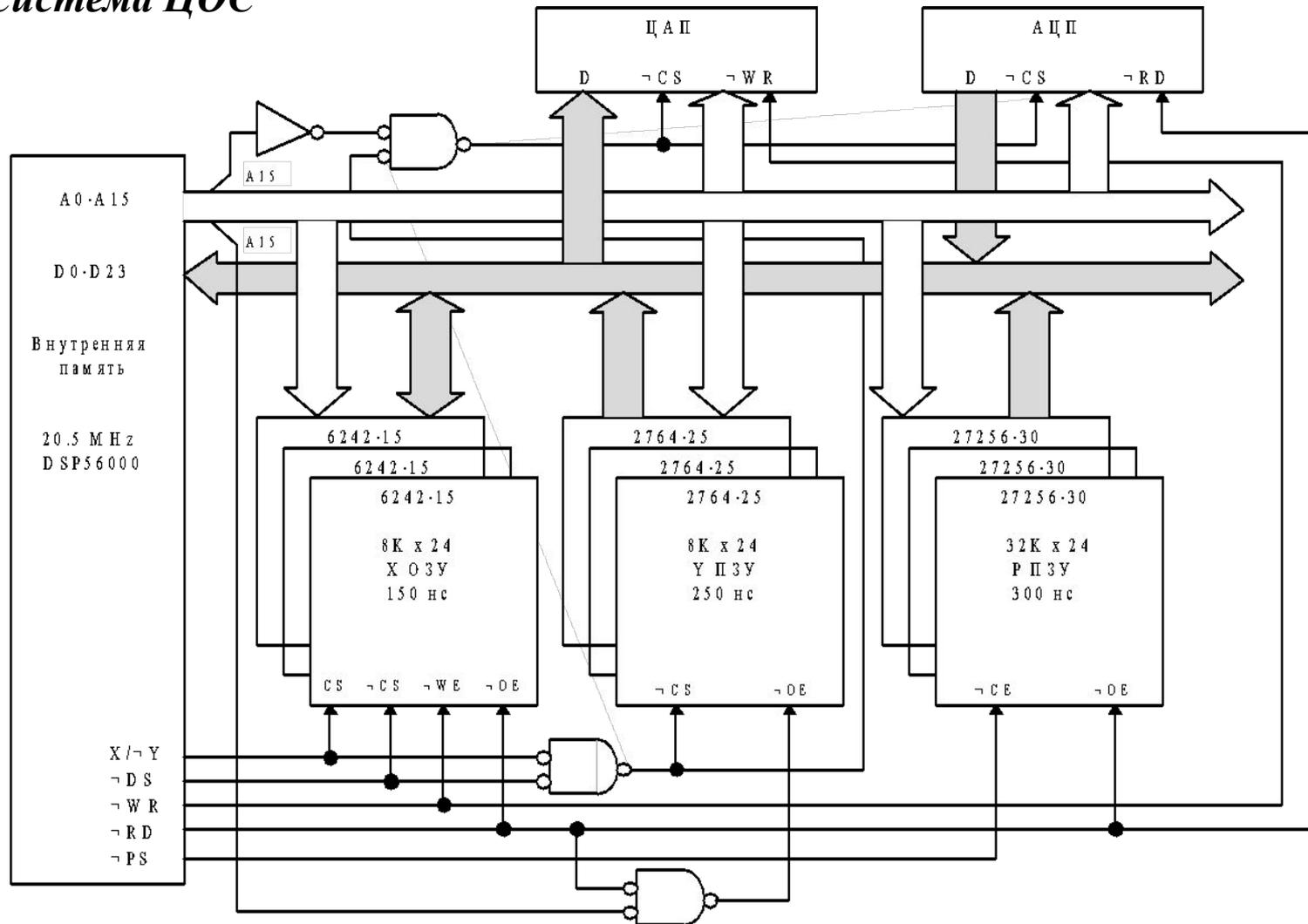


Семейство DSP 56000 (Порты ввода-вывода - А, В, С)

Внешние выходы портов процессора



Система ЦОС



Производительность - 100 MIPS на сегодняшний день, следующие ядра используют новые HiP-процессы

Совместимость - с семейством 56000; сохранение вложенного кода

Память на кристалле - до 64К слов

Низкое энергопотребление - 2.5/3.3В; функциональное понижение до 1.8В

Низкое потребление мощности - 0.9 мА/MIPS на 2.5В

Простота программирования - 24 разряда, высокоортогональный набор инструкций, очевидный конвейер, позиционно-независимый код, аппаратное расширение стека, полностью аппаратная обработка прерываний и циклов DO, автовозврат из прерываний, инструкции VSL для эффективного программного декодирования Витерби

Смешанная точность - выбор точности (24 or 16) в зависимости от процесса

ПДП - 6 независимых каналов общего назначения, параллельность в ядре, MIPS сохранение, мощность и указатели

Кэш инструкций - 1К слов минимизирует эффект внешней памяти

Мощная периферия - меньшая потребность во внешней логике ПДП

Сопроцессоры - Обеспечение эффективного ускорения специфических приложений

- Выполнение текущей инструкции DSP (например, умножение с аккумулярованием) за два внутренних цикла (2X-механизм)
- Некоторые существующие DSP оперируют 1X-механизмом, но это достигается за счет внутреннего удвоения частоты
- DSP56300 - первая настоящая 1X-архитектура, позволяющая выполнять инструкцию за один внутренний цикл

1X-архитектура позволяет удвоить производительность (MIPS) при данной технологии

Архитектура DSP56300

- Совместимость кода с архитектурой DSP56000
 - пути перехода для пользователей DSP56000
- Процессорное ядро
 - арифметико-логическое устройство (ALU)
 - устройство программного управления (PCU)
 - устройство генерации адресов (AGU)
- Новое устройство параллельного ПДП (DMA)
- Новый кэш инструкций размером 1К слов

АЛУ данных DSP56300

- одна инструкция MAC за один цикл
 - полностью конвейеризованный 24 x 24 параллельный умножитель-аккумулятор
- 56-битное параллельное устройство сдвига
 - инструкции множественного битового сдвига
 - вставка/извлечение битовых полей для эффективного потокового анализа
 - быстрая нормализация
- условные инструкции АЛУ
- поддержка 16-битной арифметики
 - применение стандартных алгоритмов с точностью до бита
- поддержка высокоточной арифметики (беззнаковой и смешанной)

Контроллер ПДП DSP56300

- Скорость передачи - 24 бита/2 цикла, 120Мбайт @ 80МГц
- Параллельное выполнение операций ПДП и ядра
 - Отдельные шины адреса и данных ПДП
 - Ядро и ПДП могут одновременно обращаться к памяти Р, X или Y
- Шесть каналов ПДП
 - Независимые регистры источника, приемника и счета
 - Поддержка передач данных между различными типами памяти (Р, X и Y) или между памятью и периферией
- Выполнение программ ядра не замедляется, когда на внешних шинах ПДП требуется состояние ожидания

Оптимизация для низкого энергопотребления

- Большая функциональность (например, ПДП, устройство сдвига и т. д.) средств снижает общее потребление энергии
- Гибкая ФАПЧХ позволяет динамически изменять синхронизацию для обработки запросов
- Интеллектуальное управление энергопотреблением выключает питание у неиспользуемых устройств
- Режимы ожидания и останова Wait и Stop

Результат - снижение общего потребления мощности для любой функции

DSP56301

- Независимые интерфейсы SRAM/DRAM
- Первый DSP с независимым портом PCI
- Два синхронных последовательных порта 20Мбит/с
- Один последовательный коммуникационный интерфейс 10Мбит/с
- 2 опции памяти на кристалле:
 - 4К или 2К слов ОЗУ программ
 - 4К или 6К слов 24-битного ОЗУ данных
- Сканирование границ JTAG
- Три 24-битных таймера/счетчика
- 208 TQFP и 252 PBGA



DSP56303

- Меньше выводов : 144 TQFP или 196 PBGA
- Дешевая версия 56301
- Шина PCI удалена
- 16 выводов GPIO (8 бит Host)
- 2 опции памяти на кристалле :
 - 4К или 2К слов ОЗУ программ
 - 4К или 6К слов 24-битного ОЗУ данных
- 18-битная внешняя адресация
- Независимые интерфейсы SRAM/DRAM
- Два синхронных последовательных порта 25Мбит/с
- Один последовательный коммуникационный интерфейс 12.5Мбит/с
- Сканирование границ JTAG
- Три 24-битных таймера/счетчика



Конфигурация памяти DSP56301/3

DSP56301/3 имеет четыре опции размещения памяти на кристалле:

РЕЖИМ	По умолчанию	Режим переключения
Кэш инструкций запрещен	4К Р-ОЗУ 2К Х-ОЗУ 2К Y-ОЗУ	2К Р-ОЗУ 3К Х-ОЗУ 3К Y-ОЗУ
Кэш инструкций разрешен	1К Кэш инструкций 3К Р-ОЗУ 2К Х-ОЗУ 2К Y-ОЗУ	1К Кэш инструкций 1К Р-ОЗУ 3К Х-ОЗУ 3К Y-ОЗУ

DSP56309

- Меньше выводов: 144 TQFP или 196 PBGA
- Меньше потребность во внешней памяти:
 - 24К или 20К слов ОЗУ программ
 - 10К или 14К слов 24-битного ОЗУ данных
- Удалена шина PCI
- 16 выводов GPIO (8-битный Host)
- 18-битная внешняя адресация
- Независимые интерфейсы SRAM/DRAM
- Два синхронных последовательных порта 25Мбит/с
- Один последовательный коммуникационный интерфейс 12.5Мбит/с
- Сканирование границ JTAG
- Три 24-битных таймера/счетчика



Конфигурация памяти DSP56309

DSP56309 имеет четыре опции размещения памяти на кристалле:

РЕЖИМ	По умолчанию	Режим переключения
Кэш инструкций запрещен	20К Р-ОЗУ 7К Х-ОЗУ 7К Y-ОЗУ	24К Р-ОЗУ 5К Х-ОЗУ 5К Y-ОЗУ
Кэш инструкций разрешен	1К Кэш инструкций 19К Р-ОЗУ 7К Х-ОЗУ 7К Y-ОЗУ	1К Кэш инструкций 23К Р-ОЗУ 5К Х-ОЗУ 5К Y-ОЗУ

- Новые вариации базируются на ядре DSP56300
- Объектный код совместим с семействами DSP56300 и DSP56000
- Производительность ядра - 100 MIPS
- Аппаратная фильтрация & ускоритель отмены - EFCOP (увеличивает эквивалент MIPS до 170)
- 2.5В ядро & 3.3В ввод/вывод (+-10%)
- Память SRAM на кристалле - 1.5 Мб упорядочена как 64К слов
 - **5 опций переключения памяти:**
 - **Память программ = 16К, 24К, 32К, 40К or 48К**
 - **Память данных = 64К - память программ**
- 6-канальный контроллер ПДП
- Отдельное питание ядра и ввода/вывода
- 2 ESSI, 1 SCI, 1 HI08 и 3 таймера
- 196-выводной PBGA (15x15 мм, шаг - 1мм)

Фильтрующий сопроцессор

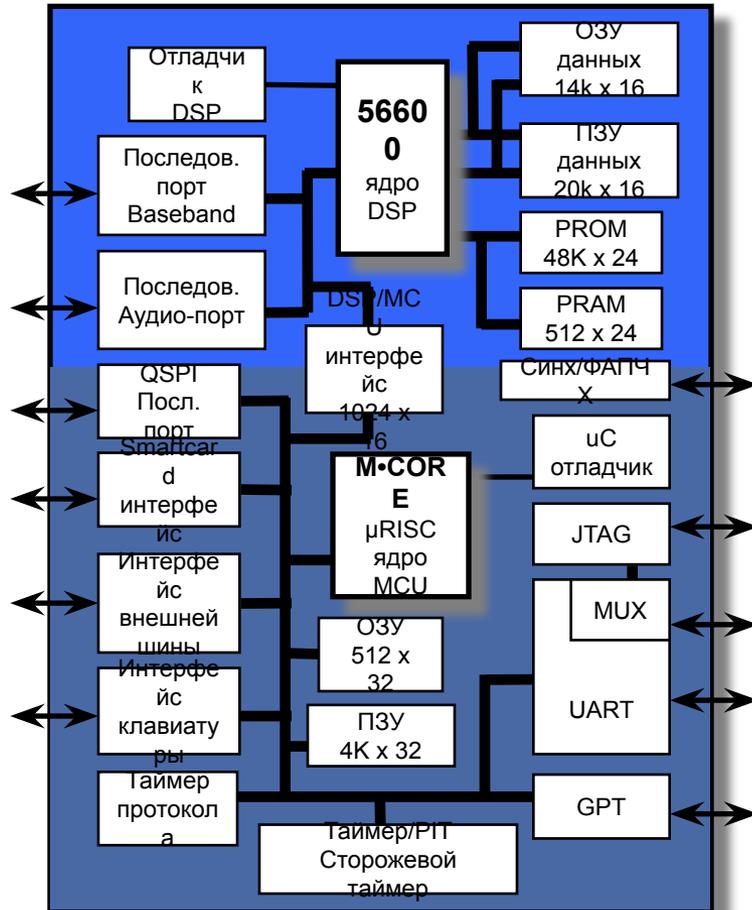
- EFCOP удваивает производительность, занимая только 3% всей поверхности
- EFCOP - параллельный вычислитель на 100 MHz, оптимизированный для КИХ- и БИХ-фильтров
- EFCOP позволяет выполнять отмену эха (в EFCOP) параллельно с речевой компрессией (в ядре)
- Уменьшает число каналов в многоканальных приложениях таких, как беспроводные транскодеры

Оптимизация для сетевых задач

- Наборы ресурсов DSP
- Передающие беспроводные станции
- Многоканальные беспроводные локальные петли
- Мобильные сотовые центры переключений
- Контроллеры базовых станций
- Оборудование для переключения линий
- Интернет-телефония
- Высокоскоростные банки модемов

- Большой объем памяти на кристалле
 - Высокая производительность без параллелизма
 - Низкое потребление энергии (0.25 Вт)
 - Нет состояний ожидания
 - Во многих приложениях не требуется внешнее ОЗУ
- EFCOP
- Сбалансированная архитектура
- Небольшой корпус PBGA (15x15 мм, шаг выводов - 1мм)
- Доступность программных приложений и библиотек фирмы
- Эффективное использование языков высокого уровня
- Совместимость кода с другими членами семейства DSP56300

DSP56652 - процессор с двойным ядром



Технология

0.32μ CDR2 (сейчас)

0.27μ CDR3 (1Q99)

Корпус

196 PBGA (15мм x 15мм)

Потребление энергии

1.8-2.5В

Температура

-40 to +85°C

Частота

58.8MHz @1.8В DSP

16.8MHz @1.8В M-CORE

Состояние

производство (сейчас)

разработка (июнь 98)

- Разработано с iDEN для поддержки телефонии iDEN/GSM
- План
 - CDR2 планируется на август 1998
- Добавлена новая периферия DSP
 - ускоритель Viterbi
 - блок GSM
 - один канал ПДП
- Добавлена новая периферия M•CORE
 - второй UART
 - второй QSPI
- Большой размер ОЗУ DSP
 - 40Кслов ОЗУ программ DSP (56651 имеет 24К ОЗУ+24К ПЗУ)
 - 31Кслов DSP ОЗУ данных (56651 имеет 16К ОЗУ+18К ПЗУ)

Redcap2 (продолжение)

- Модификации периферии:
 - Таймер протокола
 - таблица событий увеличена от 80 до 128 входов
 - увеличено количество выводов TOUT от 8 до 16
 - триггеры для второго QSPI
 - MDI: больший размер разделяемой памяти (2К слов вместо 1К слов)
 - SAP: более гибкая синхронизация BRM
 - BBR: модификации для связи с CSS Ics
 - QSPI: очередь ОЗУ увеличена от 64 до 128 входов
- Режим видимости шин данных DSP для расширенной отладки
- Больше выводов и больший размер корпуса
 - 236 выводов (Redcap имеет 171)
 - 17x17 мм 256-выводной PBGA