

**АДРЕСНОЕ ПРОСТРАНСТВО
МПС И МЕТОДЫ
ДЕШИФРАЦИИ**

План лекции

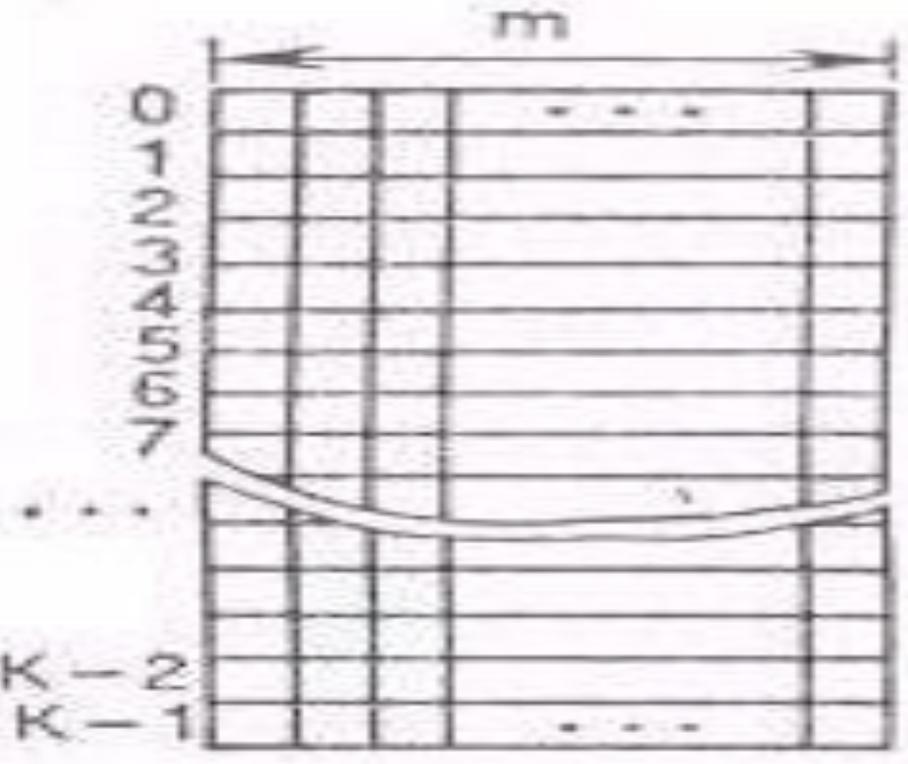
- **1. Адресное пространство МПС**
- 2. Методы дешифрации адресов.**
- 3. Схемы адресных дешифраторов**
- 4. Использование ПЗУ в качестве адресного дешифратора.**

Адресное пространство МПС

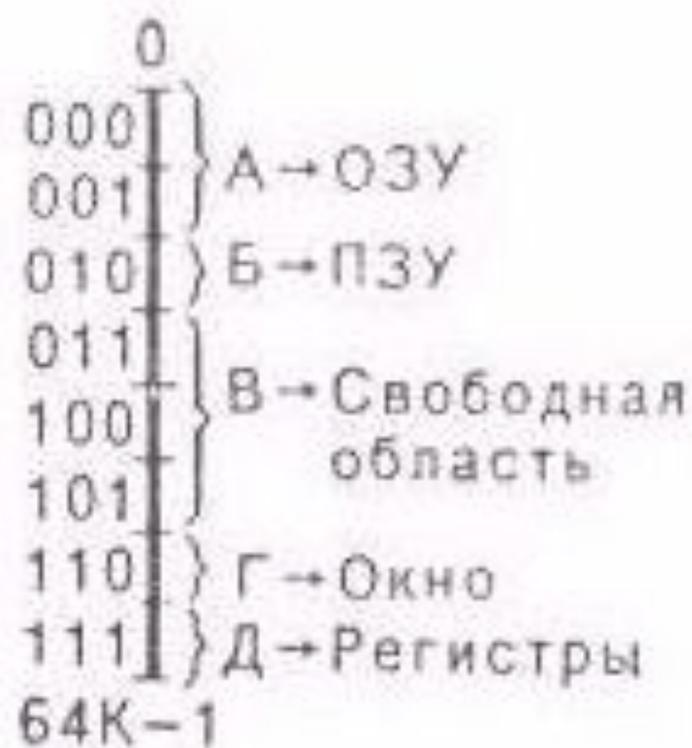
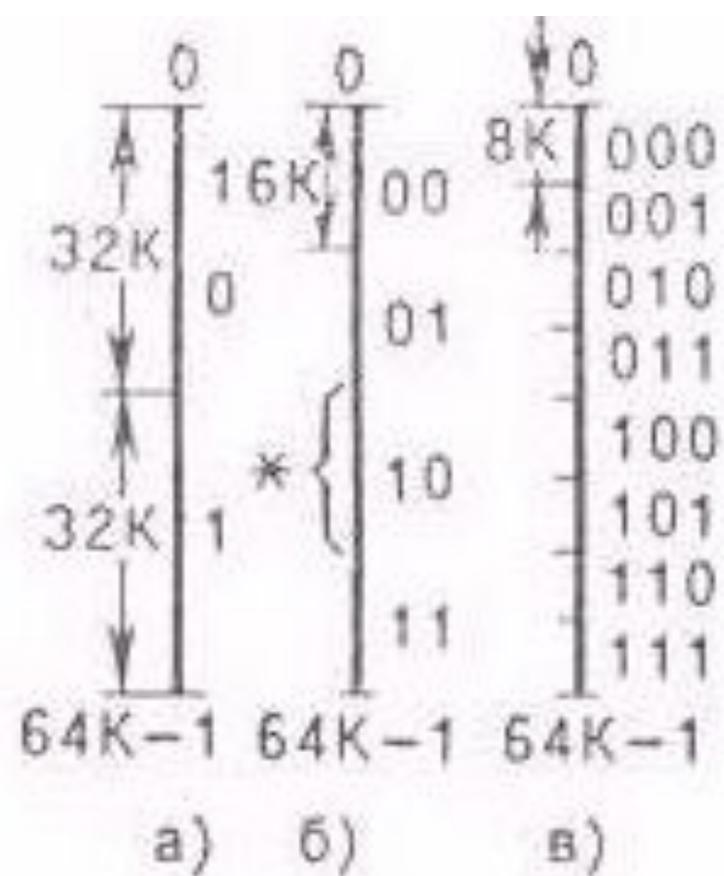
- **Адресное пространство представляет собой упорядоченное множество кодов $0, 1, 2, \dots, (2^n - 1)$; где n —число адресных линий.**
- Это множество для наглядности представляют в виде отрезка числовой оси
- либо в виде таблицы)
- Нумерация точек, или «ячеек», адресного пространства при его графическом представлении производится снизу вверх или сверху вниз (что удобнее) в **десятичной, восьмеричной или шестнадцатеричной** форме



a)



b)



- Адресное пространство определяет число возможных отличимых друг от друга кодовых комбинаций (адресов), которые может выдать на адресную шину активное устройство
- . Адресное пространство определяет лишь потенциальные возможности системы— максимальное число программно-доступных элементов, которые могут присутствовать в ней. Поэтому адресное пространство можно сравнить с пустым или частично заполненным помещением библиотеки, в котором можно разместить, например, не более 64К книг

- **Понятие адресного пространства** позволяет наглядно представлять размещение в нем **различных** программно-доступных **объектов**.

	0	
000		A → ОЗУ
001		
010		B → ПЗУ
011		
100		B → Свободная область
101		
110		Г → Окно
111		
64К-1		

- А- зона 16К (0000-3FFF), отведенная для адресов ОЗУ;
- Б- зона 8К (4000-5FFF) отведенная для адресов ПЗУ;
- В- свободная зона 24К (6000-BFFF),
- Г- «окно» размером 8К (C000-DFFF)
- Д- зона 8К (E000-FFFF)

Методы дешифрации адресов.

Принцип полной дешифрации

Для решения задачи подключения триггера нужно, во-первых, определить, его «положение» в адресном пространстве

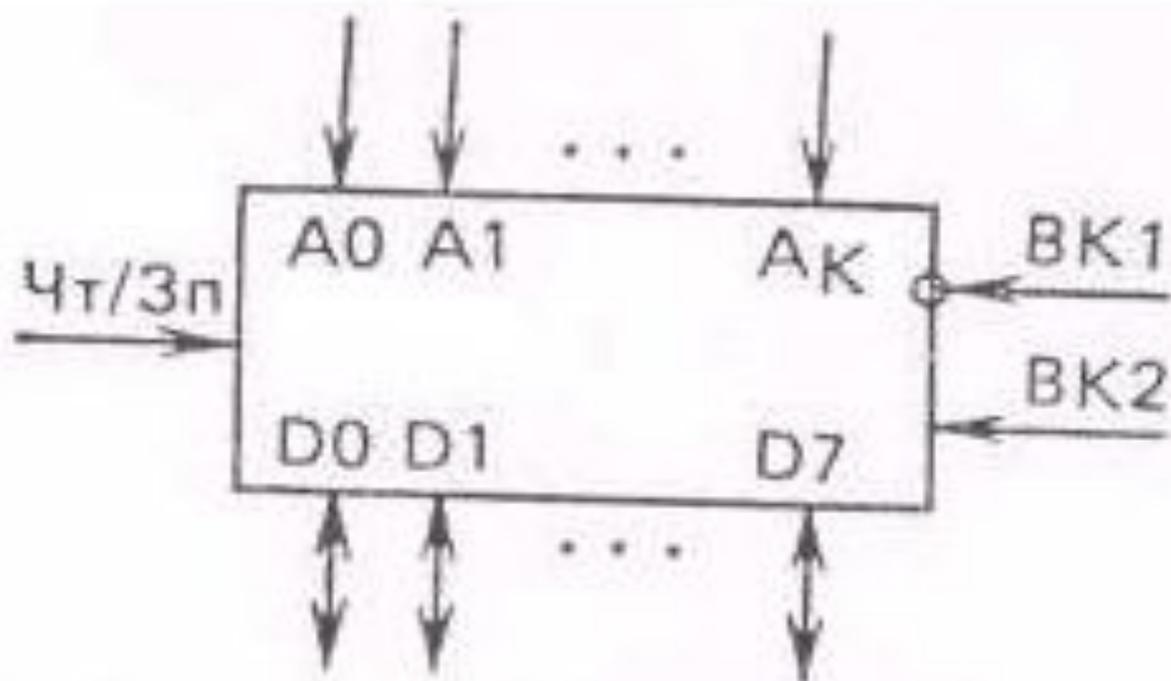
во-вторых, предусмотреть схему адресного дешифратора, который срабатывает при обращении процессора к схеме.

Положение адреса в адресном пространстве микроЭВМ можно выбрать в любой свободной области, т. е.

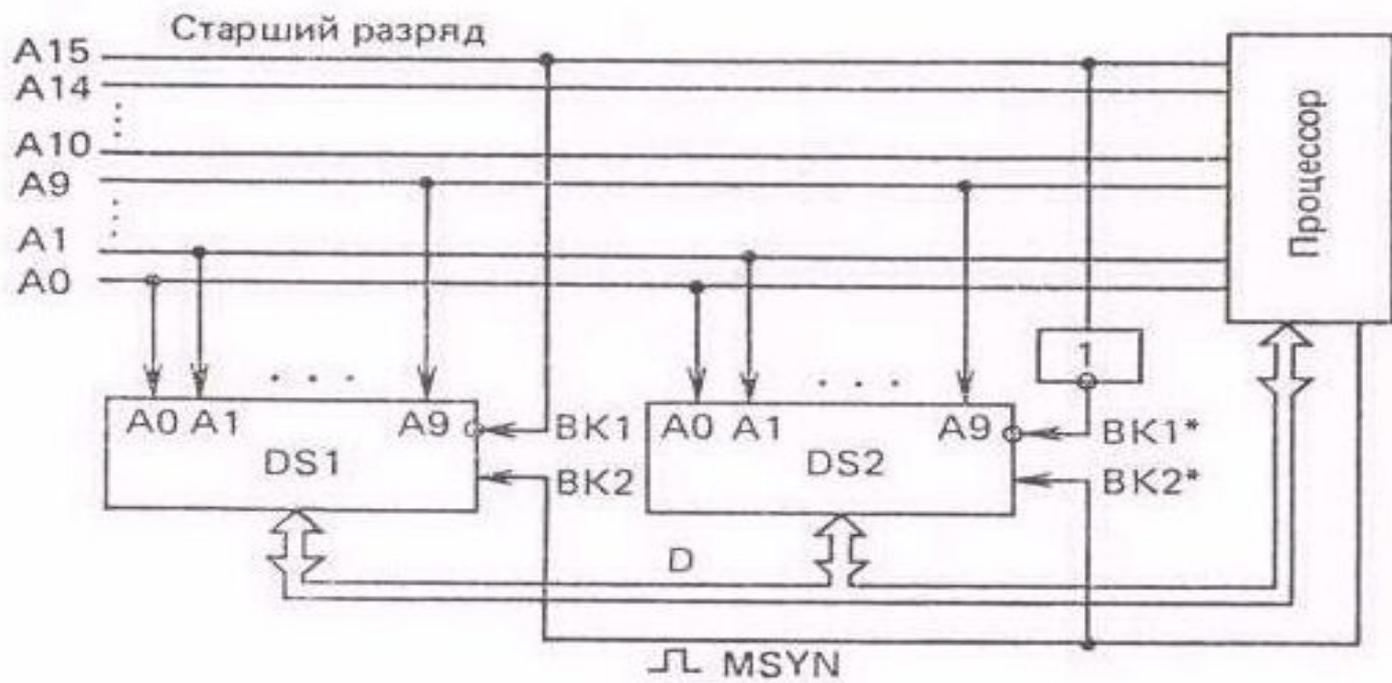
либо в оставшейся незанятой части зоны E000—FFFF, либо в области 6000—BFFF.

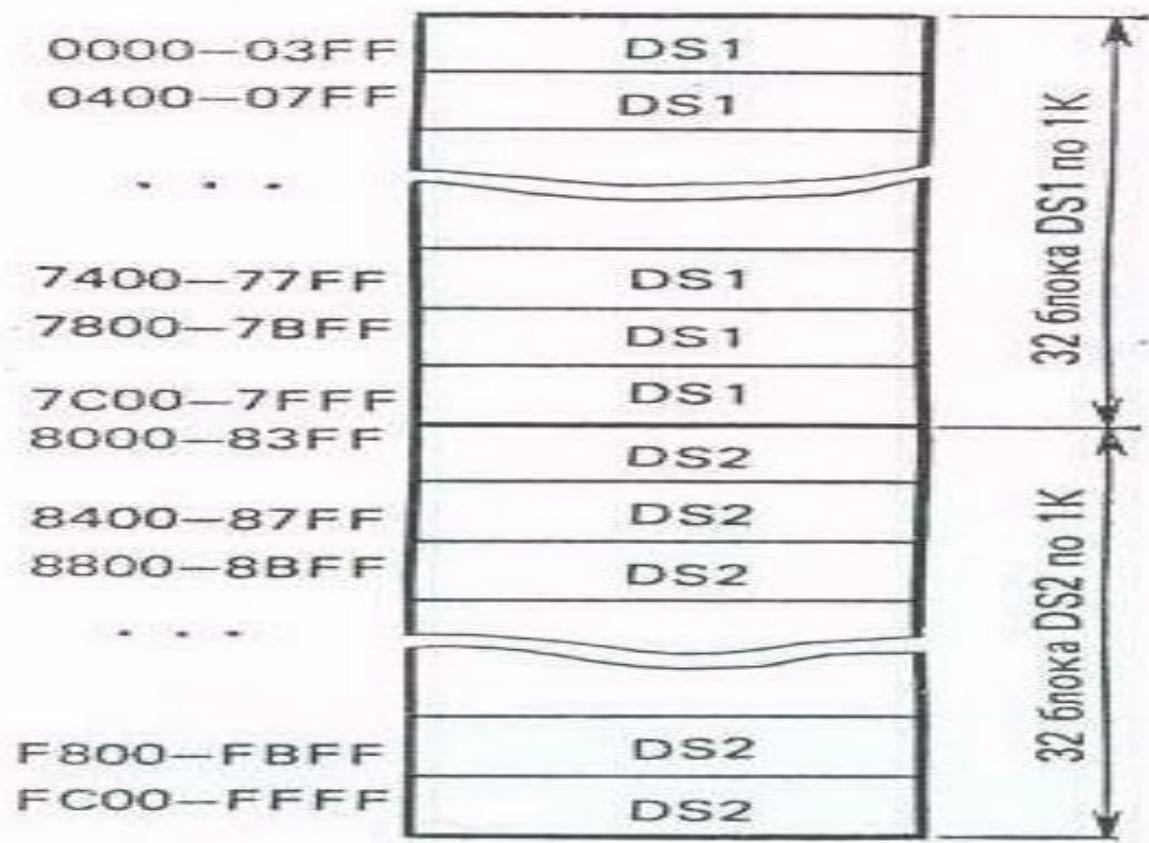
Остановимся, например, на последней: 6000—BFFF.

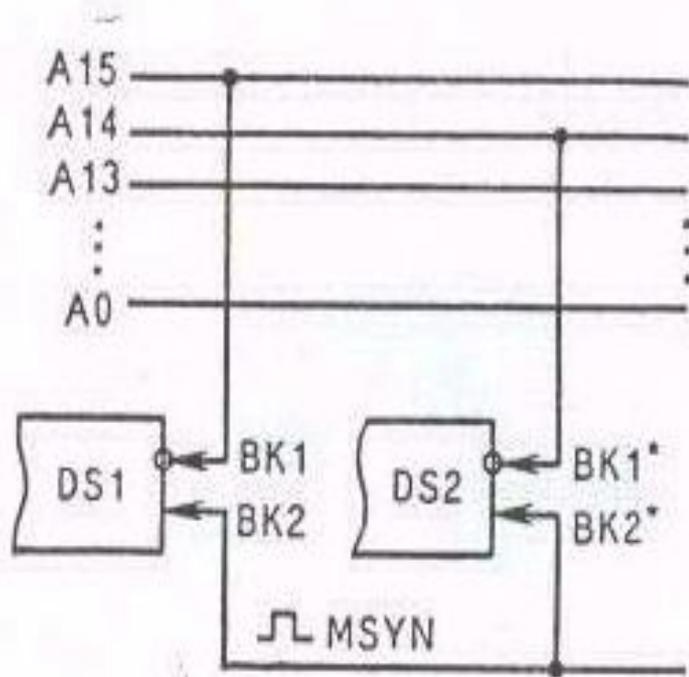
Структура дешифратора зависит от используемой элементной базы и, что особенно важно, от выбранного метода дешифрации



- **Принцип частичной дешифрации**
- Для правильной работы такой микроЭВМ необходимо, чтобы информация не выдавалась в шину данных одновременно из микросхем ОЗУ DS1 и DS2. Это условие выполняется, так как сигналы BK1 и BK1* никогда не принимают одновременно нулевых значений. При $A_{15}=0$ работает микросхема DS1, а при $A_{15}=1$ —микросхема DS2 (принята положительная логика).
- Линии A_0 — A_9 адресной шины определяют адрес ячейки памяти внутри выбранной для обмена микросхемы DS1 или DS2. Линии A_{10} — A_{14} не используются. Линия чтение—запись не показана, как и другие несущественные для данного примера линии.
- Младшие десять разрядов определяют положение ячейки в одной из зон DS1 или DS2
- . Разряды A_{10} — A_{15} определяют положение блока в адресном пространстве.







a)

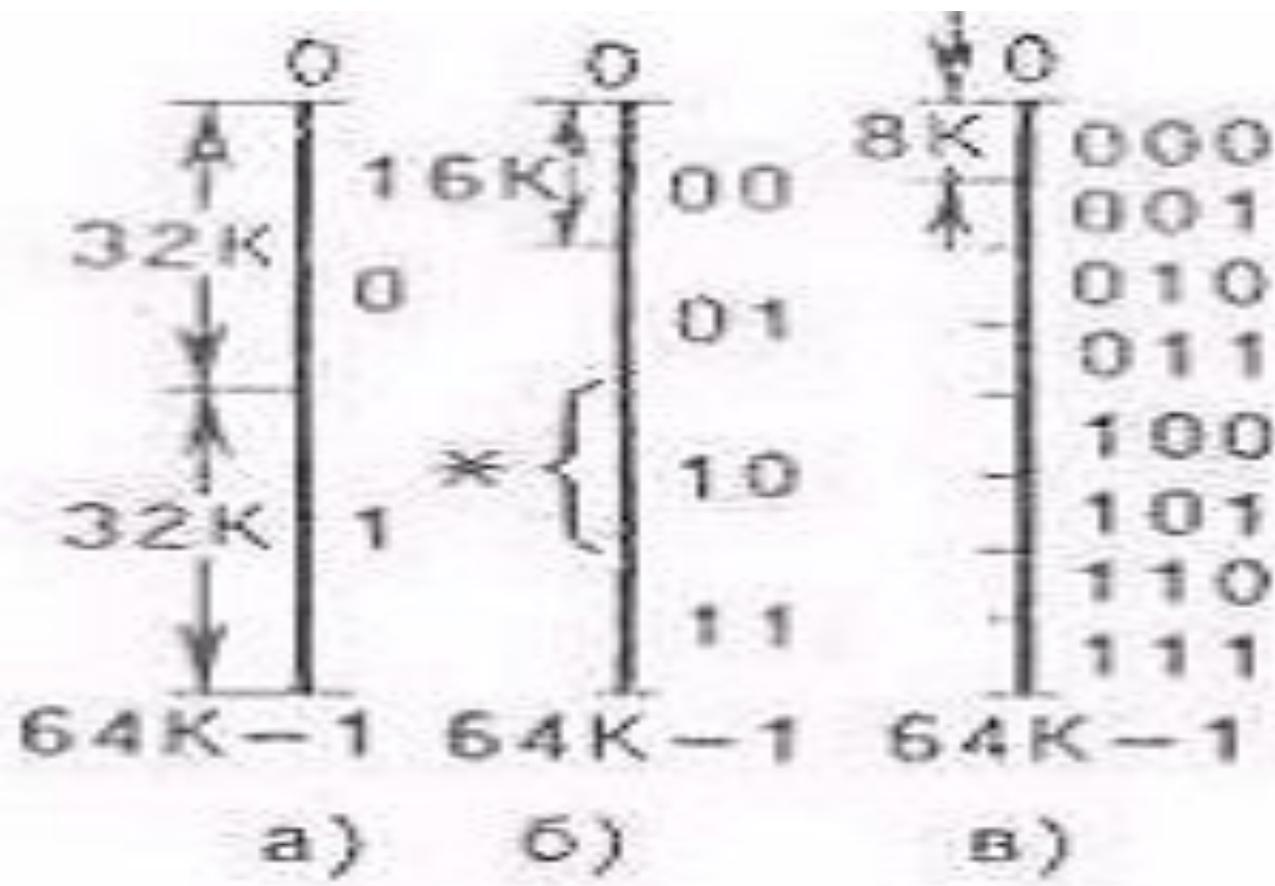


б)

- Если адресная шина содержит :
- три сигнальные линии,
- то по ней можно передать $2^3 = 8$
- различных адресов: 000, 001, 010, 011, 100, 101, 110, 111.; (h)
- При четырех линиях число возможных состояний шины составляет $2^4 = 16$:
- 0000, 0001, ..., 1111; (h)
- при 16 линиях число возможных состояний составляет $2^{16} = 65536 = 64K$, где $K = 2^{10} = 1024$.
- 0000, 0001, 0FFFF (h)

. Методы дешифрации адресов

- Старший двоичный разряд адреса делит адресное пространство на две равные части
- два старших разряда делят его на четыре равные части(
- три старших разряда—на восемь равных частей.
- Шестнадцать разрядов адреса делят адресное пространство емкостью 64К на 64К частей по одной ячейке
- .



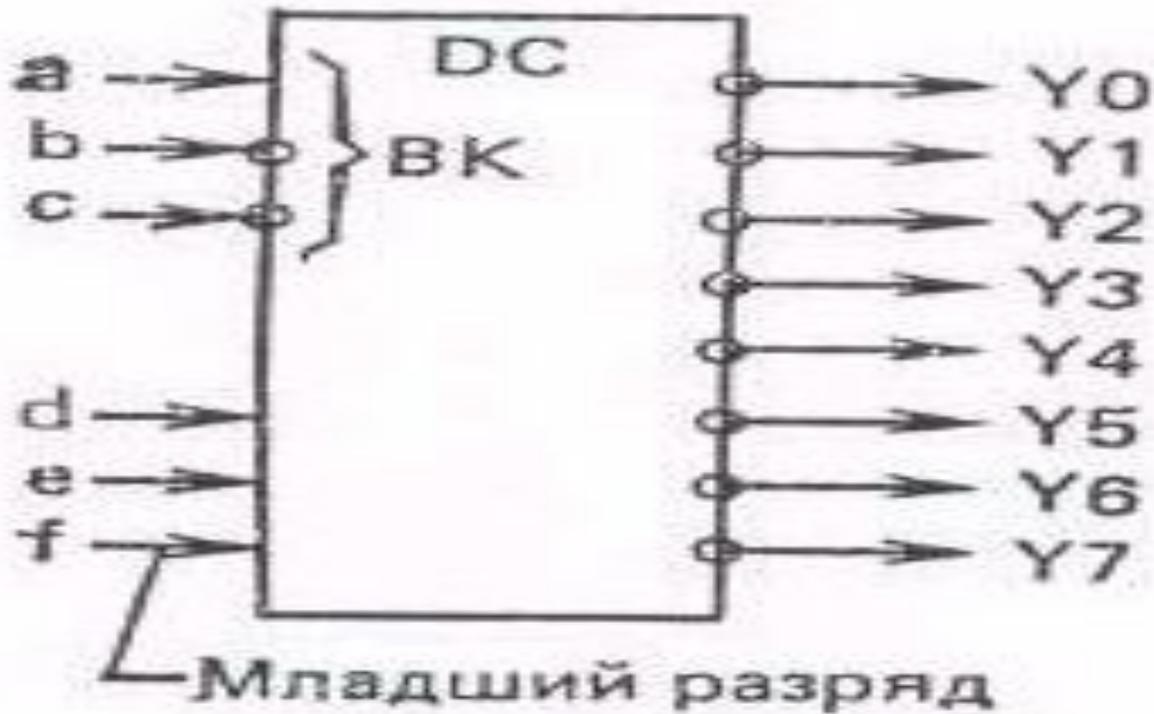
- При 16-ти разрядной шине адреса
- адресное пространство при Значение линий:
- **A15=0** с 0000-7FFFh 0 -32K
- **A15=1** 8000-0FFFFh 33 K– 64K

- A15 A14
- **0** **0** 0000-3FFFh 0-16K
- **0** **1** 4000-7FFFh 17K-32K
- **1** **0** 8000-0BFFFh 33K-48K
- **1** **1** C000-0FFFFh 49K-64K

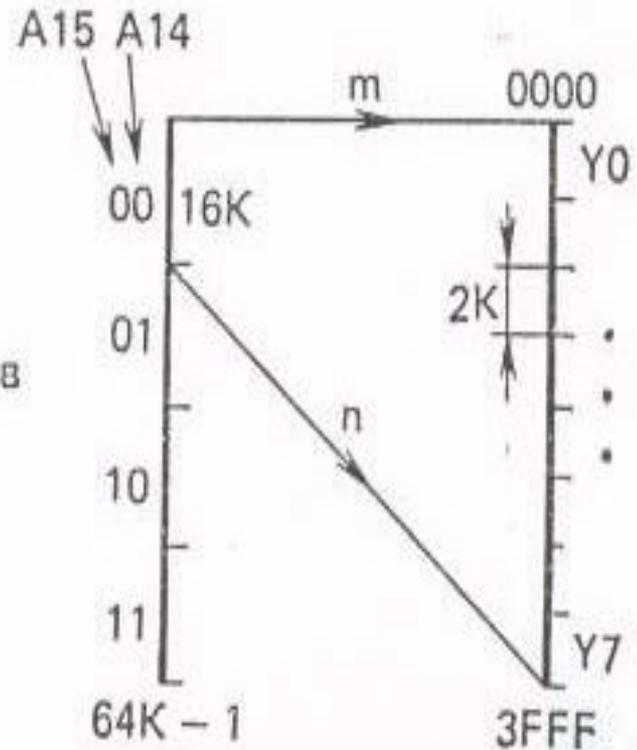
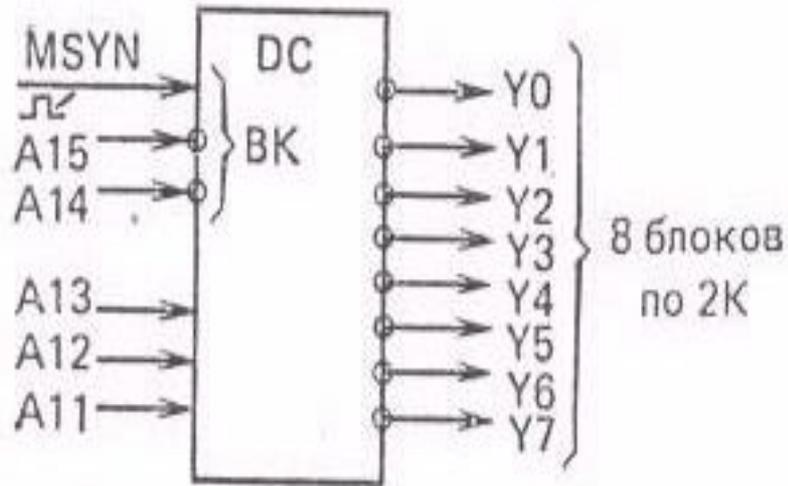
Таблица адресов

- 0000-03FFh 1K
- 0400-07FFh 1K
- 0800-0BFFh 1K
- 0C00-0FFFh 1K
- 1000-13FFh 1K
- 1400-17FFh 1K
- 1800-1BFFh 1K
- 1C00-1FFFh 1K
- 0000-07FFh 2K
- 0000-0FFFh 4K
- 0000h-1FFFh 8K
- 0000-3FFFh 16K
- 0000-7FFFh 32K
- 0000-0BFFFh 48K
- 0000-0FFFFh 64G

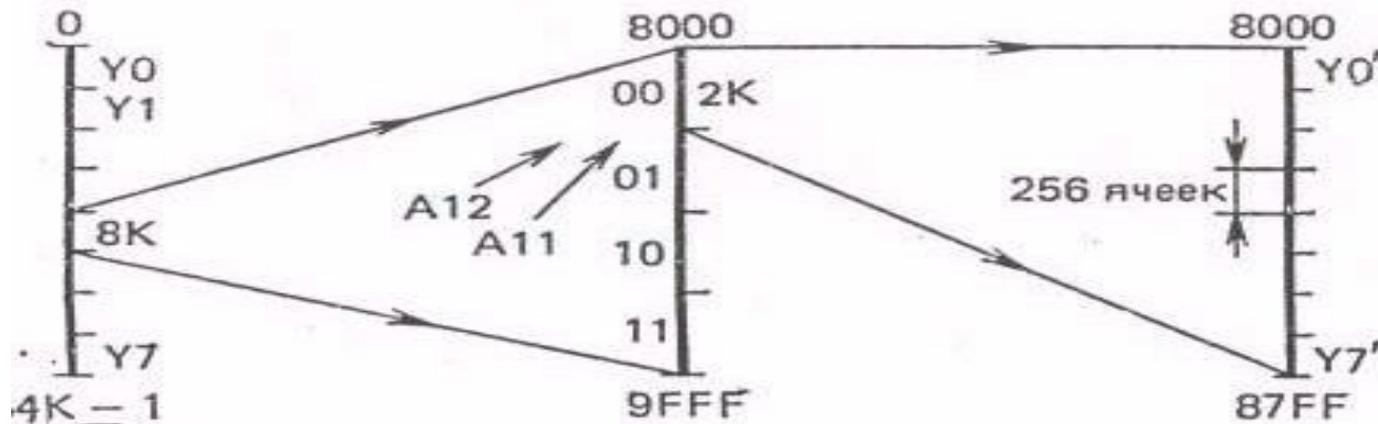
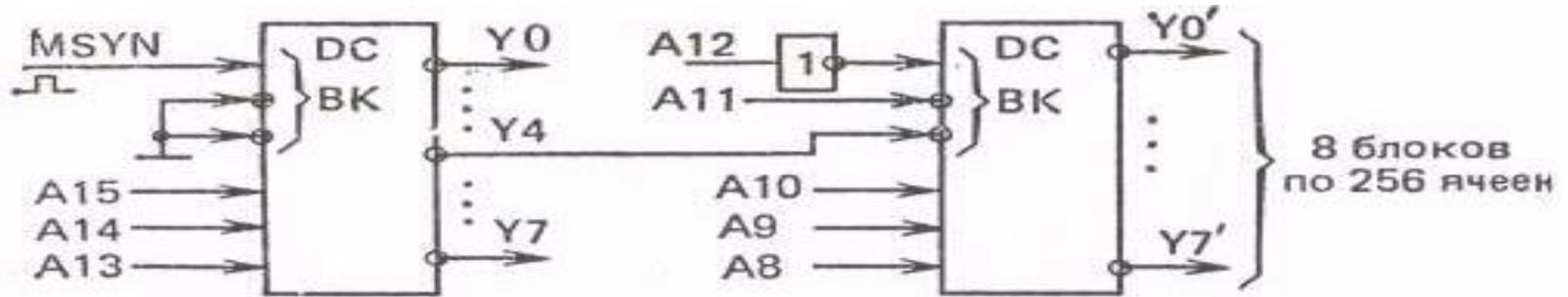
Схемы адресных дешифраторов



Выделение восьми блоков по 2К ячеек



выделять восемь блоков по 256 ячеек



ПЗУ в качестве адресного дешифратора

- Пусть требуется выделить зоны адресного пространства для размещения в них адресов следующих устройств, каждое из которых представляет собой одну микросхему:
 - а) ПЗУ1 зону F000—FFFF, 4К ячеек;
 - б) ПЗУ2 зону E000—EFFF, 4К ячеек;
 - в) ОЗУ1 зону A000—A7FF, 2К ячеек;
 - г) УВВ зону 8000—87FF, 2К ячеек;
 - д) ОЗУ2 зону 0000—3FFF, 16К ячеек.

решение

- наименьший блок имеет размер 2К ячеек, то разрешающая способность дешифратора должна обеспечивать деление адресного пространства с точностью до зон размером 2К ячеек.
- Анализируя **пять старших разрядов(A15-A11)** адреса, получаем необходимую точность, поскольку они делят все адресное пространство объемом 64К ячеек на **32 части по 2К ячеек**, что и требуется.

дешифратор

- Выбираем за основу ПЗУ с пятью адресными входами, имеющее структуру 32x8 бит
- Выходы А—Д этого ПЗУ подключаем к инверсным входам выбора кристалла соответствующих микросхем

. Микросхема ПЗУ

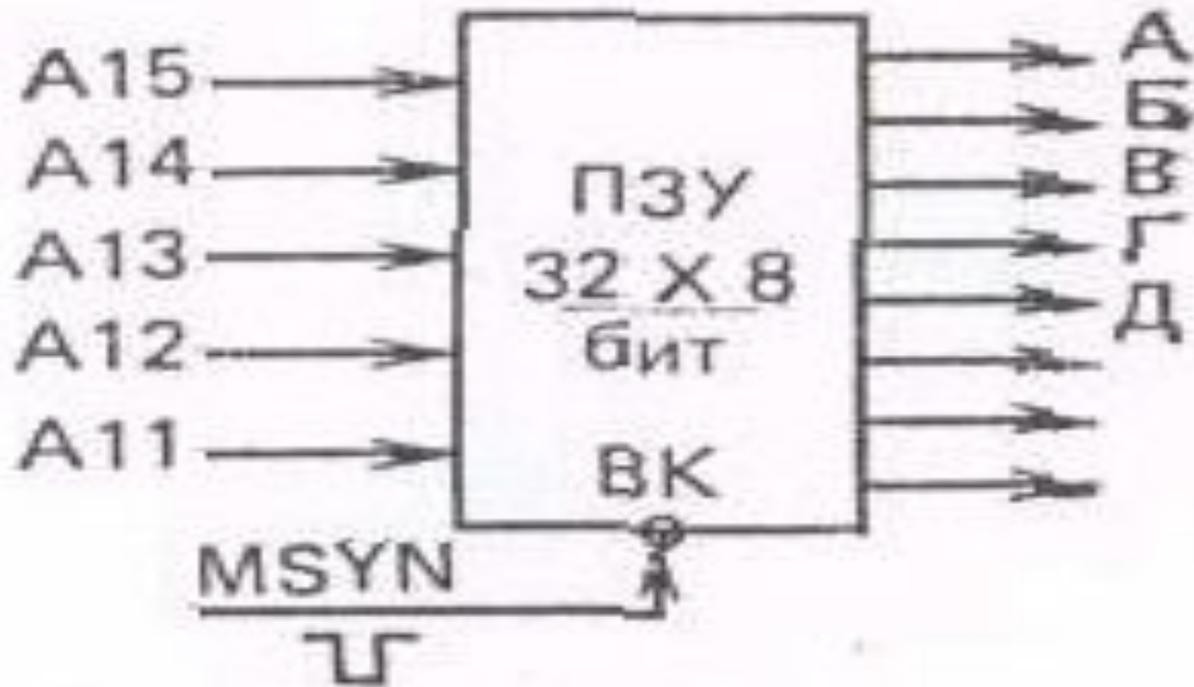


таблица кодировки ПЗУ,

Диапазон адресов	Входы					Выходы				
	A15	A14	A13	A12	A11	А	Б	В	Г	Д
0000— 07FF	0	0	0	0	0	1	1	1	1	0
0800—0FFF	0	0	0	0	1	1	1	1	1	0
1000— 17FF	0	0	0	1	0	1	1	1	1	0
1800— 1FFF	0	0	0	1	1	1	1	1	1	0
2000— 27FF	0	0	1	0	0	1	1	1	1	0
2800— 2FFF	0	0	1	0	1	1	1	1	1	0
3000— 37FF	0	0	1	1	0	1	1	1	1	0
3800— 3FFF	0	0	1	1	1	1	1	1	1	0
4000— 47FF	0	1	0	0	0	1	1	1	1	1
..... E800— EFFF	1	1	1	0	1	1	0	1	1	1
F000— F7FF	1	1	1	1	0	0	1	1	1	1
F800— FFFF	1	1	1	1	1	0	1	1	1	1