

ТРИГГЕРЫ



ОСНОВНЫЕ ТЕМЫ ЛЕКЦИИ

- ТРИГГЕРЫ : R-S-, D-
- ОДНОТАКТНЫЕ и ДВУХТАКТНЫЕ ТРИГГЕРЫ
- ТРИГГЕРЫ : J-K-, T-

ТРИГГЕРЫ

С точки зрения общей электроники **ТРИГГЕР** - это **УСИЛИТЕЛЬ ПОСТОЯННОГО ТОКА** с глубокой **положительной** обратной связью. Если в цепь положительной обратной связи усилителя включены **конденсаторы** или **трансформаторы**, то такой усилитель превращается в **генератор** (мультивибратор или блокинг-генератор).

ТРИГГЕРЫ отличаются от **ЛКС** тем, что кроме внешних входных сигналов они имеют **внутренние** «входные сигналы», обусловленные наличием **цепей обратной связи**. При отсутствии внешних входных сигналов выходные сигналы триггера определяются только сигналами в цепях обратной связи, которые можно отождествлять с внутренним состоянием схемы.

Простейший **усилитель постоянного тока** с положи-тельной обратной связью (**триггер**), можно выполнить на логических элементах «**И-НЕ**»,

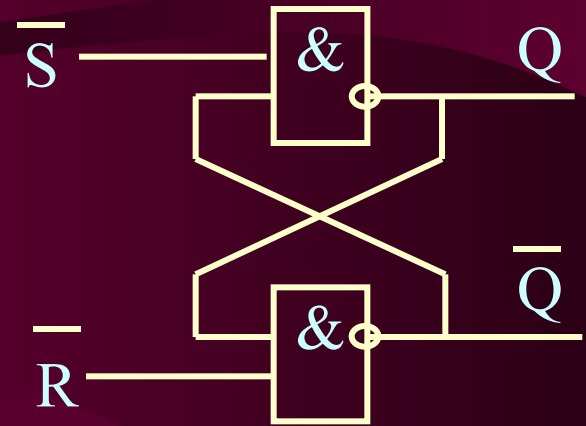
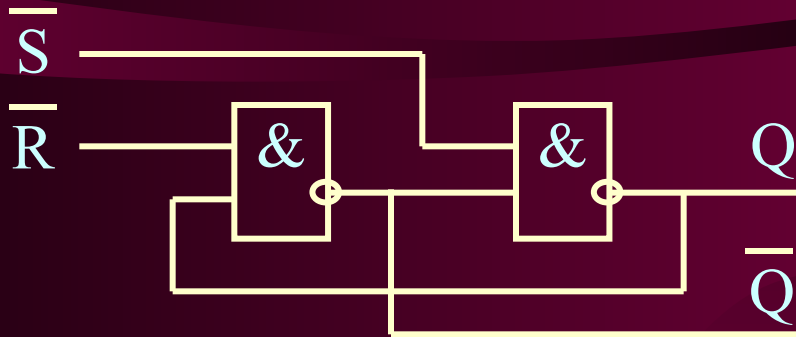
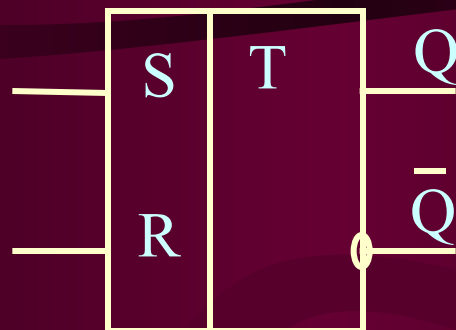
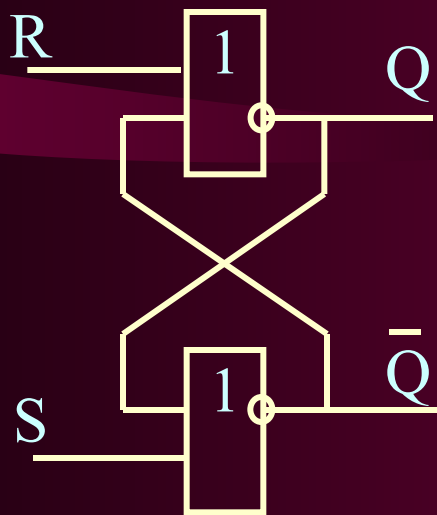


Таблица состояний $\sim R \sim S$ -триггера

$\sim S$	$\sim R$	Q	$\sim Q$	Состояние
0	0	1	1	Разорванные ОС
0	1	1	0	Установка «1»
1	0	0	1	Сброс в «0»
1	1	Q^-	$\sim Q^-$	Хранение

Знак « $\sim$ » (тильда) обозначает инверсию логической переменной при записи в одну строку.

Обозначение Q^- указывает на то, что сигнал Q остался таким же, каким он был **раньше**, до изменения входных сигналов.



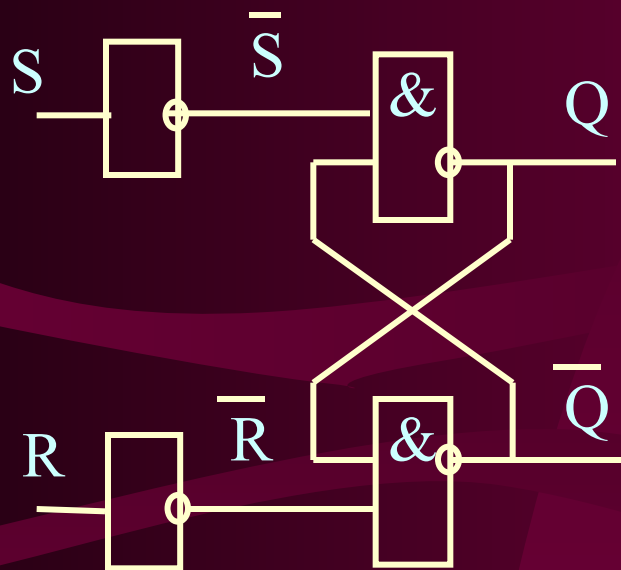
Простейший **R-S-триггер** с прямыми входными сигналами можно реализовать на элементах **"ИЛИ-НЕ"**

Наличие режима **хранения** в триггерах позволяет использовать их в запоминающих устройствах, как простейший **элемент памяти**.

S	R	Q	$\sim Q$	Состояние
0	0	Q^-	$\sim Q^-$	Хранение
0	1	0	1	Сброс в «0»
1	0	1	0	Установка «1»
1	1	0	0	Разорванные ОС

Длительность **переходных процессов** в схеме **R-S-триггера** определяется прохождением сигнала от одного из входов к самому **дальнему выходу**.

Для рассмотренных триггеров максимальная задержка распространения сигнала составляет: $2 * t_3$ (t_3 - среднее время задержки распространения сигнала в одном логическом элементе).



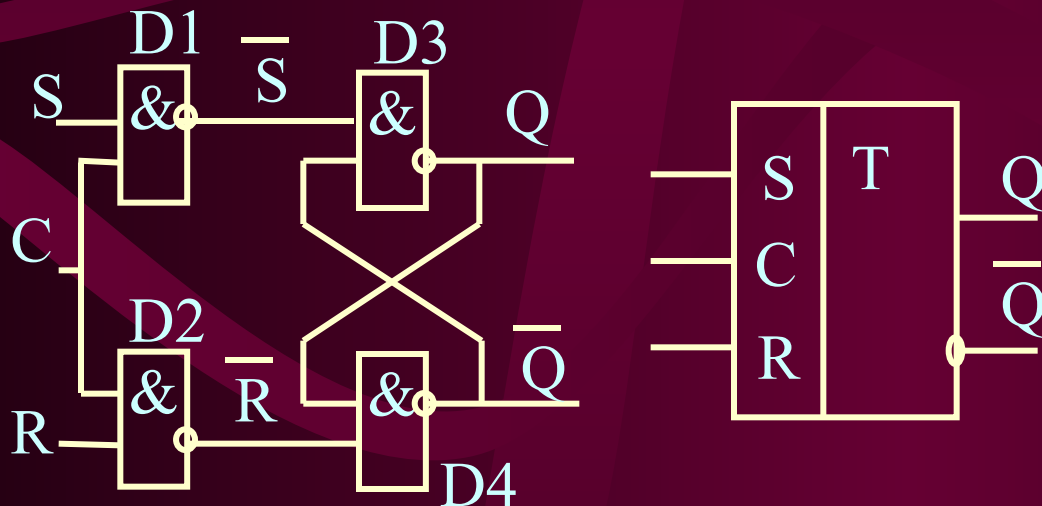
R-S-триггер с прямыми входными сигналами можно реализовать также на элементах «**И-НЕ**». Но время задержки распространения сигнала в таком триггере будет больше: $3 * t_3$.

Рассмотренные ранее триггеры называются **АСИНХРОННЫМИ**, потому что изменение состояния на выходе происходит при любой смене входных сигналов. Если при формировании входных сигналов возникают ложные короткие импульсы за счет «**эффекта гонок**» (**состязаний**), эти короткие импульсы могут вызвать **ложные срабатывания триггера**.

СИНХРОННЫЕ ТРИГГЕРЫ

Для исключения ложных срабатываний применяют **СИНХРОННЫЕ** триггеры, у которых изменение выходных состояний происходит в момент подачи специальных **СИНХРОИМПУЛЬСОВ**. Эти синхроимпульсы подаются **после** завершения переходных процессов в схемах формирования входных управляющих сигналов триггера.

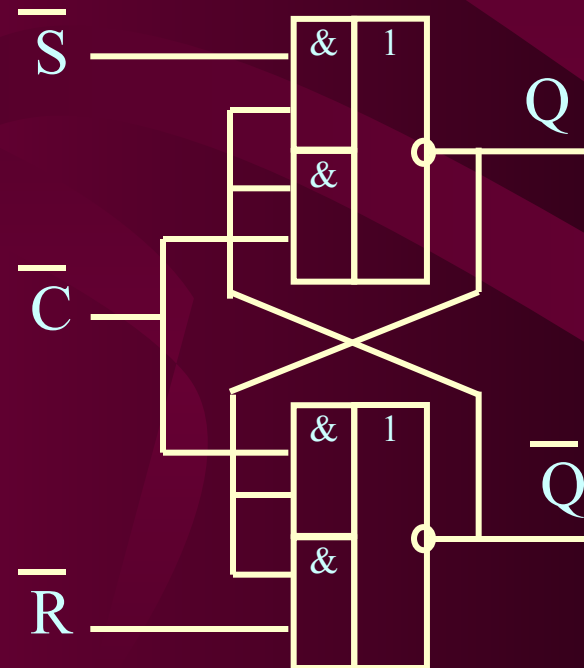
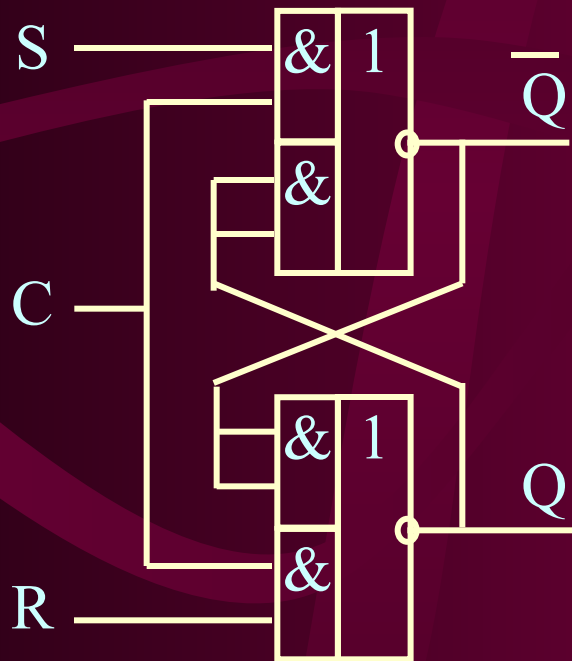
Простейший **синхронный R-S-триггер** содержит обычный **асинхронный $\sim R \sim S$ -триггер** на элементах **D3, D4** и логическую схему управления на элементах **D1, D2**.



C	S	R	Q	$\sim Q$
0	*	*	Q^-	$\sim Q^-$
1	0	0	Q^-	$\sim Q^-$
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

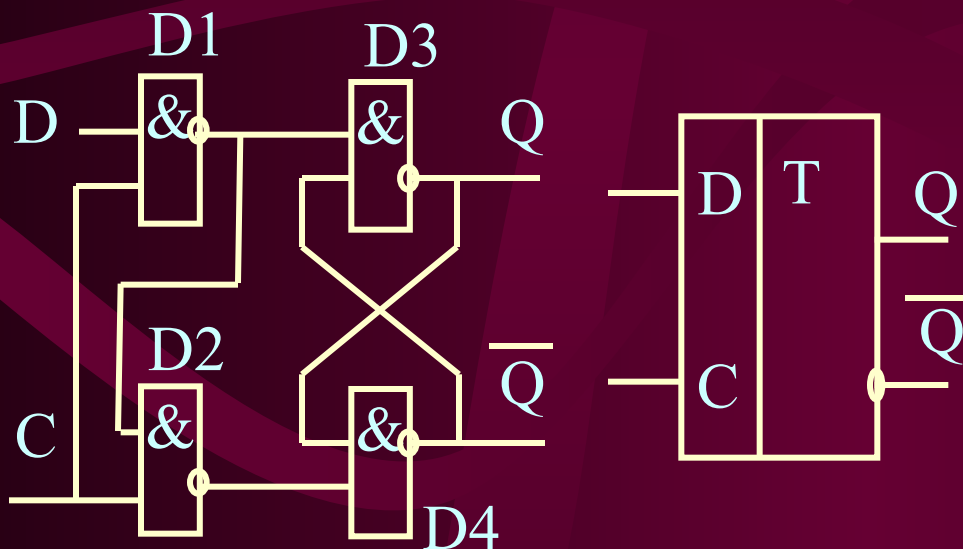
Время задержки распространения сигналов в **синхронном R-S-триггере** составляет: $3 \cdot t_3$. Это означает, что входные сигналы после изменения их логического уровня должны удерживаться неизменными не менее $3 \cdot t_3$. Если какой-либо входной сигнал изменит свой уровень ранее этого момента времени, возможны сбои в работе триггера.

Синхронный R-S-триггер можно реализовать на элементах «И-ИЛИ-НЕ» с меньшим временем задержки распространения сигналов - $2 \cdot t_3$.



D-ТРИГГЕР

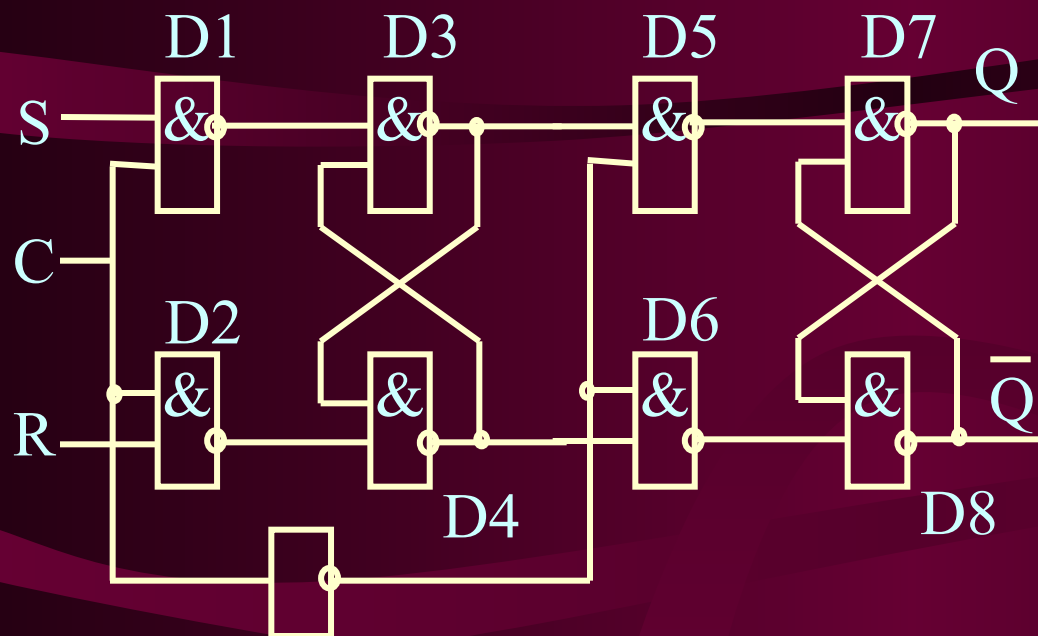
Синхронный D-ТРИГГЕР (триггер задержки) имеет один информационный вход - **D**. Этот триггер содержит обычный асинхронный **$\sim R \sim S$ -триггер** на элементах **D3, D4** и логическую схему управления на элементах **D1, D2**. Состояние выхода **Q** повторяет входной сигнал **D** в момент подачи на синхровход «**C**» логической «**1**». При нулевом сигнале на синхровходе **C** состояние выхода **Q** не изменяется (триггер находится в режиме хранения).



C	D	Q	$\sim Q$
0	*	Q^-	$\sim Q^-$
1	0	0	1
1	1	1	0

У синхронного **D-триггера** отсутствует режим **разрыва положительной обратной связи**, т.е. все комбинации входных сигналов являются допустимыми. Время задержки распространения входных сигналов составляет: $3 \cdot t_3$. Рассмотренные синхронные **R-S-** и **D-** триггеры изменяют выходное состояние под воздействием входных информационных сигналов при **активном потенциале** на синхровходе «С». Поэтому их называют «**синхронными триггерами, управляемыми потенциалом**» (или **однотактными триггерами**), в отличие от «**синхронных триггеров, управляемых фронтом**», которые называются также «**двухтактными триггерами**».

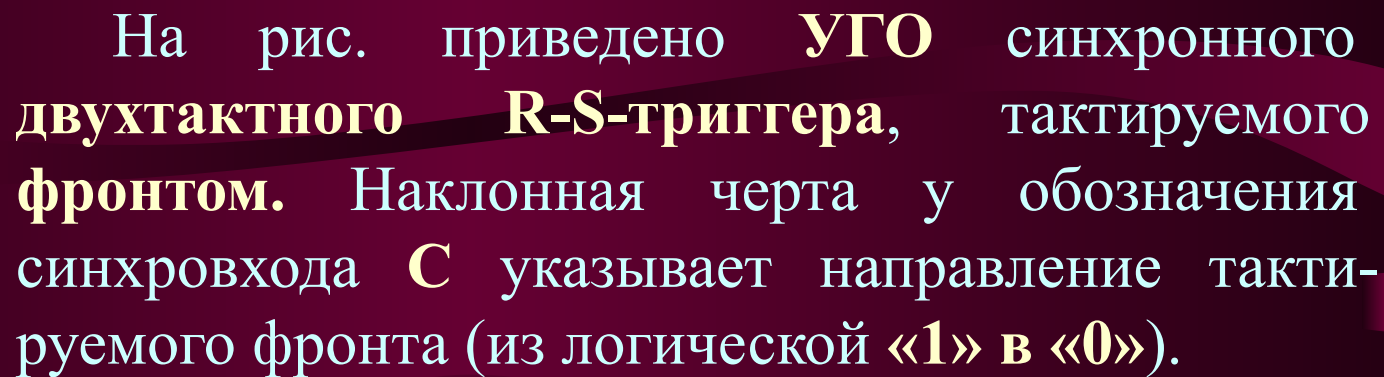
ДВУХТАКТНЫЙ ТРИГГЕР R-S-триггер состоит из последовательного соединения двух обычных **однотактных синхронных R-S-триггеров**, но управляемых противофазными синхросигналами.



C	S	R	Q	$\sim Q$
0	*	*	Q^-	$\sim Q^-$
1	*	*	Q^-	$\sim Q^-$
$\downarrow$	0	0	Q^-	$\sim Q^-$
$\downarrow$	0	1	0	1
$\downarrow$	1	0	1	0
$\downarrow$	1	1	?	?

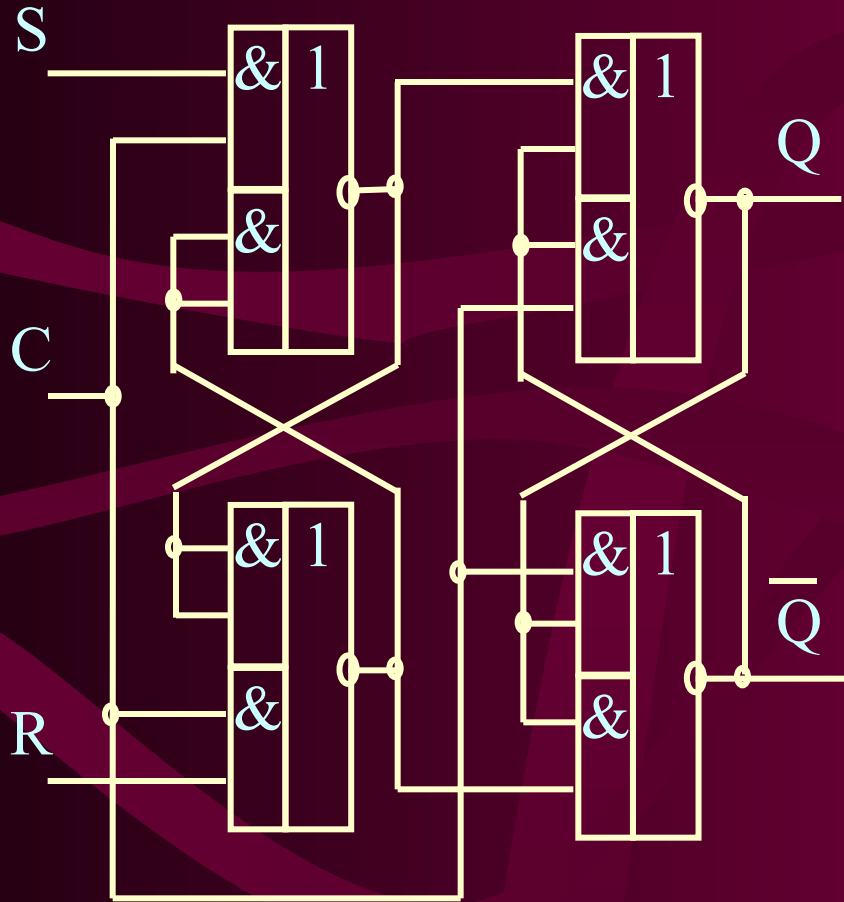
В табл. условие смены логического уровня на синхровходе с «1» на «0» обозначено стрелкой « $\downarrow$ ». Это объясняет название синхронного триггера, «**управляемого фронтом**». Такой фронт называется: «**спадающий фронт**» или «**фронт 1-0**»

При подаче двух логических «1» на входы **S** и **R** до момента спадающего фронта на синхровходе (см. последнюю строку табл.) состояние на выходах триггера (**Q**, $\sim Q$) будет зависеть от технологического разброса по быстродействию элементов схемы, т.е. для каждого конкретного триггера является неопределенным.



В литературе встречается название двухтактных триггеров, состоящих из двух однотоковых триггеров, - «триггер по схеме **основной — дополнительный**», двухтактный триггер **«хозяин-раб» (master-slave)**.

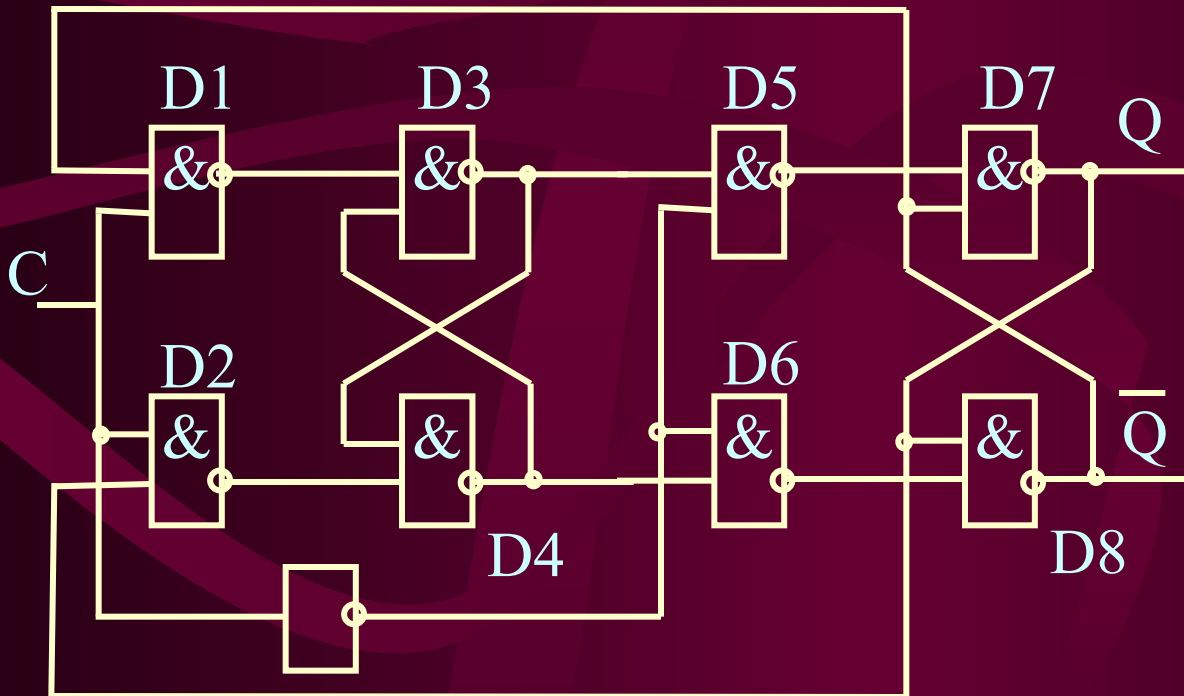
Время задержки распространения сигнала в двухтактном триггере составляет не менее: $6 \cdot t_3$.



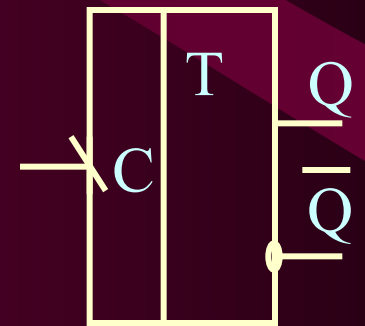
Уменьшить время задержки распространения сигнала у двухтактного триггера можно за счет применения двух быстродействующих **однотактных R-S-триггеров**. Наличие у второго триггера инверсного синхровхода «C» позволяет реализовать минимальное время задержки: $4 \cdot t_3$.

T-триггер

На основе **R-S-триггера** можно реализовать **T-триггер** (**счетный триггер**), т.е. триггер, изменяющий свое выходное состояние по **фронту** импульса на входе **C**. Для этого необходимо объединить выход триггера **Q** со входом **R**, а выход $\sim Q$ со входом **S**.



C	Q	$\sim Q$
$\downarrow$	$\sim Q^-$	Q^-



Для построения **Т-триггера** принципиально необходим **двухтактный триггер**. Первый триггер в течение одного логического уровня на входе **С** хранит инверсное состояние второго триггера. После смены логического уровня на входе **С** (т.е. по фронту сигнала) состояние первого триггера переписывается — во второй (инвертируется состояние выходного триггера).

Максимальная входная частота **Т-триггера** определяется временем задержки распространения сигнала у исходного двухтактного **Р-S-триггера**:

$$F_{max} = 1 / (6 * t_3)$$

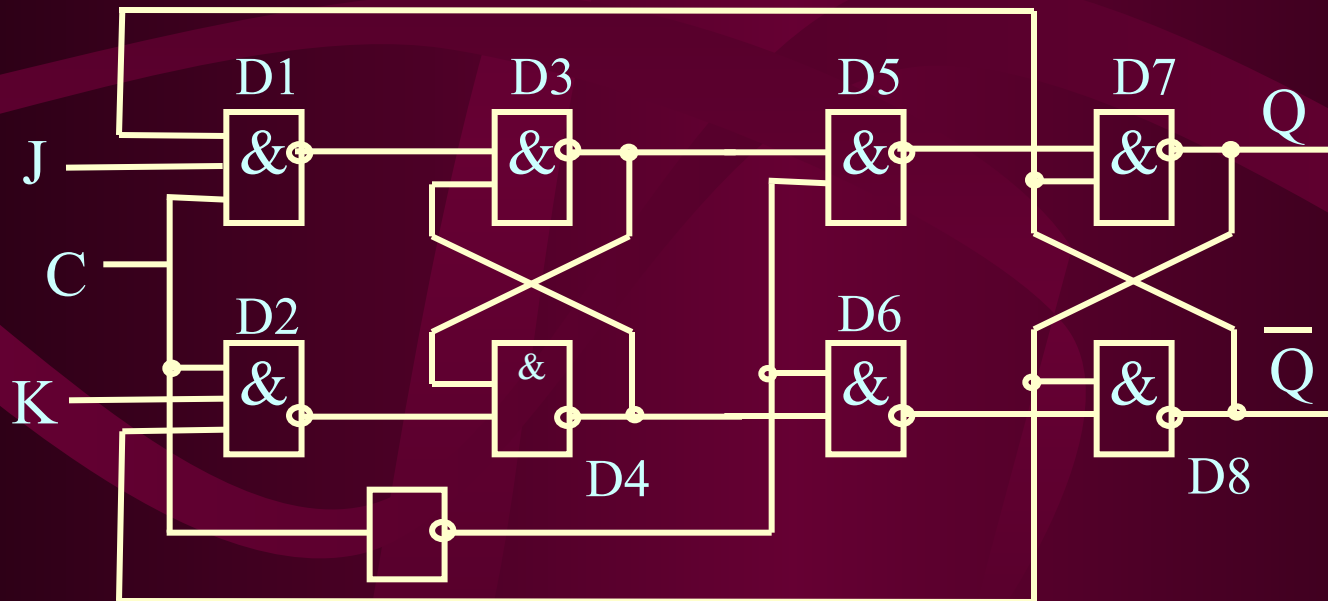
где t_3 - среднее время задержки распространения сигнала одного логического элемента.

J-K-триггер

В таблице состояний **J-K-триггера** устранена неопределенность состояния двухтактного **R-S-триггера** при подаче на входы **S** и **R** логических единиц

У **J-K-триггера** в этой ситуации инвертируется выходное состояние.

С	J	K	Q	$\sim Q$
0	*	*	Q^-	$\sim Q^-$
1	*	*	Q^-	$\sim Q^-$
↓	0	0	Q^-	$\sim Q^-$
↓	0	1	0	1
↓	1	0	1	0
↓	1	1	$\sim Q^-$	Q^-

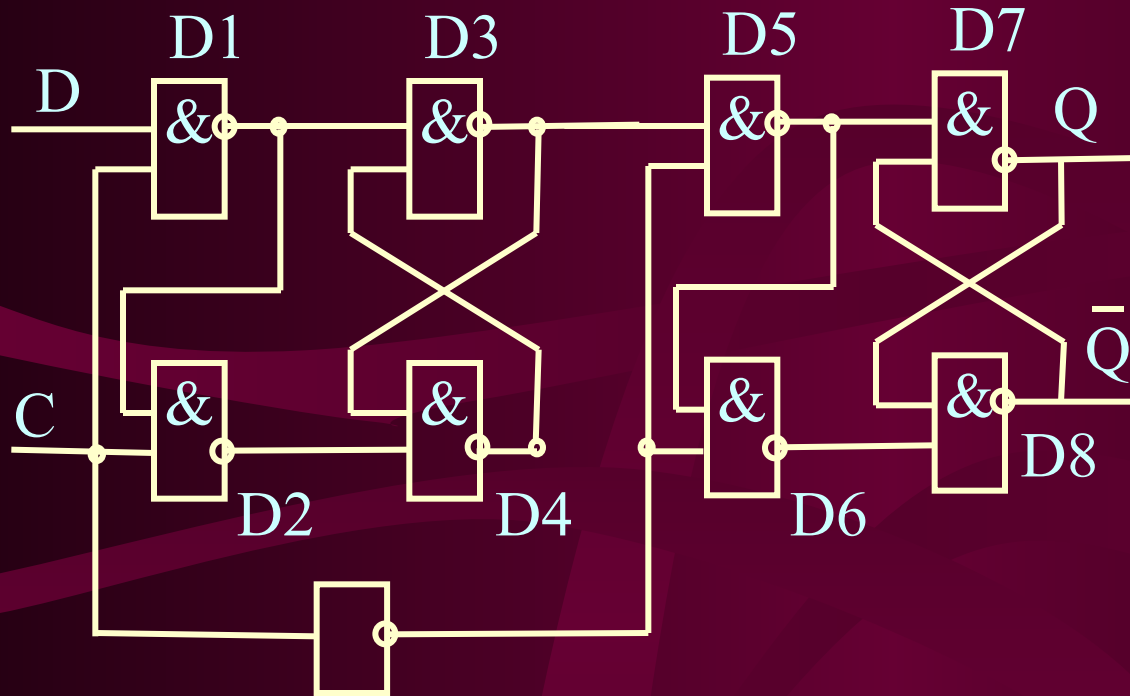


Большое сходство таблиц состояний **R-S-триггера** и **J-K-триггера** отразилось в большом сходстве их принципиальных схем

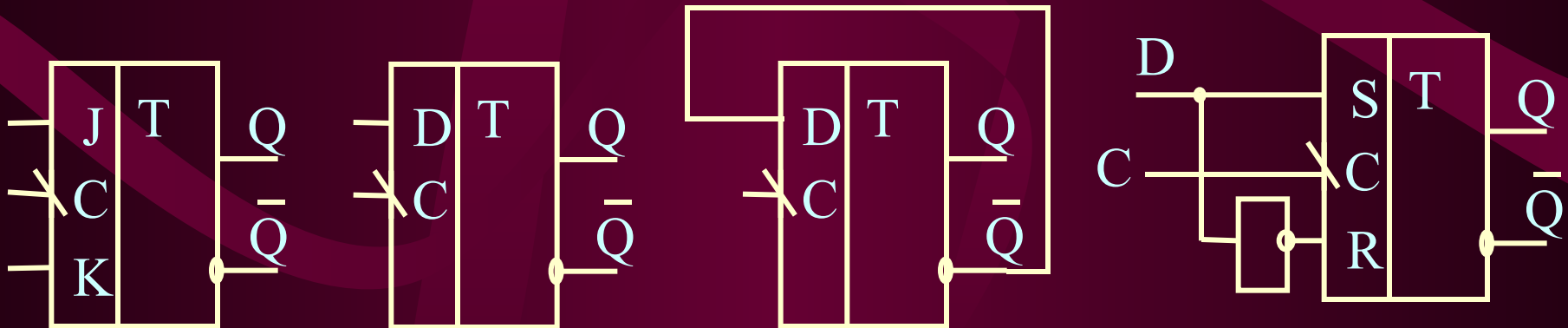
В соответствии с таблицей состояний при подаче на входы **J** и **K** логических **единиц** (последняя строка таблицы) этот триггер работает как **T-триггер**, т.е. инвертирует свое состояние по каждому фронту (в данном случае - **спадающему фронту**) сигнала на входе **C**.

J-K-триггер принципиально является **двухтактным** триггером, так как для инверсии выходного состояния необходимо **запомнить предыдущее состояние** триггера.

Двухтактный D-триггер можно реализовать на двух однотактных D-триггерах



C	D	Q	$\sim Q$
0	*	Q^-	$\sim Q^-$
1	*	Q^-	$\sim Q^-$
$\downarrow$	0	0	1
$\downarrow$	1	1	0



Вопросы для экспресс-контроля

- 1. Назовите основные состояния триггера.
- 2. Какие недостатки имеются у асинхронного триггера?
- 3. Какие преимущества у синхронного триггера перед асинхронным?
- 4. Чем отличаются триггеры, синхронизируемые потенциалом, от триггеров, синхронизируемых фронтом?
- 5. Как можно поменять направление фронта синхронизации у триггера?
- 6. Чем определяется задержка распространения сигналов в триггерах?

Вопросы для экспресс-контроля

- 7. Чем отличаются R-S- и J-K-триггеры?
- 8. Что такое **счетный триггер**? Как можно реализовать **счетный триггер** на основе R-S-, D-, J-K-триггеров?
- 9. Можно ли реализовать **счетный триггер** на основе **однотактного триггера**?
- 10. Чем определяется **максимальная частота** **счетного триггера**?

ЛЕКЦИЯ ОКОНЧЕНА

**СПАСИБО ЗА
ВНИМАНИЕ**