

ДВОИЧНЫЕ СЧЕТЧИКИ И СЧЕТЧИКИ НА ИХ ОСНОВЕ

РЕГИСТРЫ И КОЛЬЦЕВЫЕ СЧЕТЧИКИ

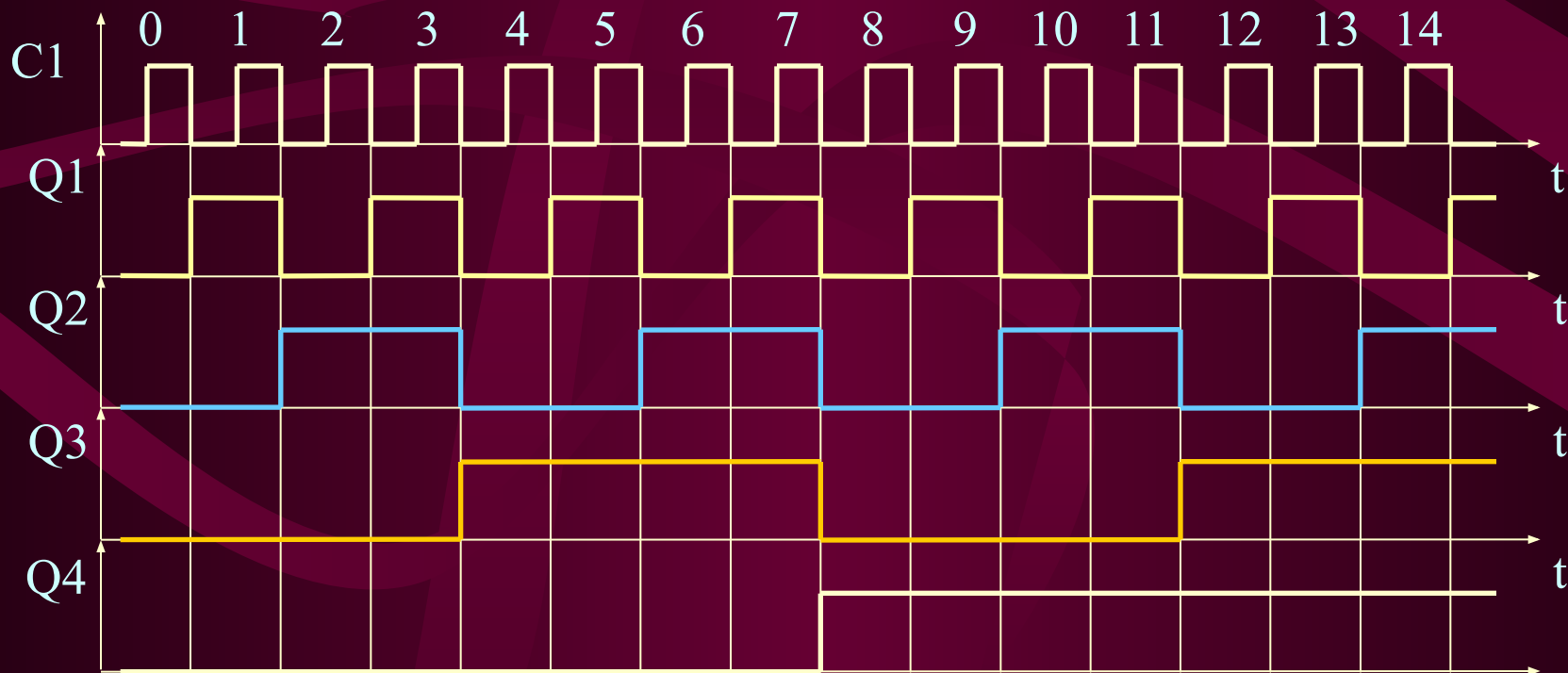
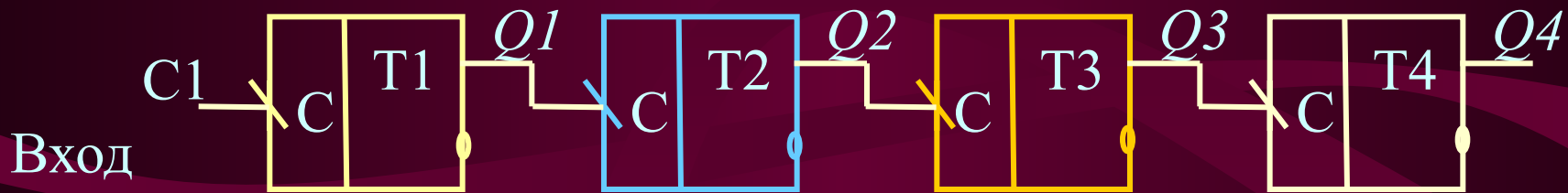


ОСНОВНЫЕ ТЕМЫ ЛЕКЦИИ

- СУММИРУЮЩИЙ СЧЕТЧИК
- ВЫЧИТАЮЩИЙ СЧЕТЧИК
- РЕВЕРСИВНЫЙ СЧЕТЧИК
- СЧЕТЧИКИ С ПРОИЗВОЛЬНЫМ КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ
- ПАРАЛЛЕЛЬНЫЕ РЕГИСТРЫ
- ПОСЛЕДОВАТЕЛЬНЫЕ РЕГИСТРЫ
- КОЛЬЦЕВЫЕ СЧЕТЧИКИ

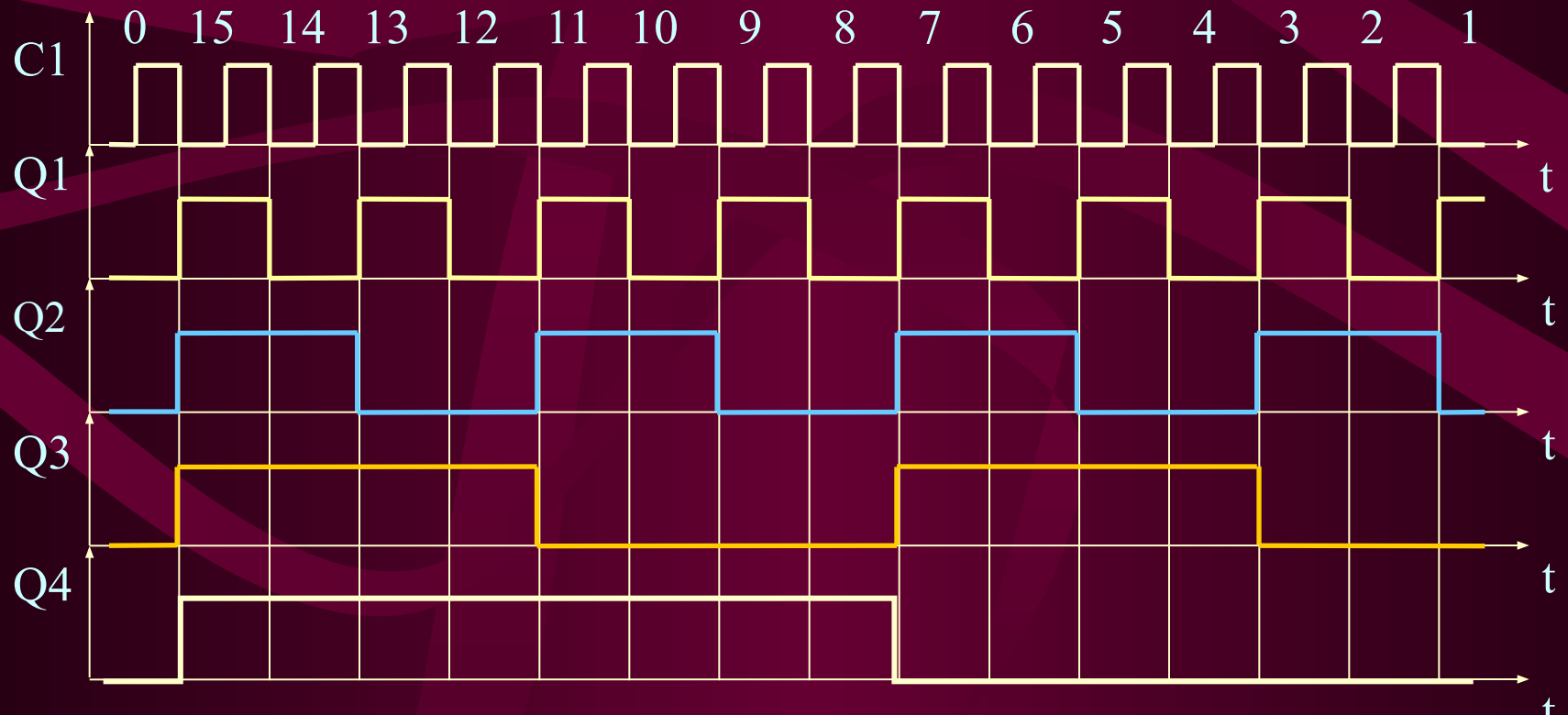
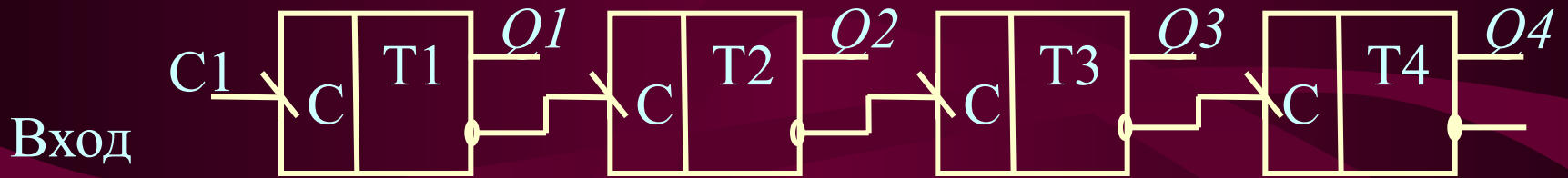
ДВОИЧНЫЕ СЧЕТЧИКИ И СЧЕТЧИКИ НА ИХ ОСНОВЕ

Простейший двоичный счетчик может быть реализован путем последовательного соединения счетных Т-триггеров



ВЫЧИТАЮЩИЙ ДВОИЧНЫЙ СЧЕТЧИК

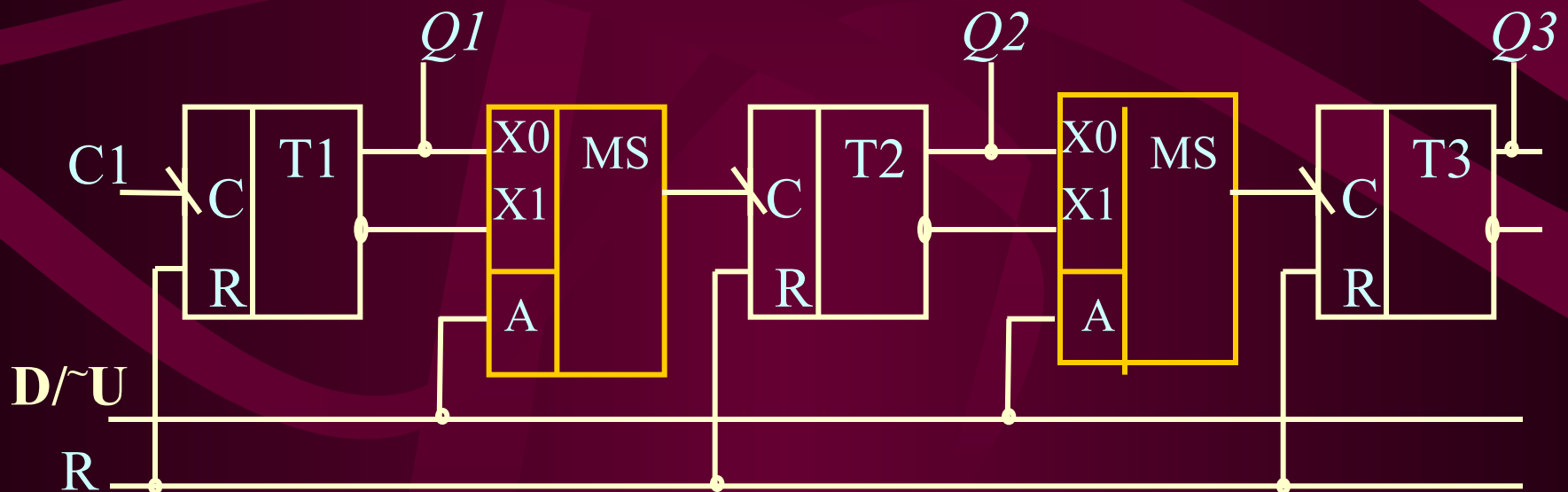
На основе **T-триггеров** можно построить **ВЫЧИТАЮЩИЙ ДВОИЧНЫЙ СЧЕТЧИК**, если на вход следующего триггера подавать сигналы с **инверсного выхода** предыдущего триггера



На рис. приведен фрагмент **РЕВЕРСИВНОГО СЧЕТЧИ-КА**. Этот счетчик может работать как **суммирующий** при подаче на управляющий вход «**D/~U**» низкого логического уровня или как **вычитающий**, если подать на управляющий вход высокий логический уровень.

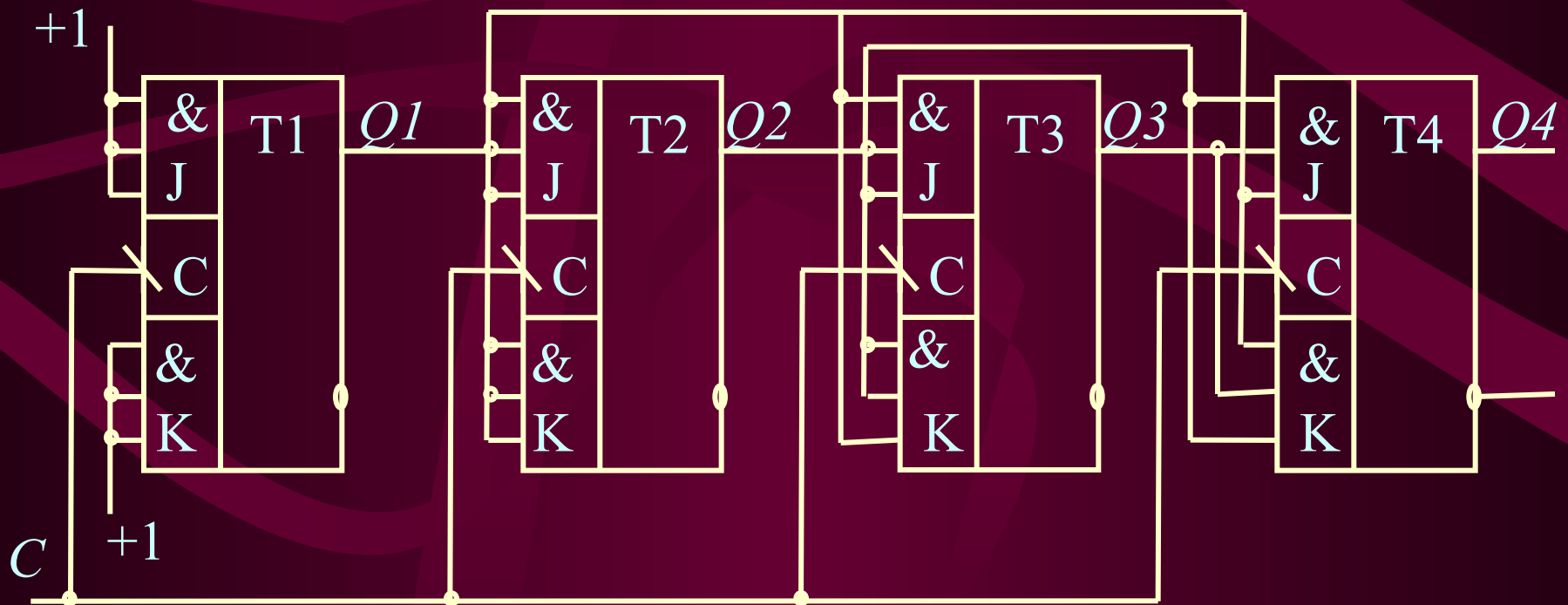
Переключение режимов реверсивного счетчика осуществляется мультиплексорами «**2 на 1**».

В большинстве случаев счетчики имеют цепи установки всех триггеров в исходное состояние (на рис. показана цепь асинхронного сброса всех триггеров в нулевое состояние).



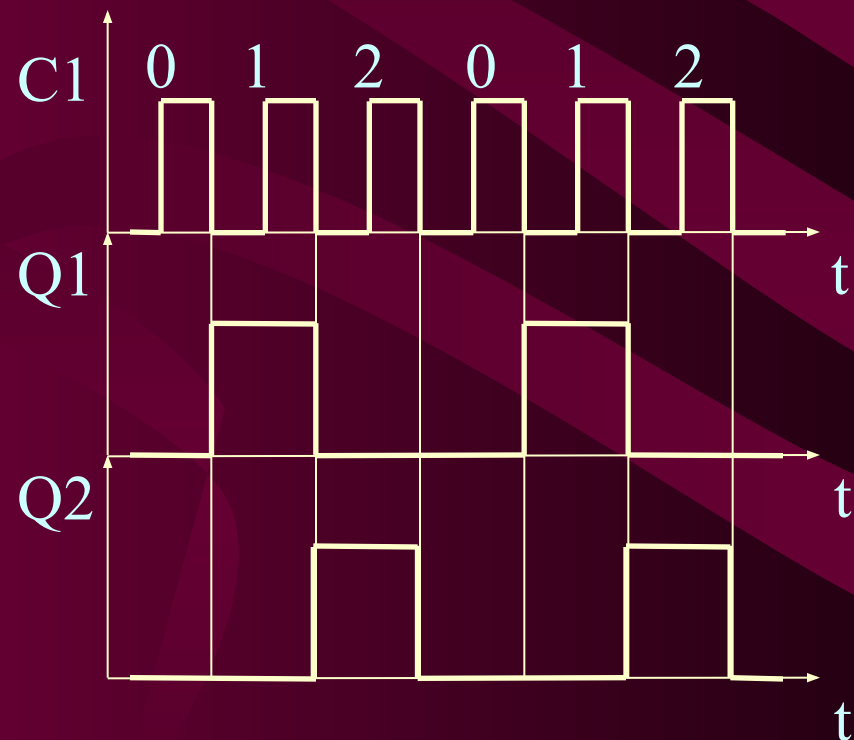
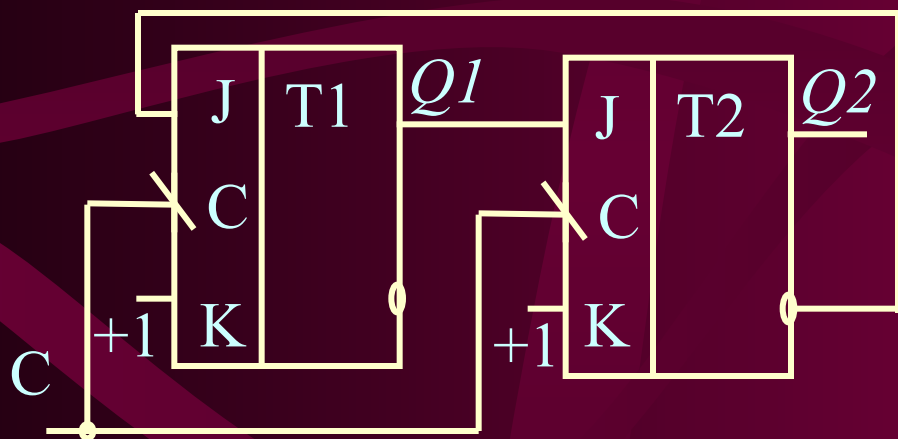
Общим недостатком всех счетчиков с **последовательным переносом** (в литературе встречается также название «**асинхронные счетчики**») являются большие и неравномерные задержки распространения входного сигнала до всех выходов триггеров. Особенно большие задержки распространения сигнала заметны на выходе последнего триггера.

Для выравнивания временных задержек всех триггеров применяют счетчики с **параллельным переносом**, которые называются также «**синхронными счетчиками**».

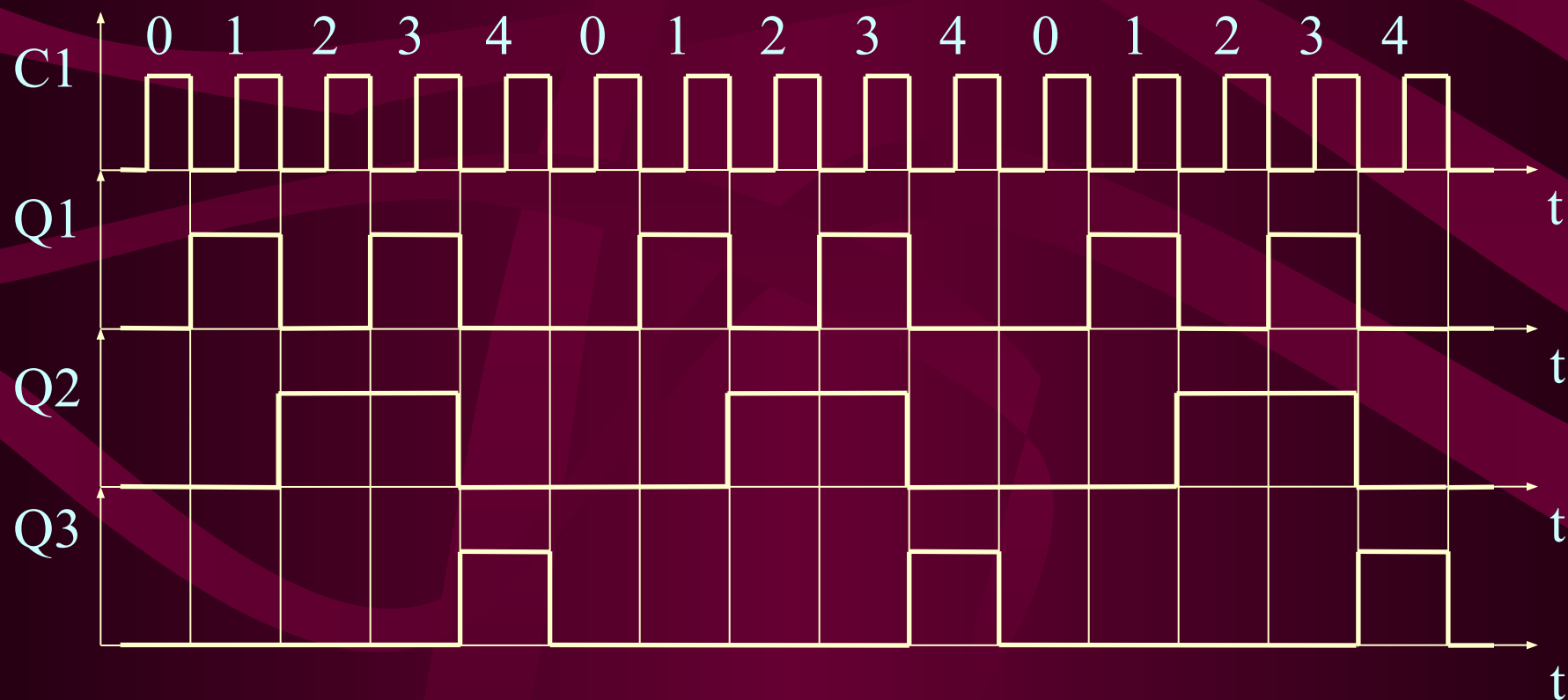
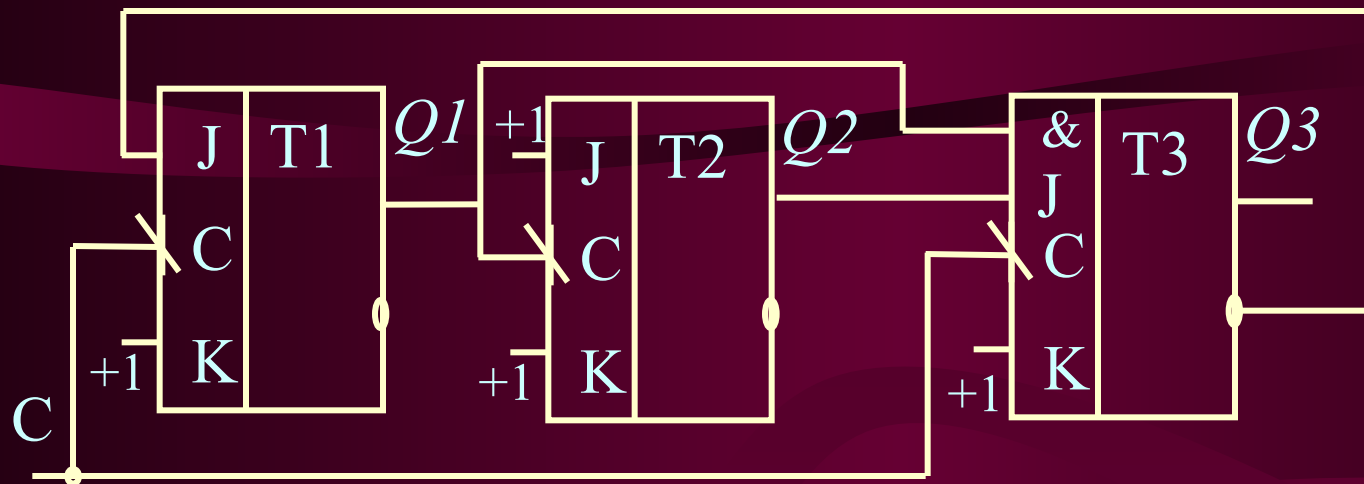


СЧЕТЧИКИ С ПРОИЗВОЛЬНЫМ КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ

На практике часто возникает потребность реализации счетчиков с коэффициентами деления, отличными от 2^n . На рис. приведена схема счетчика с коэффициентом деления $k=3$ и его временные диаграммы.



Делитель на 5



Синтез делителя на $k = 14$

□ определяем количество триггеров - n :

$$n = \lceil \log (k - 2) \rceil$$

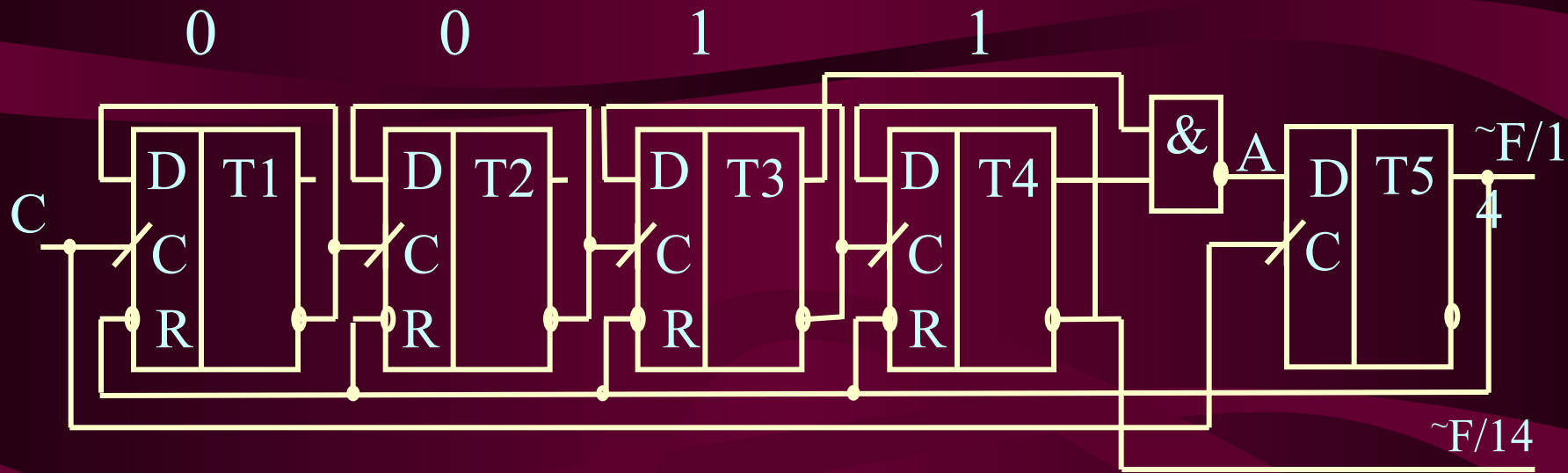
(знак $\lceil \dots \rceil$ - означает ближайшее большее целое),

$$n = \lceil \log (14 - 2) \rceil = 4$$

□ переводим в двоичный код число « $k-2$ »;

$$14 - 2 = 12_{(10)} = 1100_{(2)}$$

□ в **счетчике** с количеством триггеров n выделяем разряды, которым в двоичном коде числа « $k-2$ » соответствуют единицы; с выходов этих триггеров подаем сигналы на элемент **Шеффера**; выходной сигнал этого элемента является информационным для дополнительного **D-триггера**; сигнал с выхода **D-триггера** подается на входы **асинхронного сброса** всех триггеров счетчика.



Делитель реализован на **D-триггерах** типа **КР1533ТМ2**. Эти триггеры управляются восходящим фронтом «**0-1**». Над триггерами **T1..T4** приведен двоичный код числа **12** (младший разряд кода - над **первым** триггером). Выходы триггеров **T3** и **T4** подключены ко входам элемента **Шеффера**. Коды выходных логических сигналов для всех триггеров и элемента «**И-НЕ**» (точка **A**) приведены в табл.

Кодовые комбинации счетчика на 14

Код	T4	T3	T2	T1	A	T5
0	0	0	0	0	1	1
1	0	0	0	1	1	1
2	0	0	1	0	1	1
3	0	0	1	1	1	1
4	0	1	0	0	1	1
5	0	1	0	1	1	1
6	0	1	1	0	1	1
7	0	1	1	1	1	1
8	1	0	0	0	1	1
9	1	0	0	1	1	1
10	1	0	1	0	1	1
11	1	0	1	1	1	1
12	1	1	0	0	0	1
0	0	0	0	0	1	0

При всех состояниях счетчика, кроме 12-го, на выходе элемента Шеффера (точка А) формируется логическая «1», которая по восходящему фронту каждого входного импульса записывается в дополнительный триггер T5. После прихода 12-го импульса на выходе схемы «И-НЕ» устанавливается логический «0», но в триггер T5 логический «0» запишется по заднему (восходящему) фронту следующего входного импульса

После записи в триггер **T5** «нуля» устанавливаются в «0» все триггеры счетчика (**T1..T4**) по входам асинхронного сброса **R**. При этом на выходе элемента **Шеффера** формируется логическая «1», которая переписывается в триггер **T5** по окончании **следующего** входного импульса. Таким образом, счетчик поочередно перебирает все состояния от «**0001**» до «**1100**» и имеет два нулевых состояния (см. первую и последнюю строку табл.) Поэтому при реализации счетчика необходимо использовать код: «**k-2**».

Пример №2. Синтезировать четырехразрядный десятичный счетчик (см. вариант 12) на основе **J-K-триггеров**. Счетчик должен пройти все состояния : **5, 6, 7, 8, 9, A, B, C, D, E** – и вернуться в исходное состояние – **5**.

Значения прямых выход. триг.								Сигналы возбуждения триг.							
Время t				Время t + 1				T4		T3		T2		T1	
Q4	Q3	Q2	Q1	Q4	Q3	Q2	Q1	J4	K4	J3	K3	J2	K2	J1	K1
0	1	0	1	0	1	1	0	0	x	x	0	1	x	x	1
0	1	1	0	0	1	1	1	0	x	x	0	x	0	1	x
0	1	1	1	1	0	0	0	1	x	x	1	x	1	x	1
1	0	0	0	1	0	0	1	x	0	0	x	0	x	1	x
1	0	0	1	1	0	1	0	x	0	0	x	1	x	x	1
1	0	1	0	1	0	1	1	x	0	0	x	x	1	1	x
1	0	1	1	1	1	0	0	x	0	1	x	0	x	x	1
1	1	0	0	1	1	0	1	x	0	x	0	0	x	1	x
1	1	0	1	1	1	1	0	x	0	x	0	1	x	x	1
1	1	1	0	0	1	0	1	x	1	x	0	x	1	1	x

Q(t)	Q(t+1)	J	K	Условия перехода
0	0	0	x	Сброс или хранение
0	1	1	x	Инверсия или установка
1	0	x	1	Инверсия или сброс
1	1	x	0	Установка или хранение

J4

		Q2,Q1			
		00	01	11	10
Q4,Q3	00			1	
	01		0	1	0
	11	x	x	1	x
	10	x	x	x	x

K4

		Q2,Q1			
		00	01	11	10
Q4,Q3	00				
	01		x	x	x
	11	0	0	1	1
	10	0	0	0	0

J2

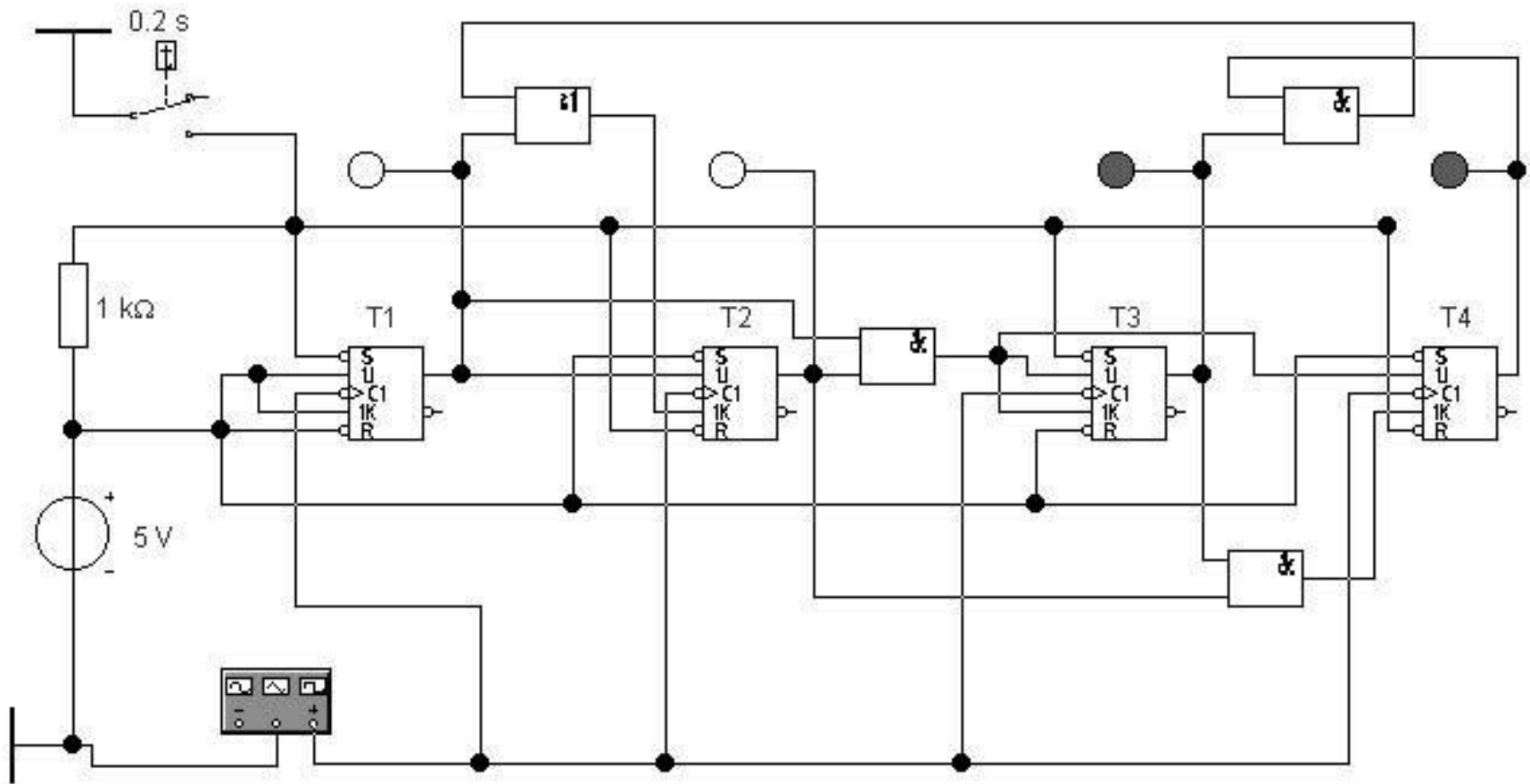
		Q2,Q1			
		00	01	11	10
Q4,Q3	00		1	1	
	01		1	x	x
	11	0	1	1	x
	10	0	1	x	x

K2

		Q2,Q1			
		00	01	11	10
Q4,Q3	00		1	1	
	01		x	1	0
	11	x	x	1	1
	10	x	x	1	0

$$J4 = Q2 \ \& \ Q1; \quad K4 = Q3 \ \& \ Q2; \quad J3 = K3 = Q2 \ \& \ Q1;$$

$$J2 = Q1; \quad K2 = Q1 \ V \ Q4 \ \& \ Q3; \quad J1 = K1 = 1.$$



J-K-триггеры имеют только по одному входу **J-** и **K-**. Логические функции для управления этими входами реализованы на отдельных элементах «**И**», «**ИЛИ**». Механический контакт на **0,2 секунды** подает активный нулевой уровень на входы асинхронной установки триггеров в исходное состояние.

ПАРАЛЛЕЛЬНЫЕ И ПОСЛЕДОВАТЕЛЬНЫЕ РЕГИСТРЫ

РЕГИСТРЫ предназначены для выполнения следующих основных микроопераций над n -разрядным кодом:

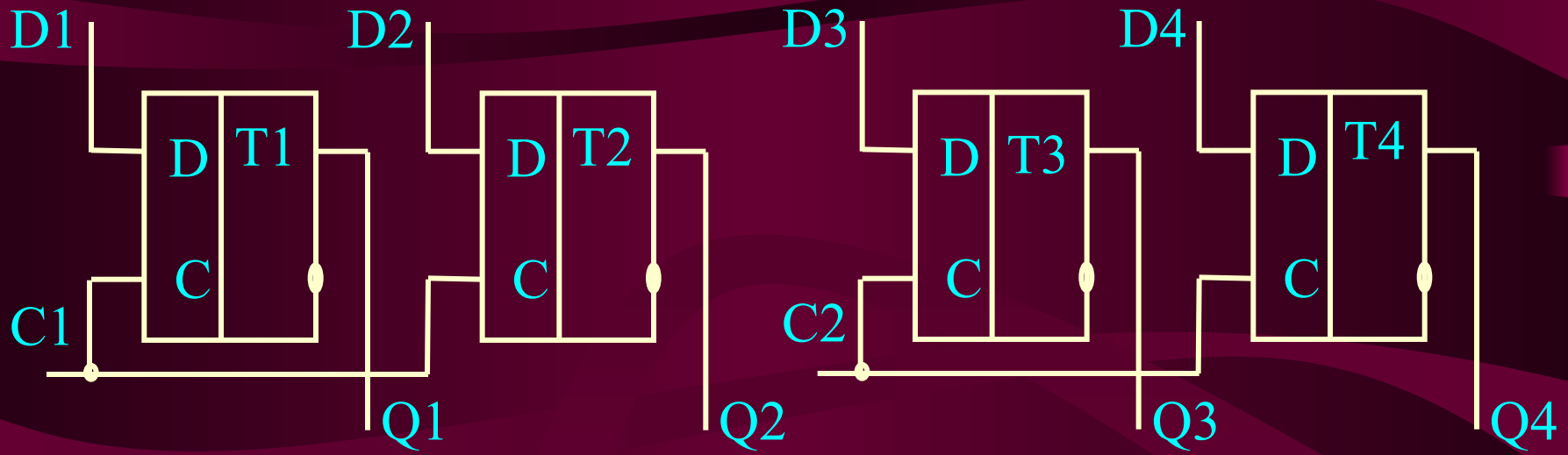
- сброс регистра в состояние «00..0» (все нули);
- установка регистра в состояние «11..1» (все единицы);
- прием и хранение в регистре кода числа;
- **выдача** числа из регистра в прямом или обратном коде;
- **сдвиг** хранимого в регистре кода на заданное число разрядов вправо или влево;
- преобразование кода из **параллельной** формы записи в **последовательную** и наоборот;

ПАРАЛЛЕЛЬНЫЕ РЕГИСТРЫ

ПАРАЛЛЕЛЬНЫЕ РЕГИСТРЫ применяются для хранения информации, представленной в виде двоичного кода. Такие регистры должны по тактовому разрешающему сигналу (это может быть короткий импульс или фронт импульса) принимать параллельный код входной информации и хранить его до прихода следующего разрешающего сигнала.

Для построения параллельных регистров наиболее удобны одноктактные или двухтактные **D-триггеры**.

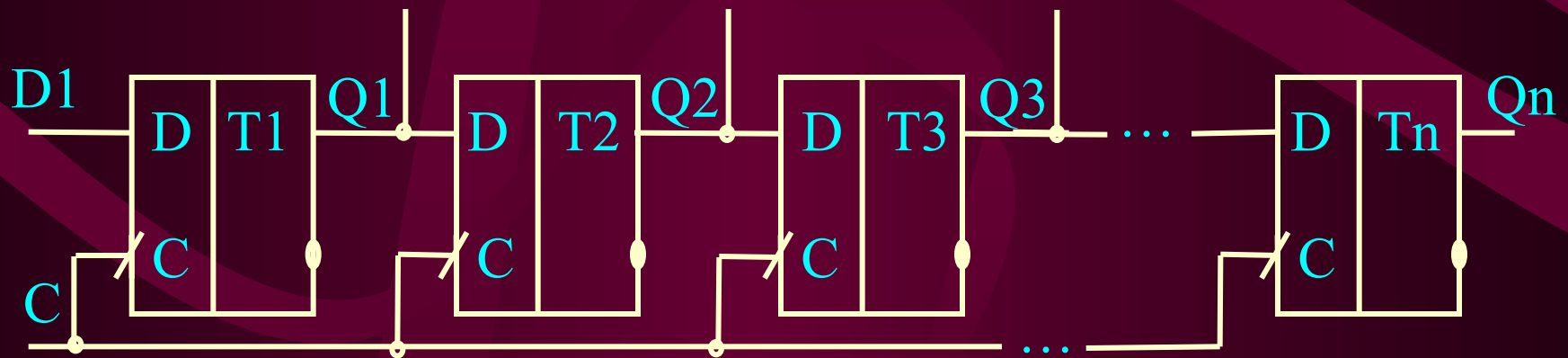
На рис. показан пример параллельного регистра на одноктактных **D-триггерах**, управляемых потенциалом. В момент подачи на синхровходы **C1, C2** коротких положительных импульсов двоичный код с входов **D1...D4** защелкивается в триггеры и может быть прочитан на выходах **Q1...Q4**.



ПОСЛЕДОВАТЕЛЬНЫЕ РЕГИСТРЫ

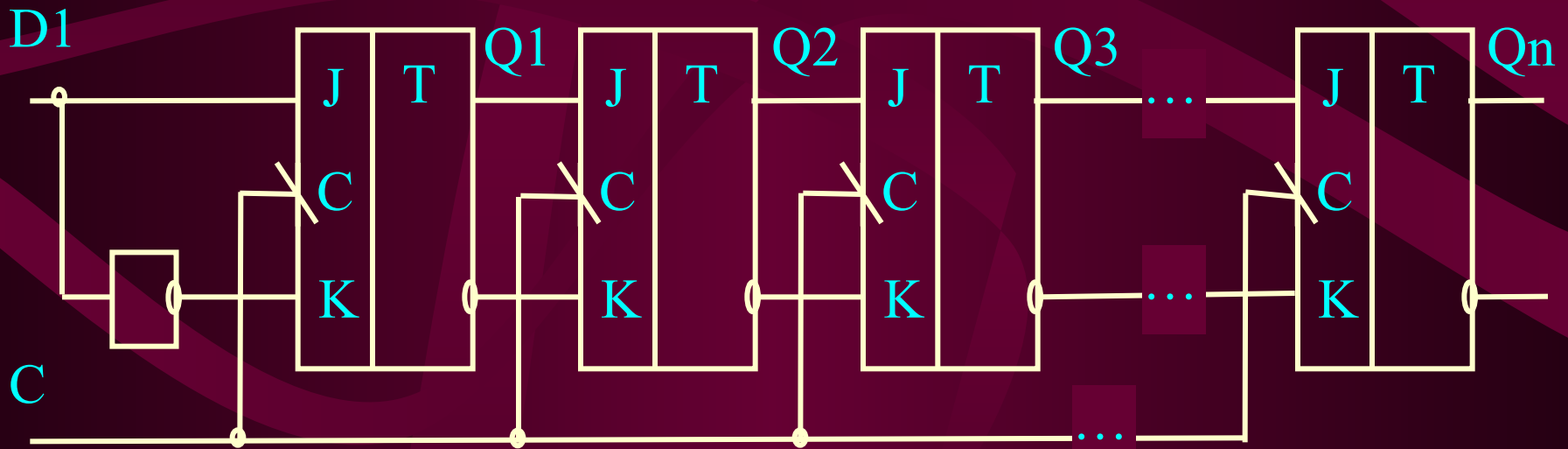
ПОСЛЕДОВАТЕЛЬНЫЕ РЕГИСТРЫ (или **РЕГИСТРЫ СДВИГА**) широко применяются в цифровой вычислительной технике для преобразования последовательного кода в параллельный, или параллельного в последовательный.

Последовательные регистры можно реализовать ТОЛЬКО на двухтактных триггерах, управляемых ФРОНТОМ. На рис. приведена схема сдвигающего регистра на последовательно соединенных **D-триггерах**.



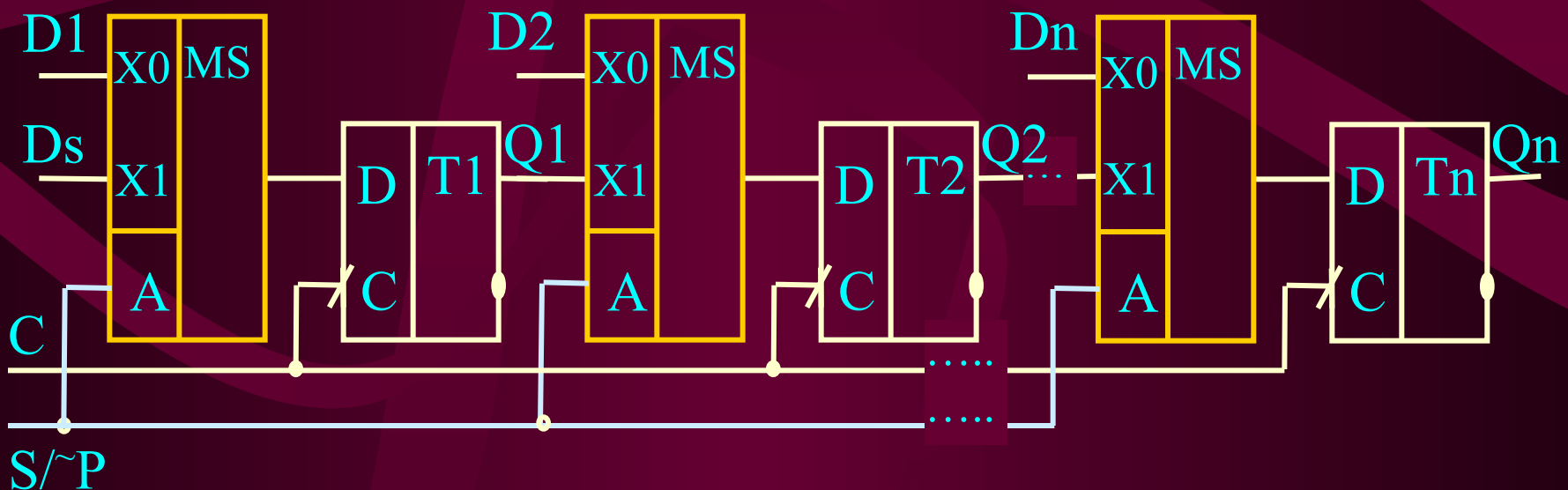
После подачи « n » тактовых импульсов n -битовый последовательный код вдвигается полностью в регистр и может быть считан в параллельном формате с выходов $Q_1...Q_n$.

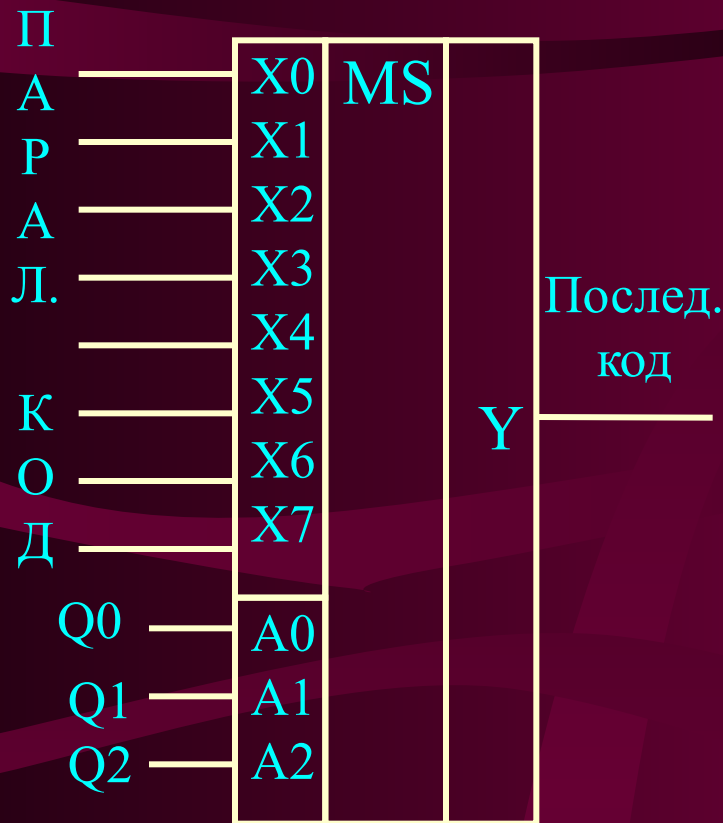
Сдвигающий регистр может быть реализован на **J-K**- или **R-S**- триггерах. При этом **первый** триггер необходимо дополнить **инвертором** или выполнить на **D**-триггере.



В некоторых схемах совмещаются функции параллельного и последовательного регистров. На рис. приведена схема **УНИВЕРСАЛЬНОГО РЕГИСТРА** на двухтактных **D-триггерах**, управляемых фронтом, и мультиплексорах «**2 на 1**». На входы **D1..Dn** подается параллельный код для записи в регистр по фронту «**0-1**» входного синхроимпульса при низком логическом уровне на управляющем входе **S/~P**.

После подачи высокого логического уровня на управляющий вход **S/~P** регистр переводится в режим последовательного сдвига. На вход **Ds** подается **последовательный код** для преобразования его в **параллельный**. Преобразованный параллельный код может быть прочитан с выходов **Q1..Qn**.





Операцию преобразования параллельного кода в последовательный (сдвиг кода) можно реализовать на логических комбинационных схемах, например, на мультиплексорах.

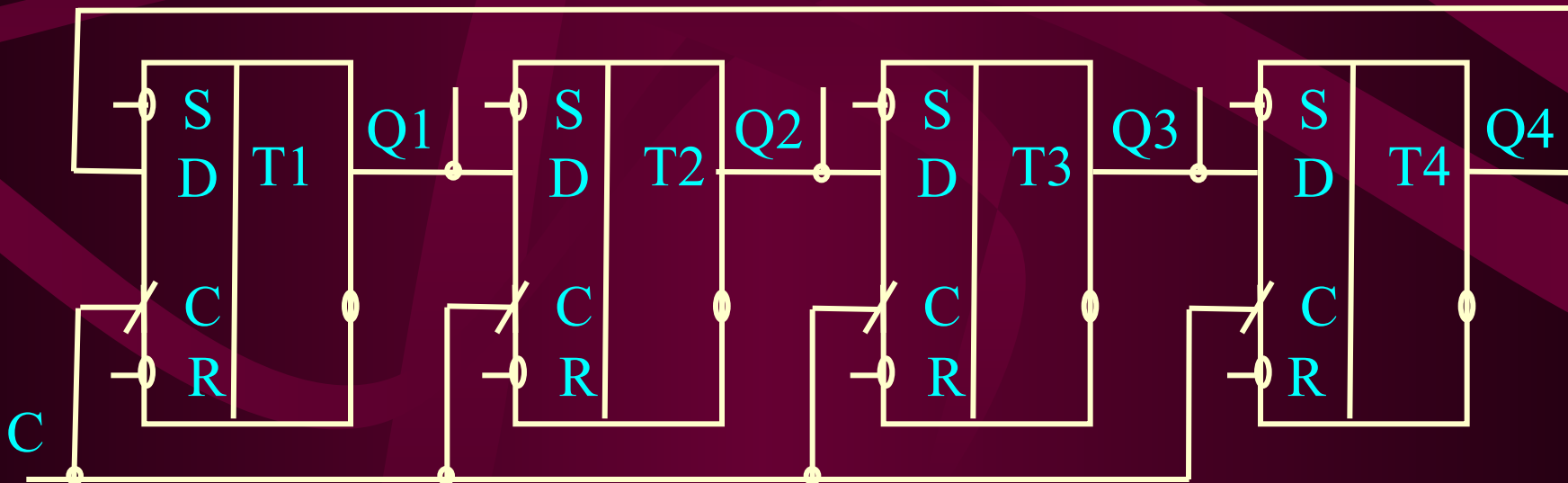
На входы $X0..X7$ подается параллельный восьмибитовый код; на адресные входы $A0..A2$ подаются сигналы с выходов двоичного счетчика ($Q0..Q2$) на трех счетных триггерах. С выхода Y снимается преобразованный последовательный код.

Если двоичный счетчик (с выходами $Q0..Q2$) выполнить реверсивным, то и преобразование параллельного кода в последовательный можно выполнять, начиная с младшего или старшего разряда.

КОЛЬЦЕВЫЕ СЧЕТЧИКИ

КОЛЬЦЕВЫЕ СЧЕТЧИКИ - это замкнутые в кольцо регистры сдвига, по которым под воздействием входных импульсов циркулирует одна или несколько кодовых единиц.

Кольцевой счетчик на четырех D-триггерах КР1533ТМ2 показан на рис. Используя входы асинхронной установки $\sim S$, $\sim R$, можно записать в регистр начальное состояние, например, в первый триггер – «1», а в остальные триггеры - нули. При поступлении на вход С серии импульсов в регистре циркулирует сигнал типа «бегущая единица».



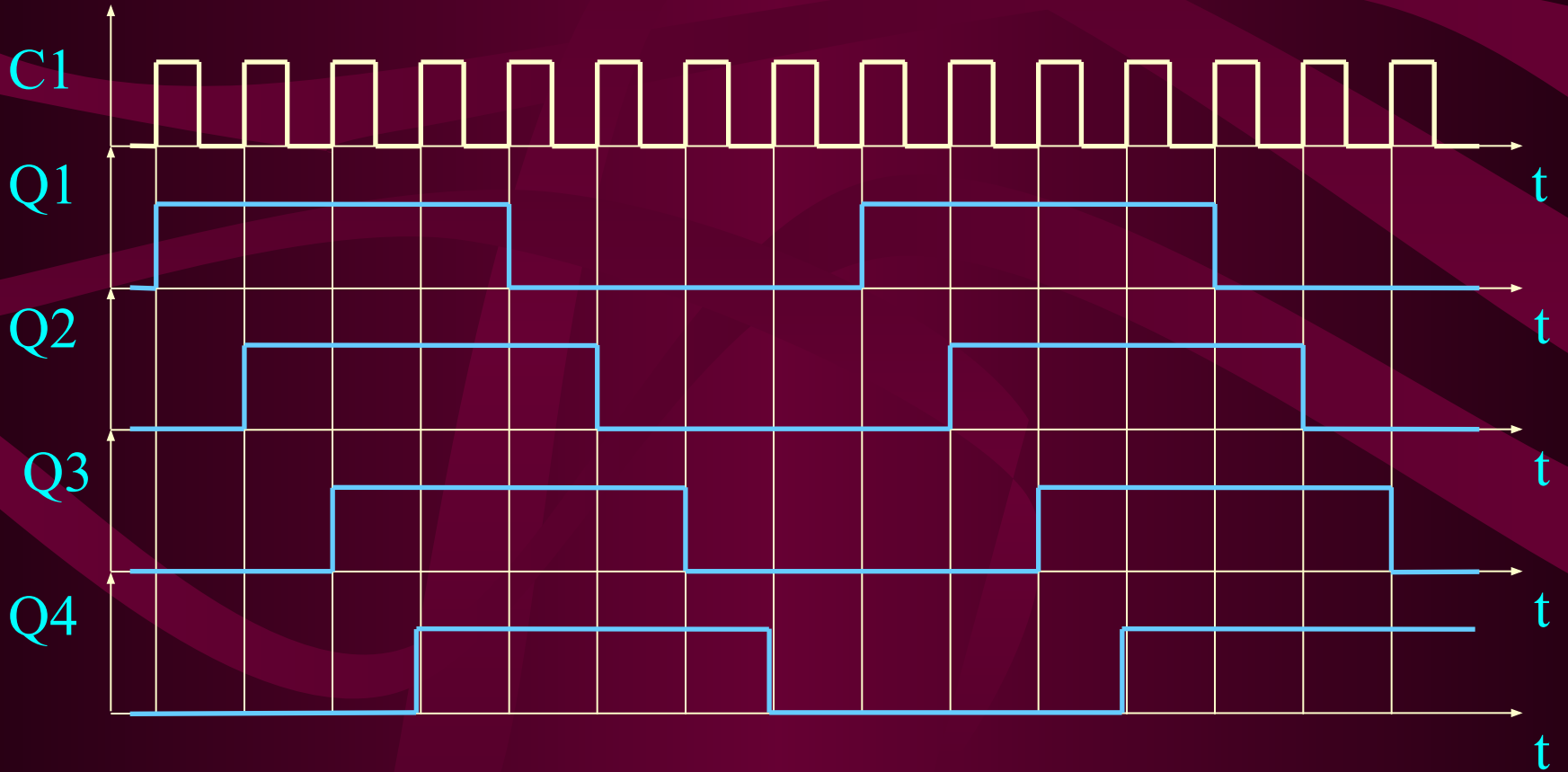
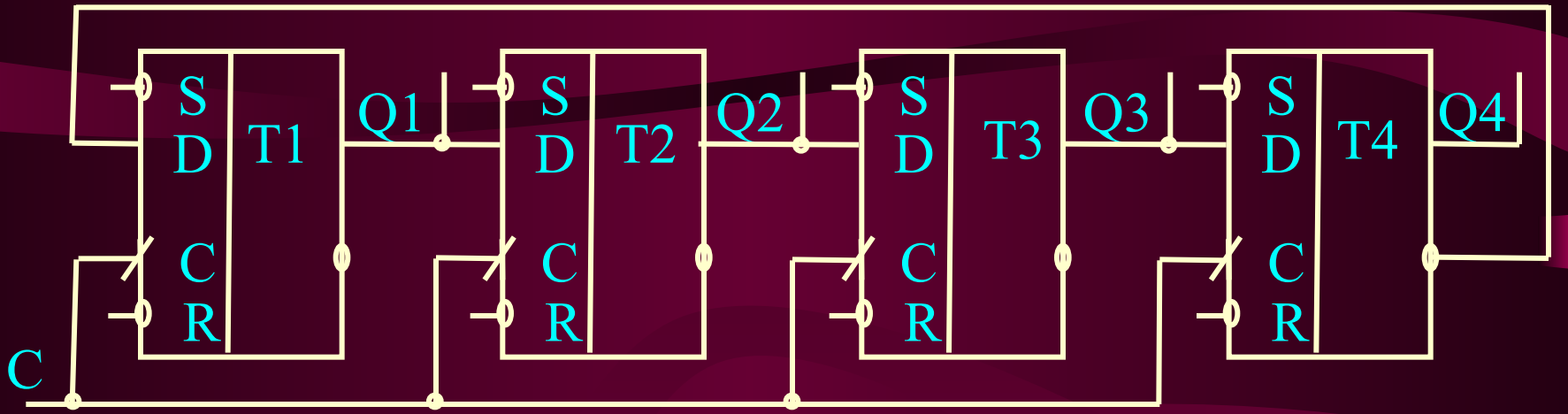
Максимальный коэффициент пересчета кольцевых счетчиков равен числу «закольцованных» триггеров.

Выход Q1	1	0	0	0	1	0	0	0	1	0	0	0
Выход Q2	0	1	0	0	0	1	0	0	0	1	0	0
Выход Q3	0	0	1	0	0	0	1	0	0	0	1	0
Выход Q4	0	0	0	1	0	0	0	1	0	0	0	1

Кольцевой счетчик с **перекрестной связью** от инверсного выхода называется **«СЧЕТЧИК ДЖОНСОНА»**.

Если установить счетчик Джонсона в **нулевое** (или **единичное**) состояние, то под воздействием входных счетных импульсов **С** в кольце распространяется **«волна нулей»** а за ней **«волна единиц»**. Коэффициент пересчета в **два раза больше** количества «закольцованных» триггеров.

Важным преимуществом счетчика Джонсона является **параллельная** запись информации во все триггеры, что делает минимальными времена задержек распространения сигнала от счетного входа до всех выходов.



Неприятной особенностью **кольцевых счетчиков** является возможность **сбоев**, вызванных появлением лишних или исчезновением нужных кодовых единиц в кольце. Причем эти сбои, раз возникнув, могут существовать во время счета **неопределенно долго**, если не принять **специальных мер** по их устранению.

Вопросы для экспресс-контроля

- 1. Чем определяется коэффициент деления счетчиков?
- 2. Чем отличаются суммирующие счетчики от вычитающих?
- 3. Методы реализации реверсивных счетчиков.
- 4. Назовите преимущества и недостатки счетчиков с последовательным и параллельным переносом.
- 5. На каких триггерах можно реализовать счетчики?
- 6. Назовите назначение параллельных и последовательных регистров.
- 7. На каких триггерах можно реализовать параллельные и последовательные регистры?
- 8. Как можно реализовать кольцевые счетчики?

ЛЕКЦИЯ ОКОНЧЕНА

**СПАСИБО ЗА
ВНИМАНИЕ**