

§3. Операционные элементы (ОЭ)

ОЭ – ЛУ, выполняющие не
элементарные операции.

Н-р, сумматоры, счётчики, ...

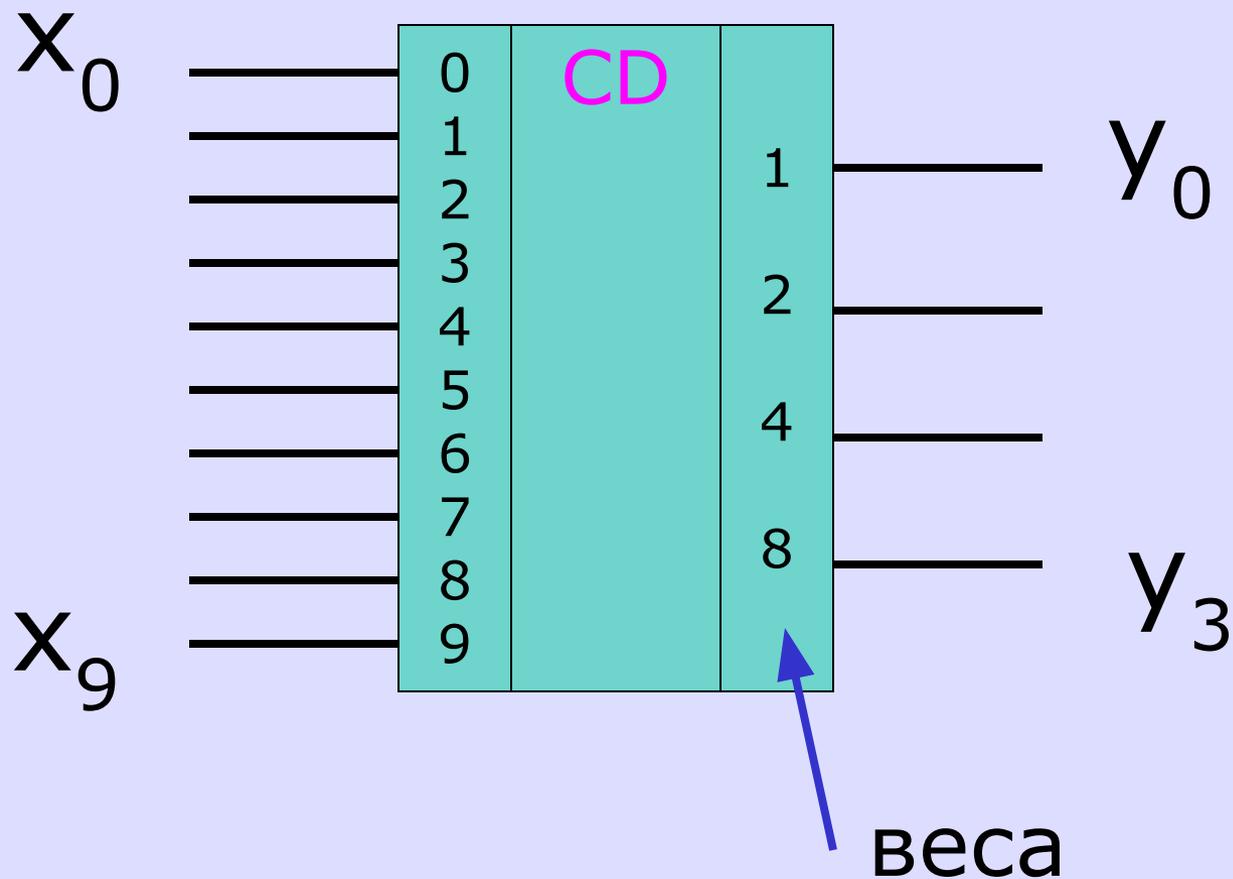
1. Комбинационные ОЭ (без памяти)

а) Преобразователи кодов

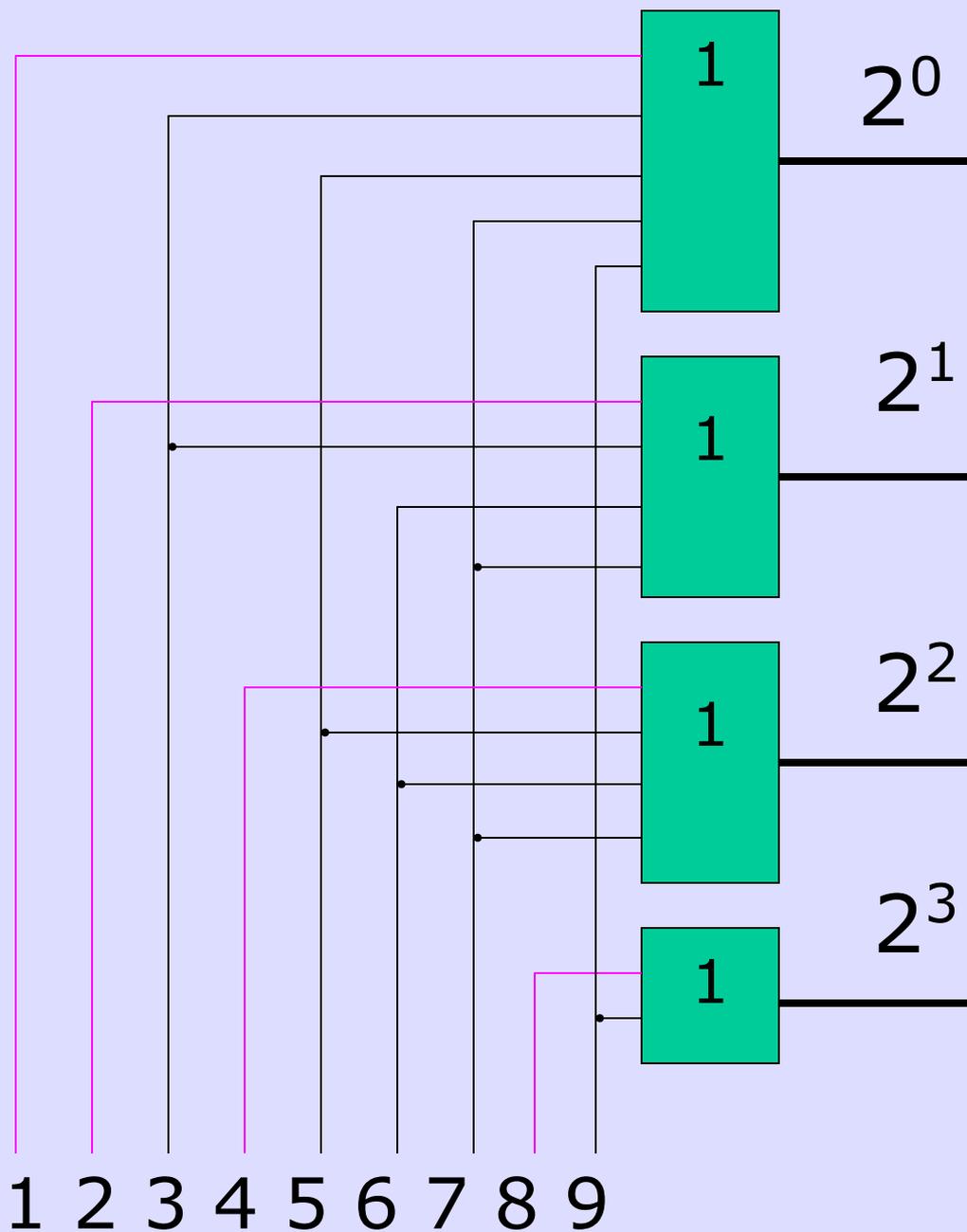
- шифратор

преобразует сигнал на одном из n входов в m -разрядный выходной код

Пример: десятично-двоичный coder



Простейшая
схема на
элементах
ИЛИ

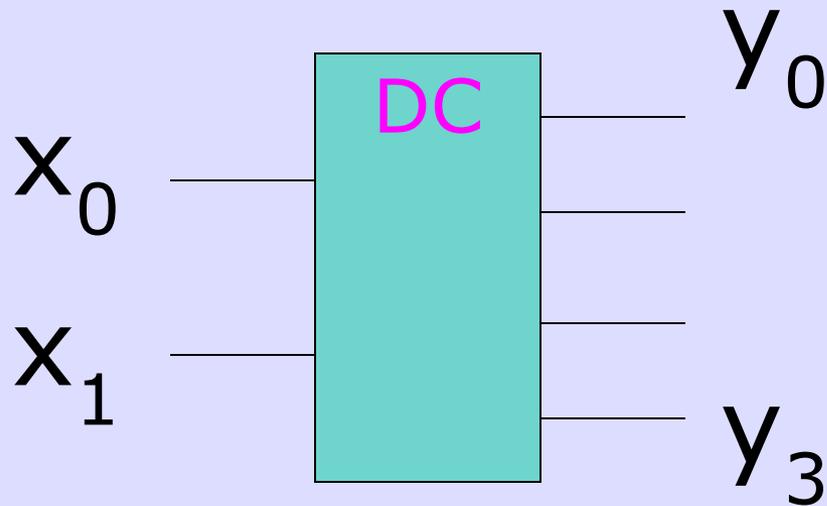


- дешифратор

преобразует n -разрядный
входной код в сигнал только
на одном из m выходов

$$m = 2^n$$

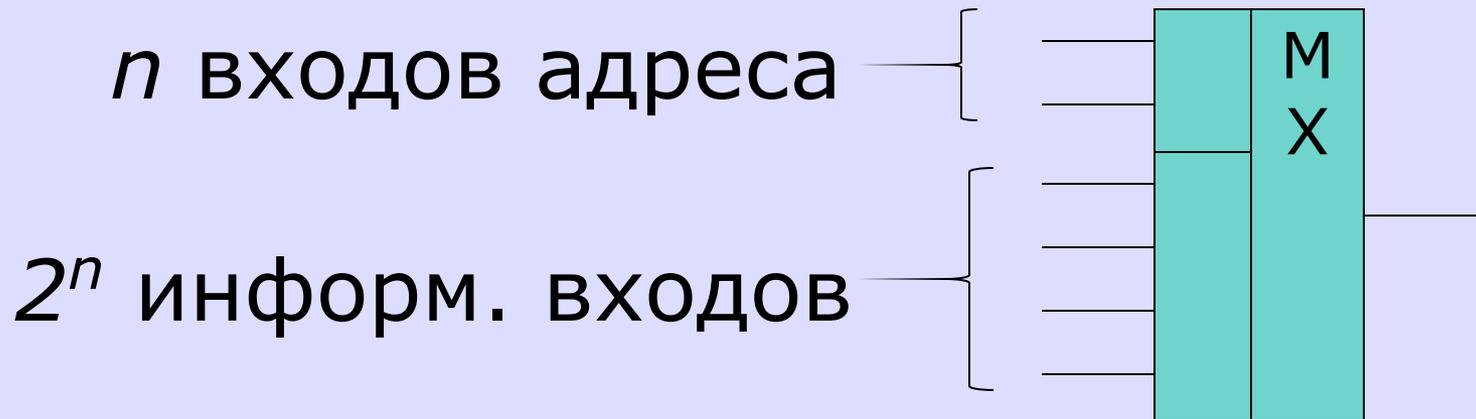
Пример: 2-х разрядный decoder



б) Коммутаторы

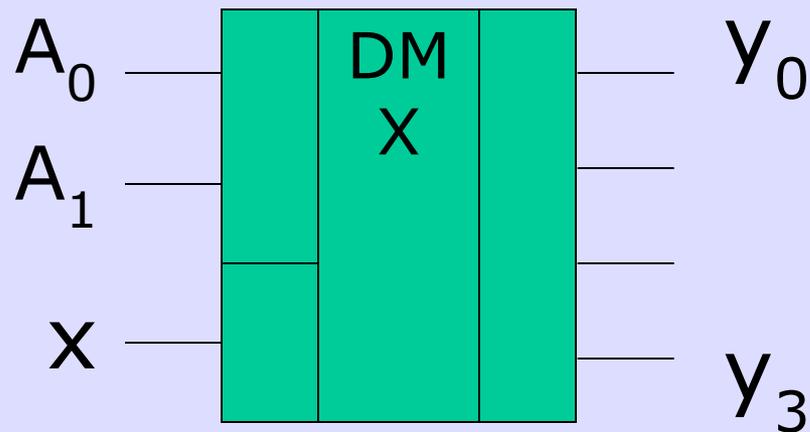
- мультиплексор

пропускает сигнал только с одного из указанных входов



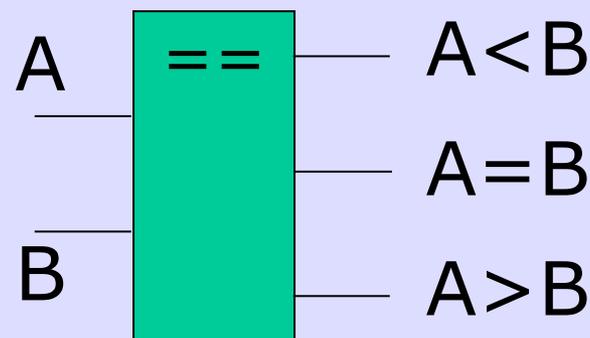
- демультимплексор

посылает входной сигнал на
указанный выход

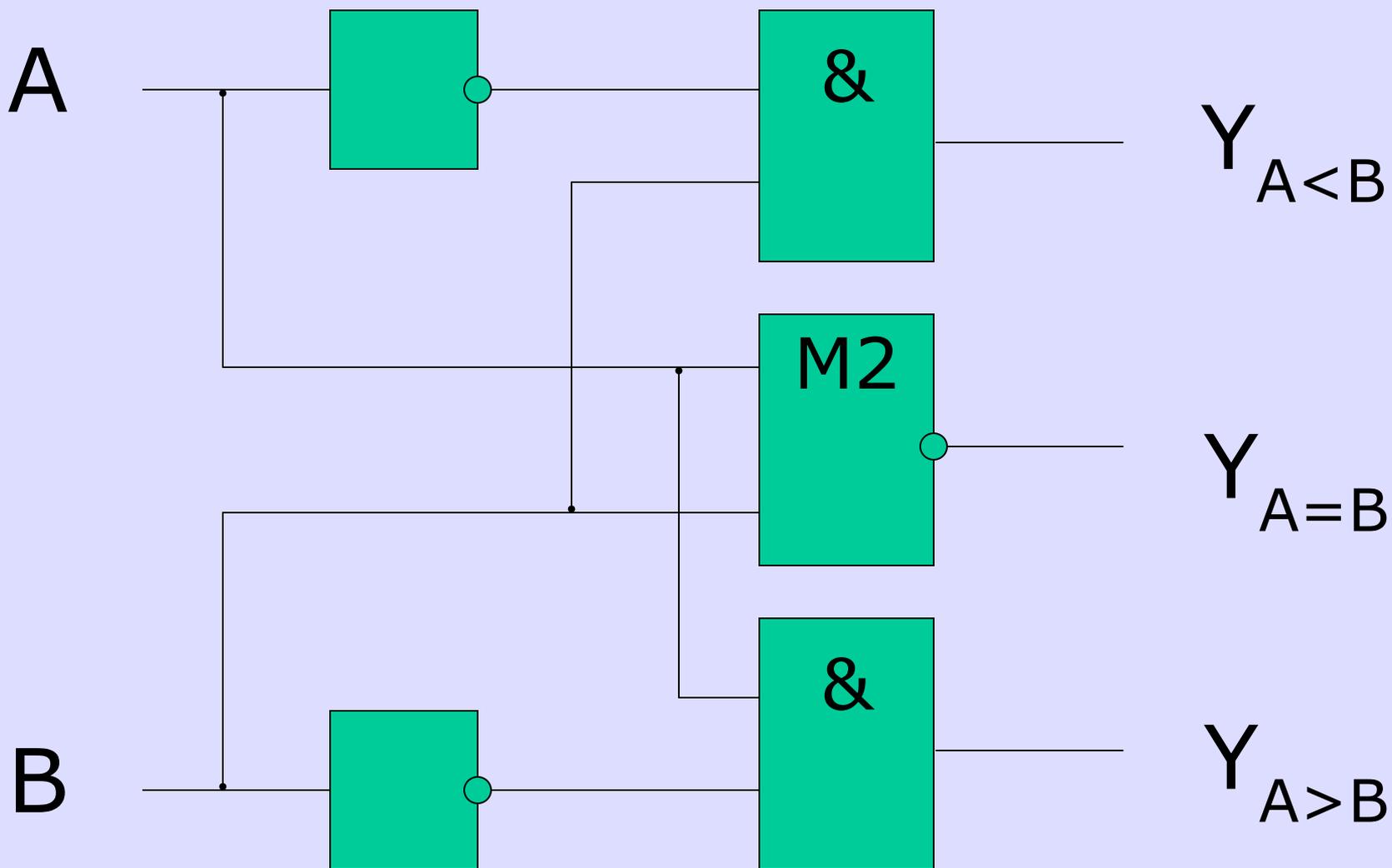


в) Арифметические устройства

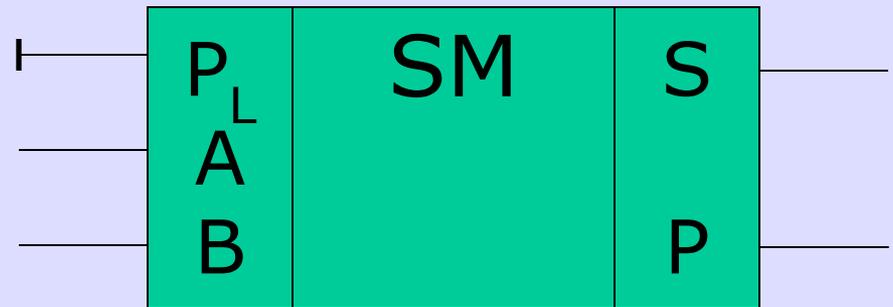
- компаратор



Сравнивает два числа.
Результат отображается
лог. 1 на одном из трёх
ВЫХОДОВ.



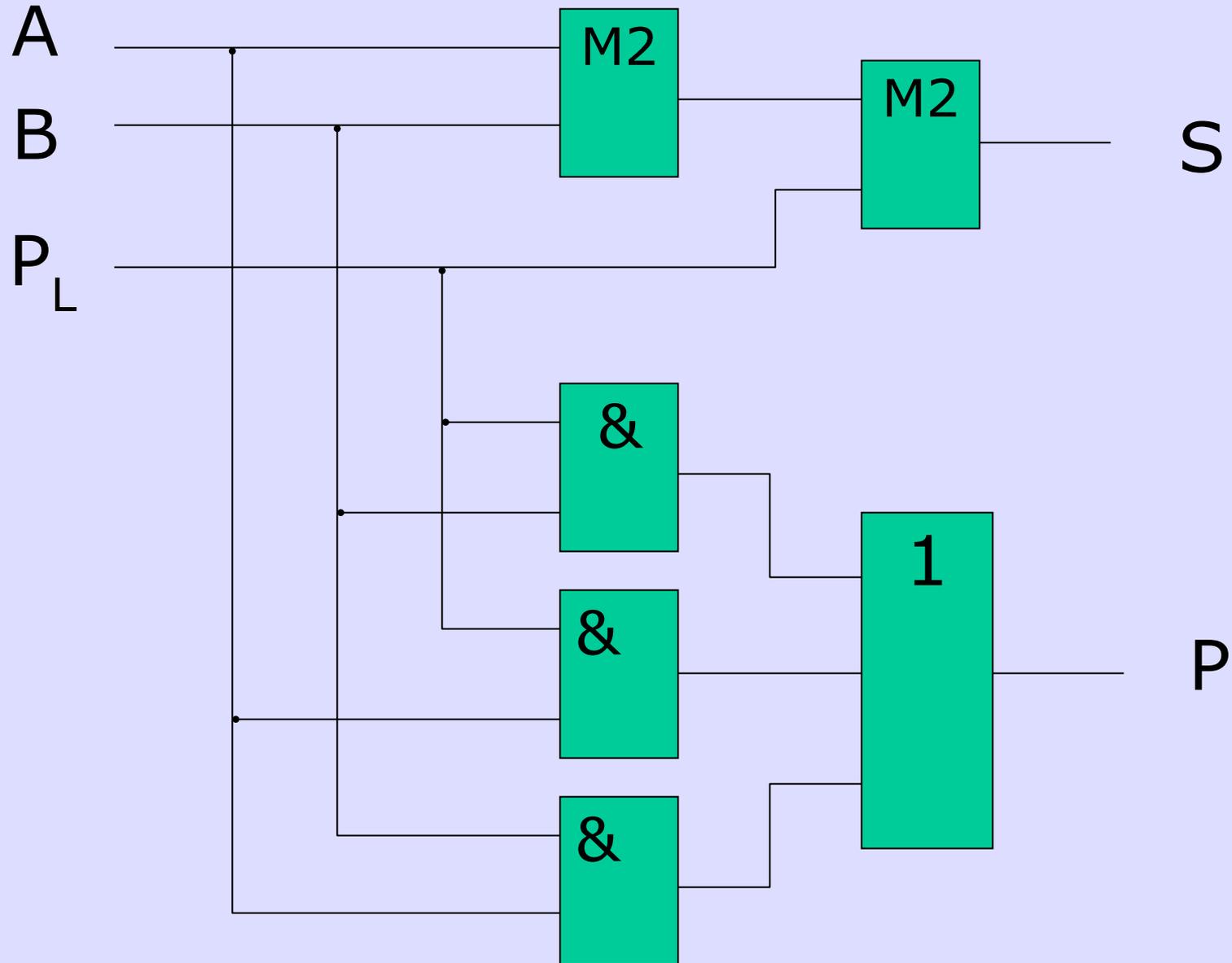
- сумматор



Складывает несколько чисел.

Двоичный сумматор
используется также для
операций вычитания,
умножения и деления.

Одноразрядный сумматор с переносом



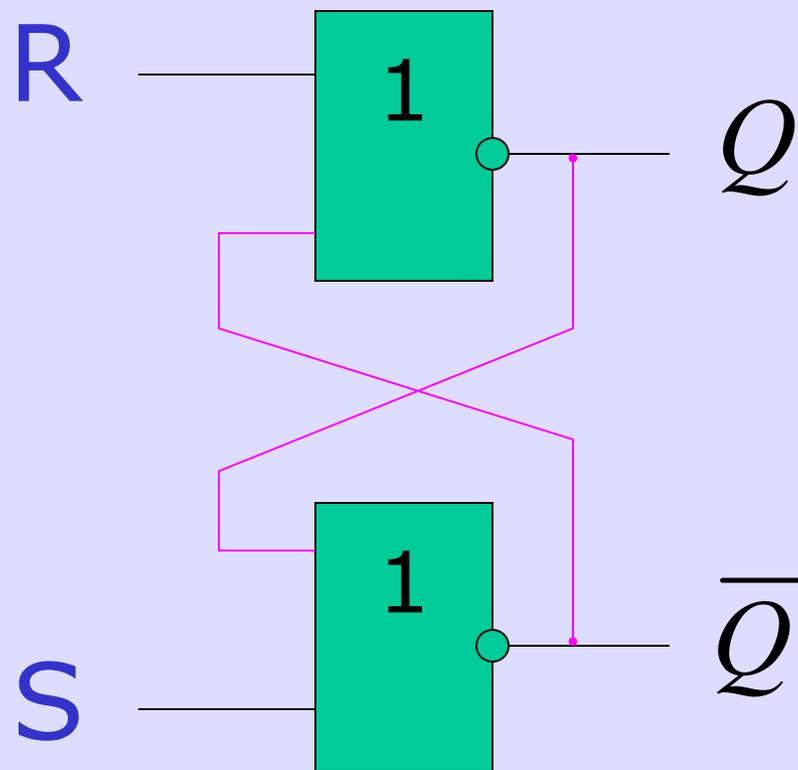
2. Триггеры

а) Триггер – это ОЭ,
имеющий два устойчивых
выходных состояния.

Trigger – спусковой крючок,
защёлка.

Устойчивость вызвана наличием **обратных связей** – выход одного замыкается на вход другого.

Пример:
RS-триггер



R – reset

S – set

Q – прямой выход

\overline{Q} – инверсный выход

Состояние RS-триггера –
уровень сигнала на Q

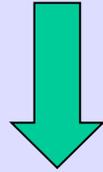
в) Триггер переключается только при определённых комбинациях входных сигналов.

Пример:
RS-триггер

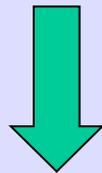
R	S	Q
0	0	Q_0
0	1	0
1	0	1
1	1	*

Q_0 – текущее состояние

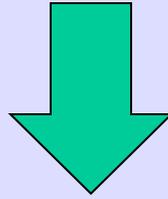
* – оба выходных сигнала
нулевые: $\bar{Q} = Q = 0$



После $R=S=1$ RS-триггер
переходит в случайное
состояние

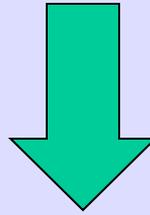


комбинация $R=S=1$
запрещённая



У RS-триггера есть четыре режима работы:

- хранение информации
- запись нуля
- запись единицы
- запрещённый



RS-триггер является
базовым элементом ЛУ
с памятью

г) Триггеры без запрещённых комбинаций

J	K	Q
0	0	Q_0
0	1	0
1	0	1
1	1	$\overline{Q_0}$

JK-триггер

D	Q
0	0
1	1

D-триггер
(*delay*)

T	Q
0	Q_0
1	$\overline{Q_0}$

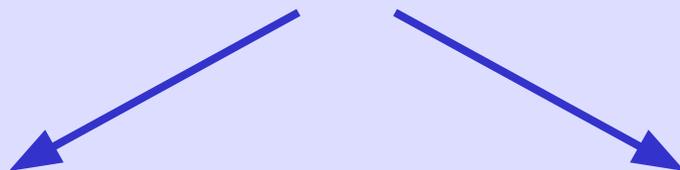
T-триггер
(делитель ν)

д) Синхронизация

Триггер называется **синхронным**, если меняет состояние только при подаче импульса на спец. вход **C** (**синхронизирующий**)

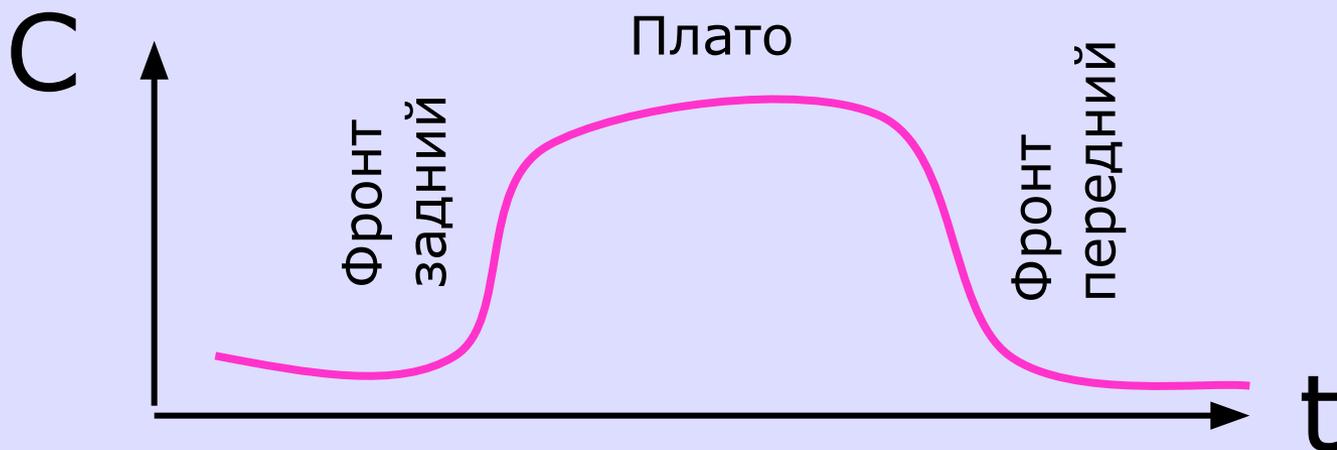


Синхронизация



статическая
- по плато

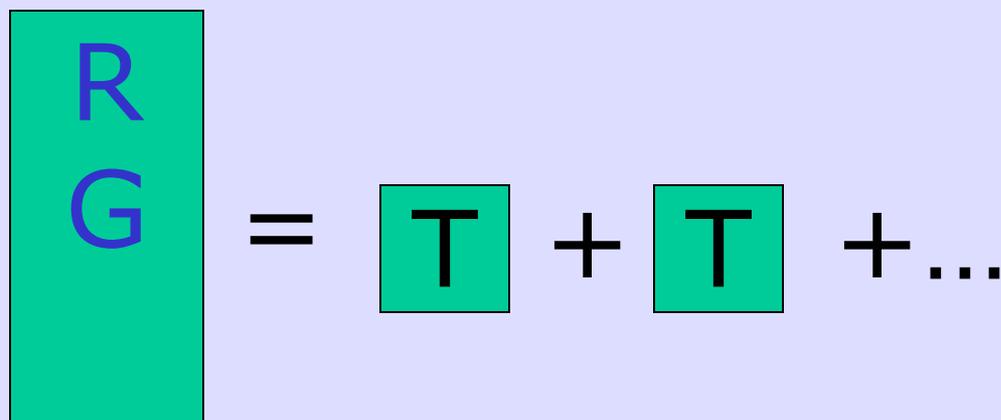
динамическая
- по фронту



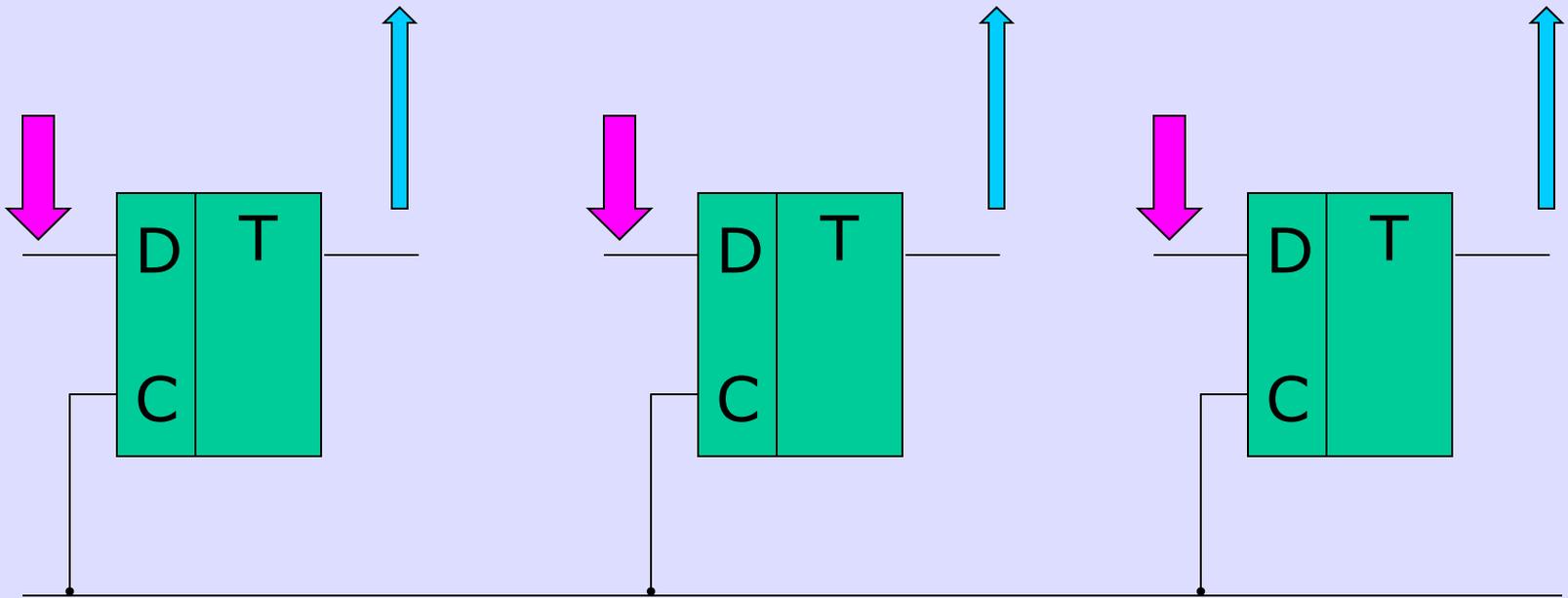
3. Последовательностные ОЭ

а) Регистр – хранит и (или) преобразует многоразрядные двоичные числа

Состоит из триггеров:



- параллельный RG – триггеры не зависят друг от друга

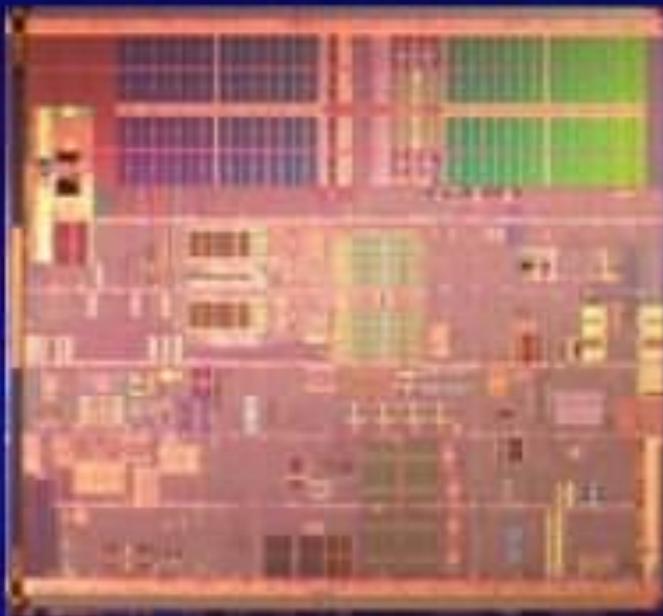


При $C=1$ **выход** каждого триггера получает лог. уровень **входа**

Используются в кэшах

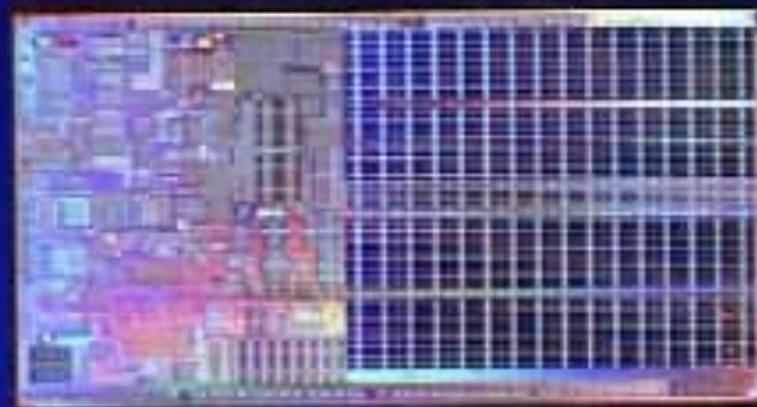
90 nm CPU Chips

Prescott CPU



112 mm² die size
125 million transistors

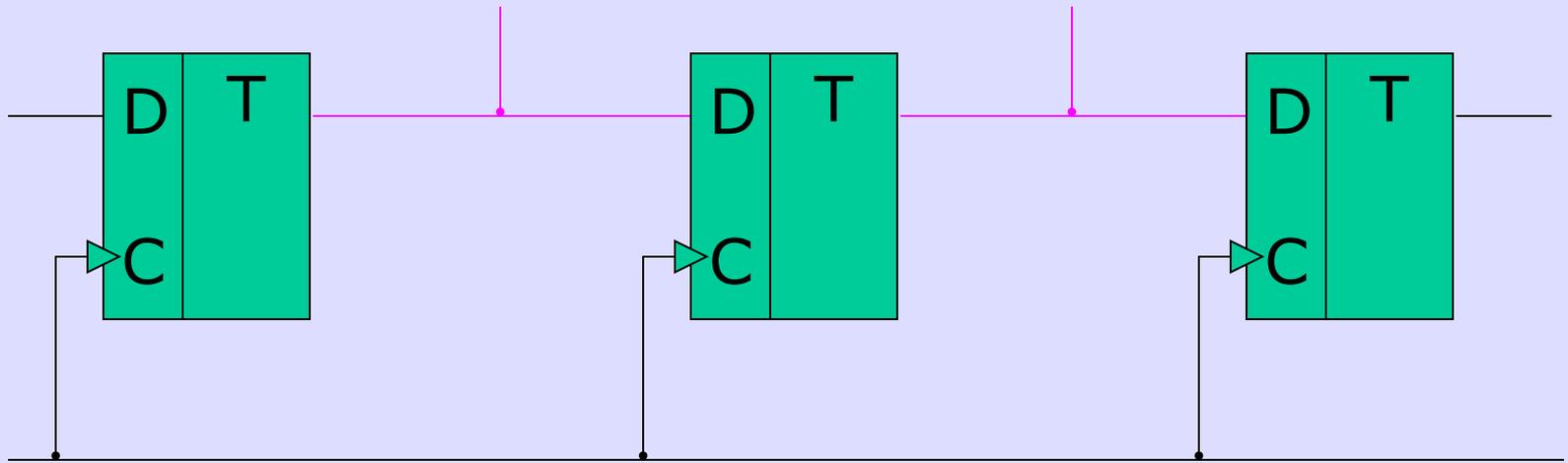
Dothan CPU



87 mm² die size
144 million transistors

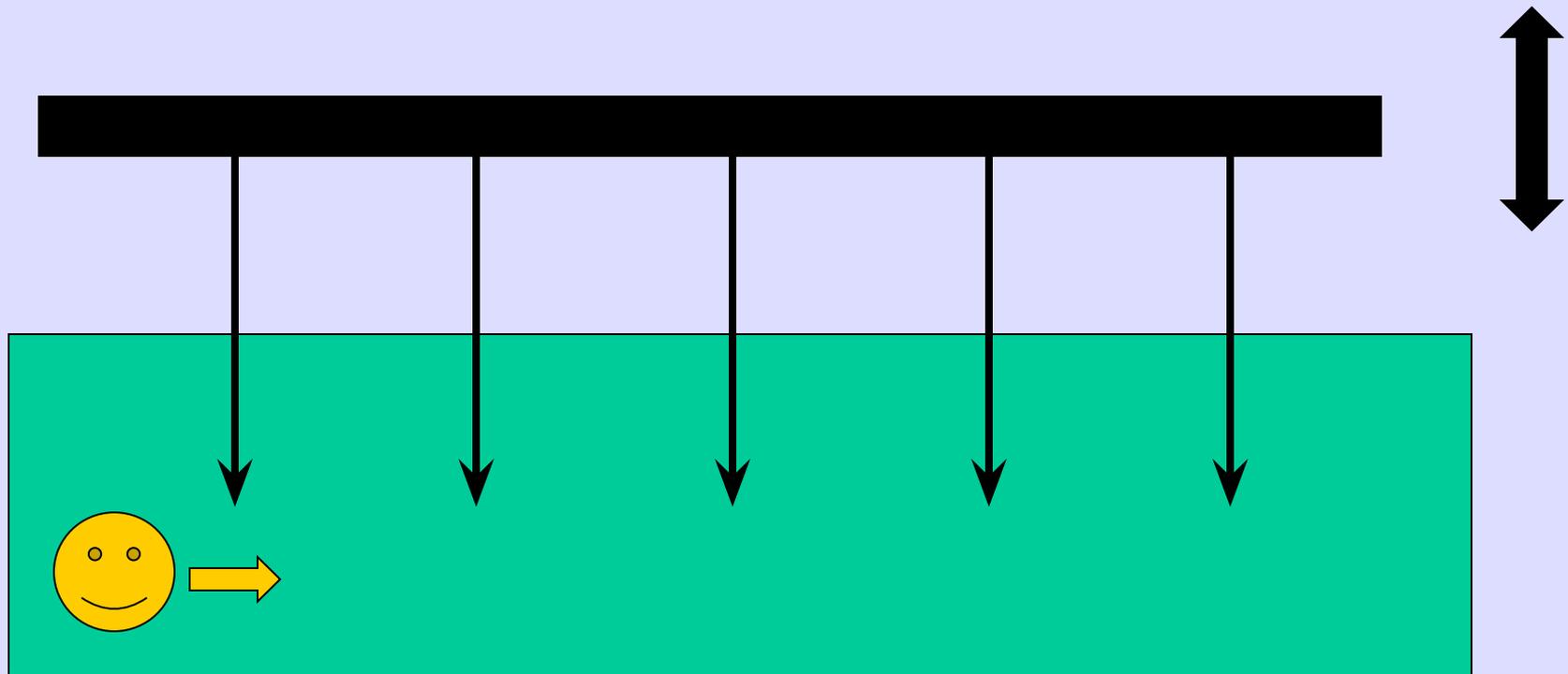
90 nm process now ramping on high performance CPU products

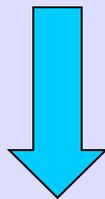
- последовательный RG –
выход каждого триггера идёт
на вход следующего



динамическая синхр.

Фронт делают узким
настолько, чтобы сигнал
успел пройти не более
одного триггера!





✓ Каждый синхроимпульс
сдвигает код числа на один
разряд

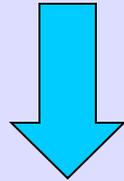
Н-р: 1000
 0100
 0010
 0001



сдвигающий
регистр

✓ Для записи N -разрядного числа нужно N тактов.

А для чтения достаточно
одного такта!



Сдвиговым RG можно
преобразовать последов.
код в парал.

- универсальный RG – может записывать и выдавать числа как в последов., так и парал. режимах.

Используется для

- ✓ преобразования кодов
- ✓ операций умножения и деления

Вывод:

благодаря своей
многофункциональности
регистры стали одними из
самых распр. ОЭ

б) Счётчик – запоминает кол-во N_f пришедших фронтов.



Состоит из цепочки триггеров, число которых K наз. модулем счёта.

§4. Микросхемы памяти

1) Виды ЗУ

- ОЗУ – оперативные
- ПЗУ – постоянные
- ППЗУ – перепрограммируемые
постоянные

Сравнение:

	Э	Чтение	Запись
ОЗУ	+	Б	Б
ПЗУ	-	Б	Нет
ППЗУ	-	Б	М

Э - затраты энергии при хранении
Б, М – быстро, медленно

Для ППЗУ также указывают

- гарантийное время хранения
- допустимое число циклов перезаписи



2) Физика элементов памяти (ЭП)

ЭП хранит 1 бит

Физические величины	Примеры
Заряд	DRAM, SRAM, флэш
Намагниченность	MRAM
Сопротивление	PRAM
Энергия, спин квантовой системы	будут

Электрические элементы

Металл
Диэлектрик
Полупров. (MOS)

С – стираемое, статическое

ПВ – произвол. выборка

Д – динамич.

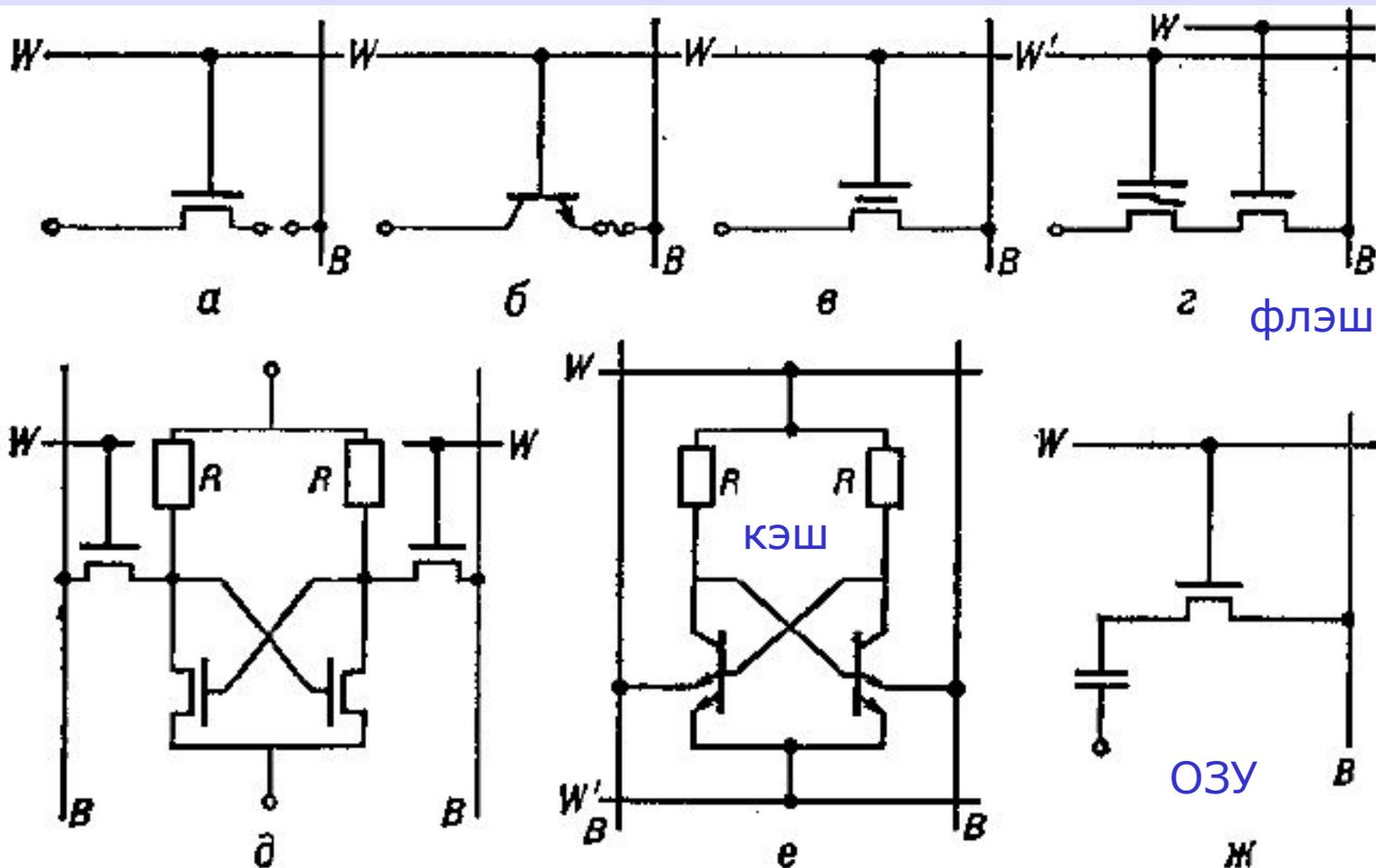
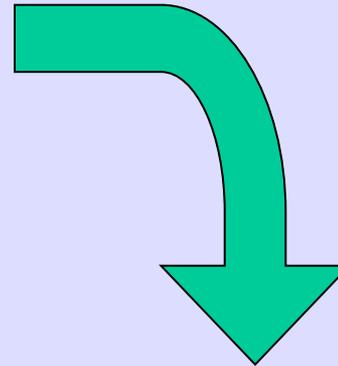
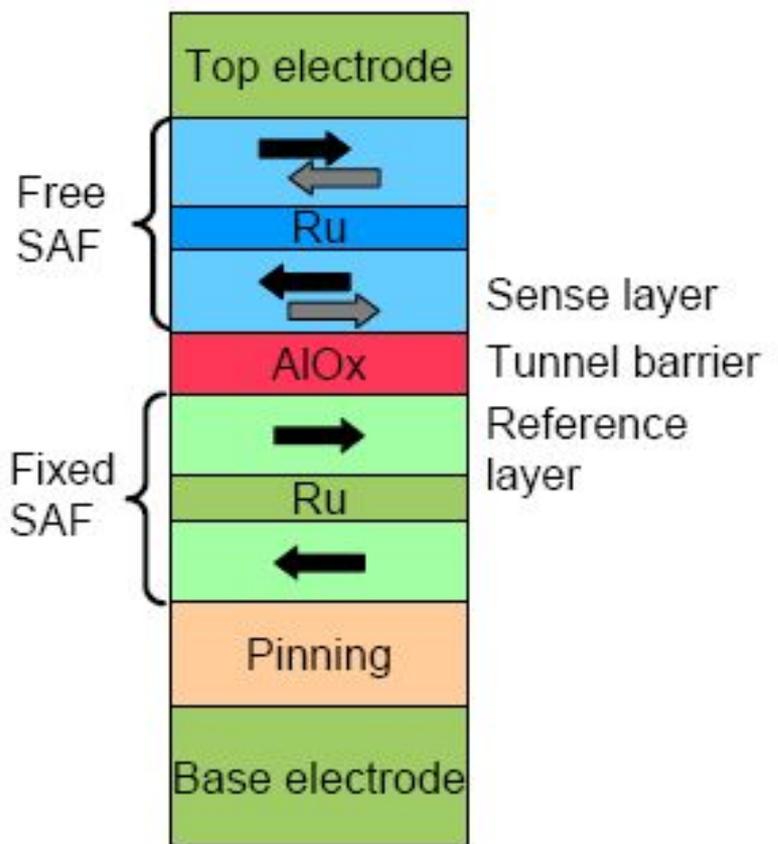


Рис. 3. Схемы различных полупроводниковых элементов памяти: а — МДП ПЗУ; б — биполярное ПЗУ; в — МДП СПЗУ; г — МДП ЭСПЗУ; д — МДП СЗУПВ с нагрузкой R ; е — биполярное СЗУПВ с нагрузкой R ; ж — МДП ДЗУПВ.

Магниторезистивные элементы и чипы



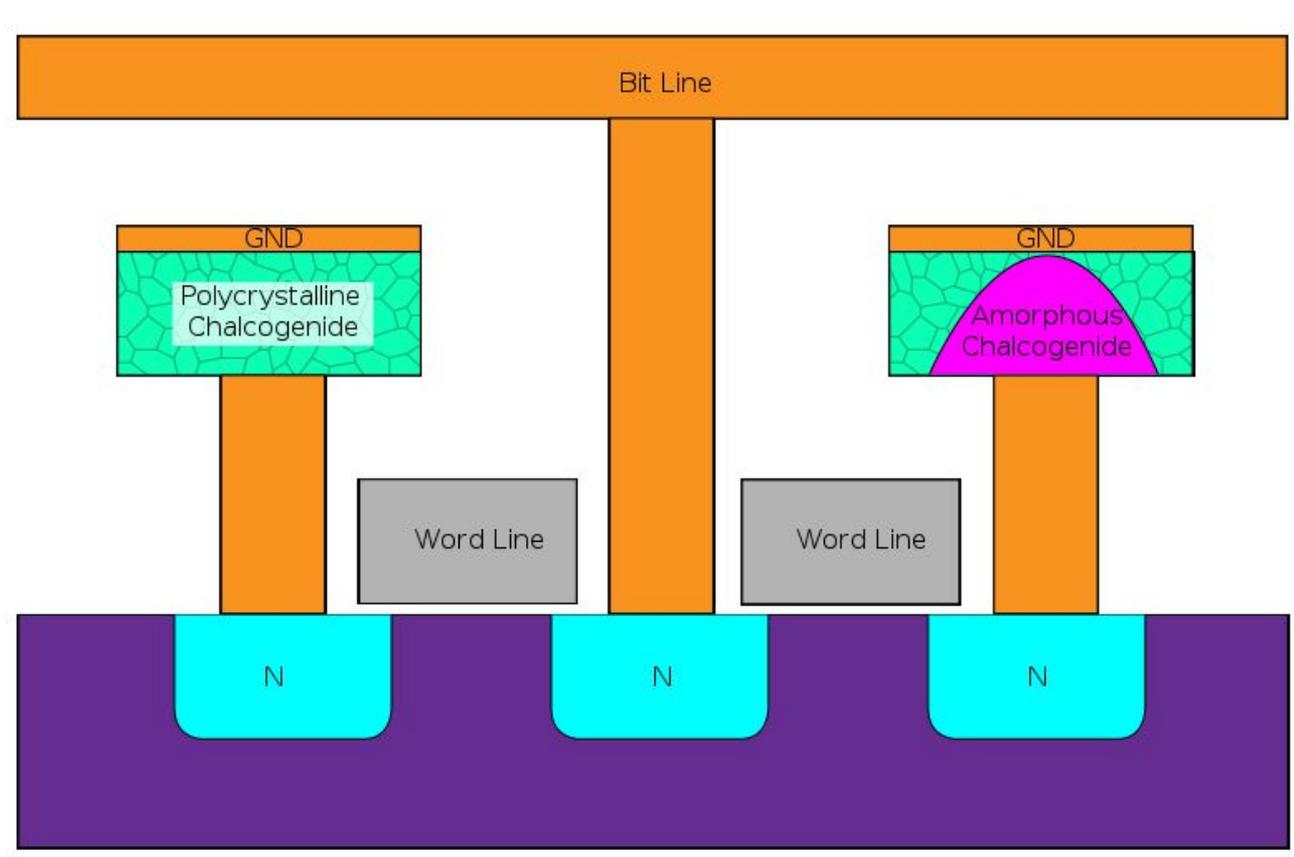
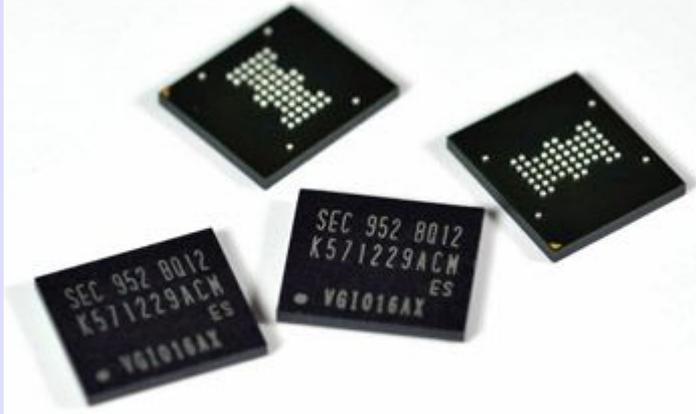
**256K x 16-Bit 3.3-V
Asynchronous
Magnetoresistive RAM**

MR2A16A



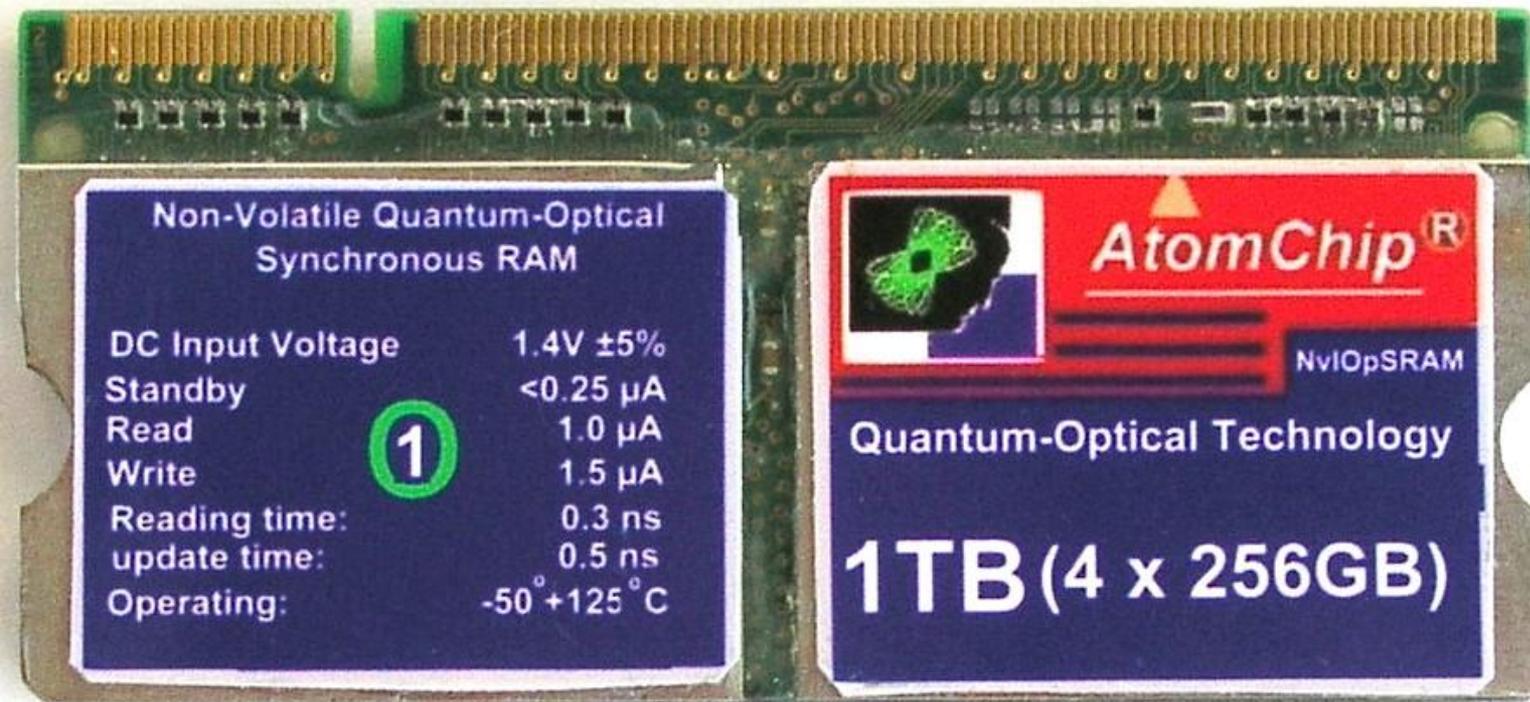
44-TSOP
Case 924A-02

Фазопеременные элементы и чипы

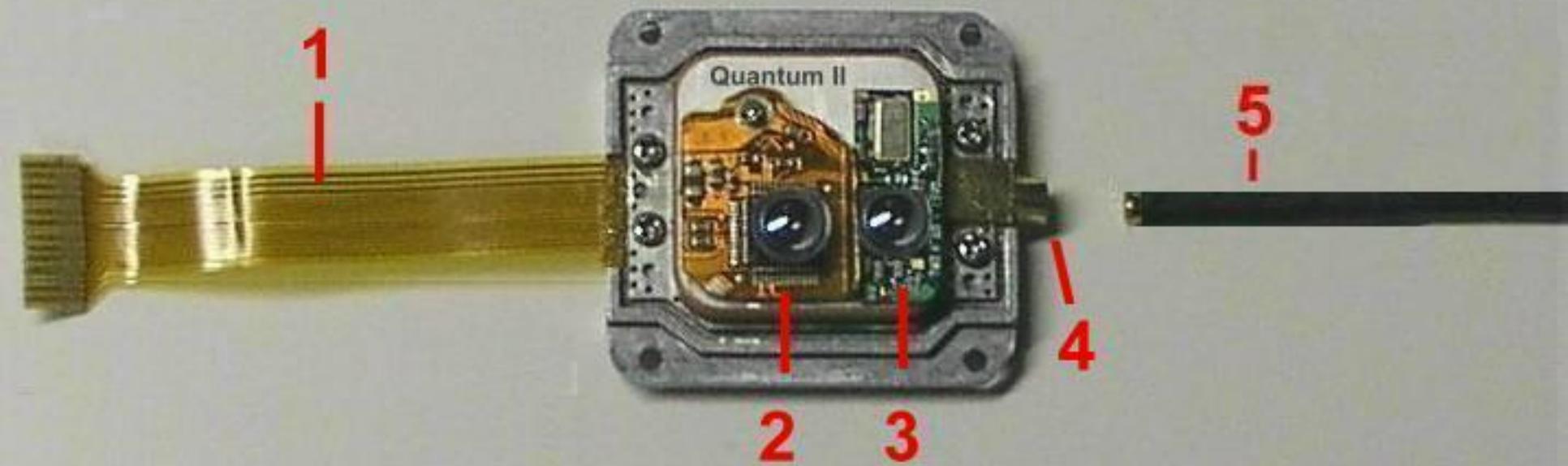


Оптические элементы: бистабильность?

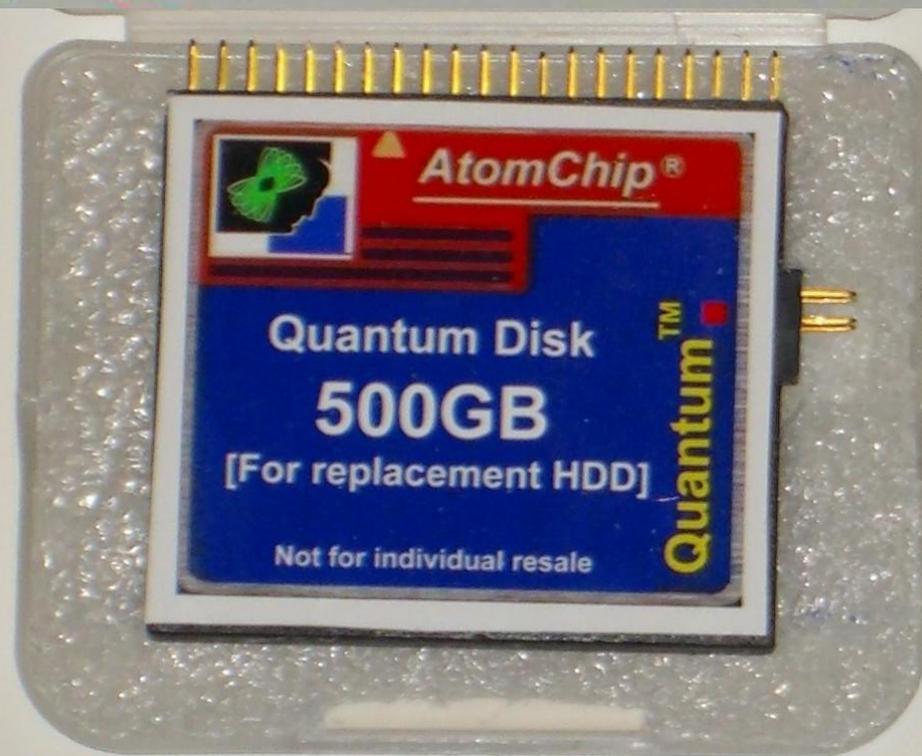
Использование оптич. нелинейности электронной природы в ТПН на основе GaAs, InP, ZnSe и др. полупроводниковых слоёв позволяет достигать пикосекундного быстродействия в таких устройствах при уд. энергиях переключения устойчивых состояний $\sim 10^{-13} - 10^{-15}$ Дж/мкм².



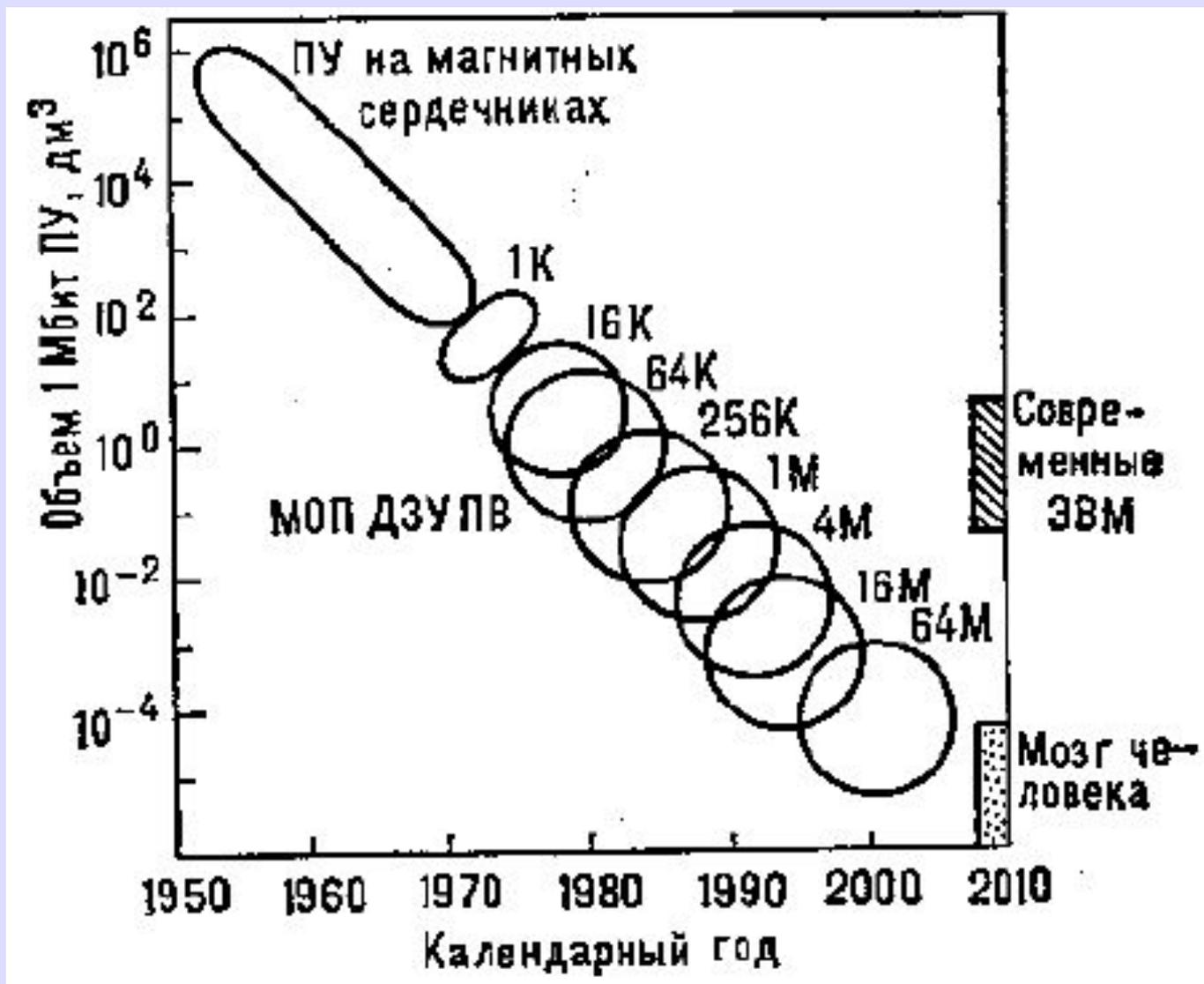
001
?



64 слова по
64 бита (512
байт)
на 1 мкм^2 ?



Память ЭВМ приблизилась по плотности к человеческой



3) Организация МП

а) Логическая:

- N ячеек по n разрядов
- последовательная нумерация
- номер ячейки – адрес

Байт – минимальная адресуемая единица информации.

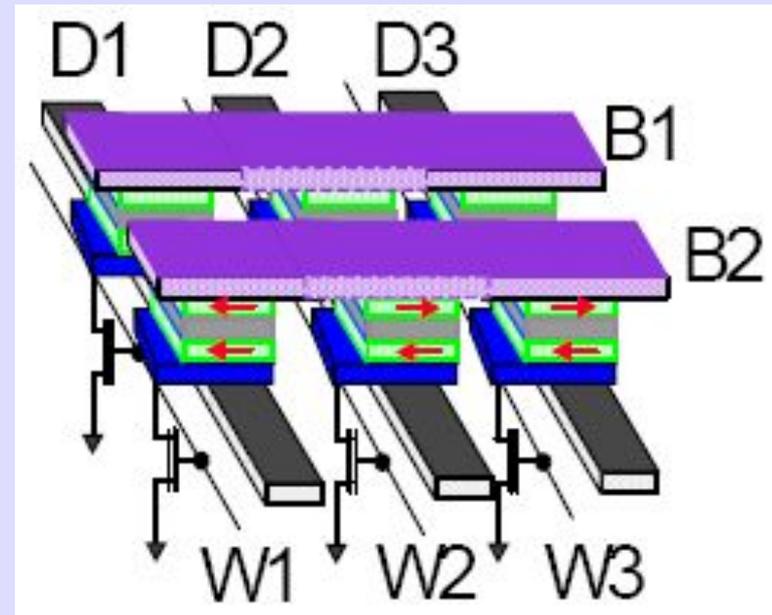
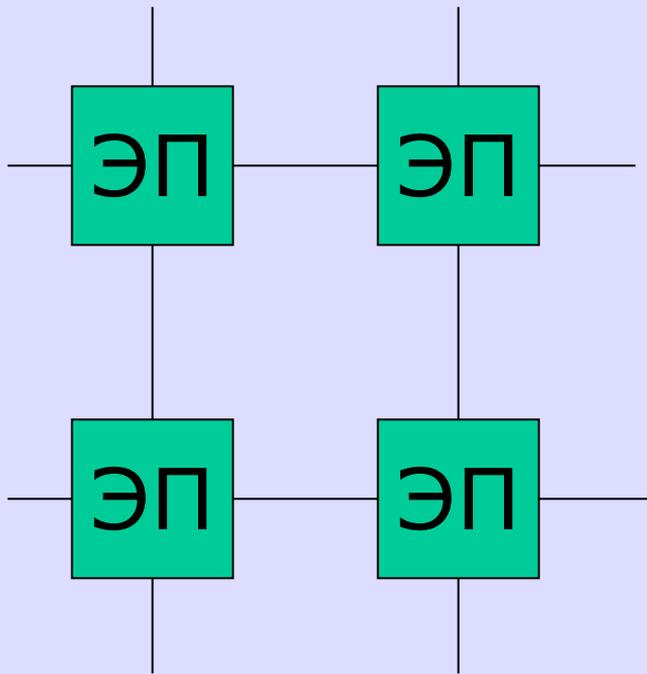
Обычно $n=8$

Страница – область памяти фиксированного размера (н-р, 4 Кбайт, 2, 4 Мбайт)

Нужны для ускорения обмена, н-р, при свопинге

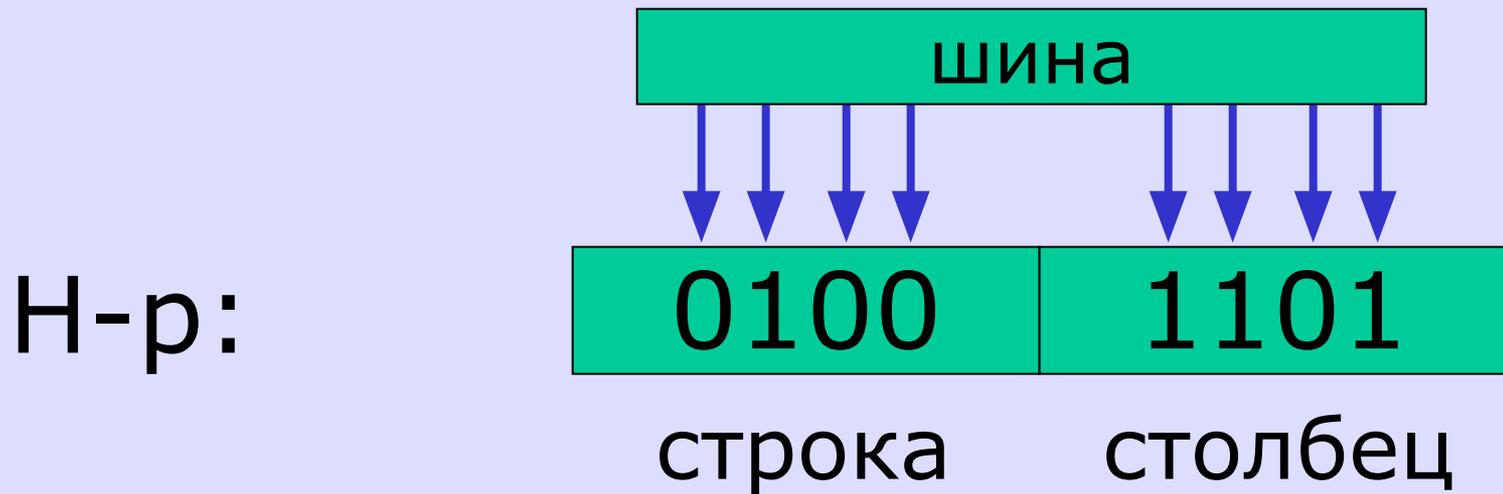
б) Физическая

- Накопитель – матрица из ЭП

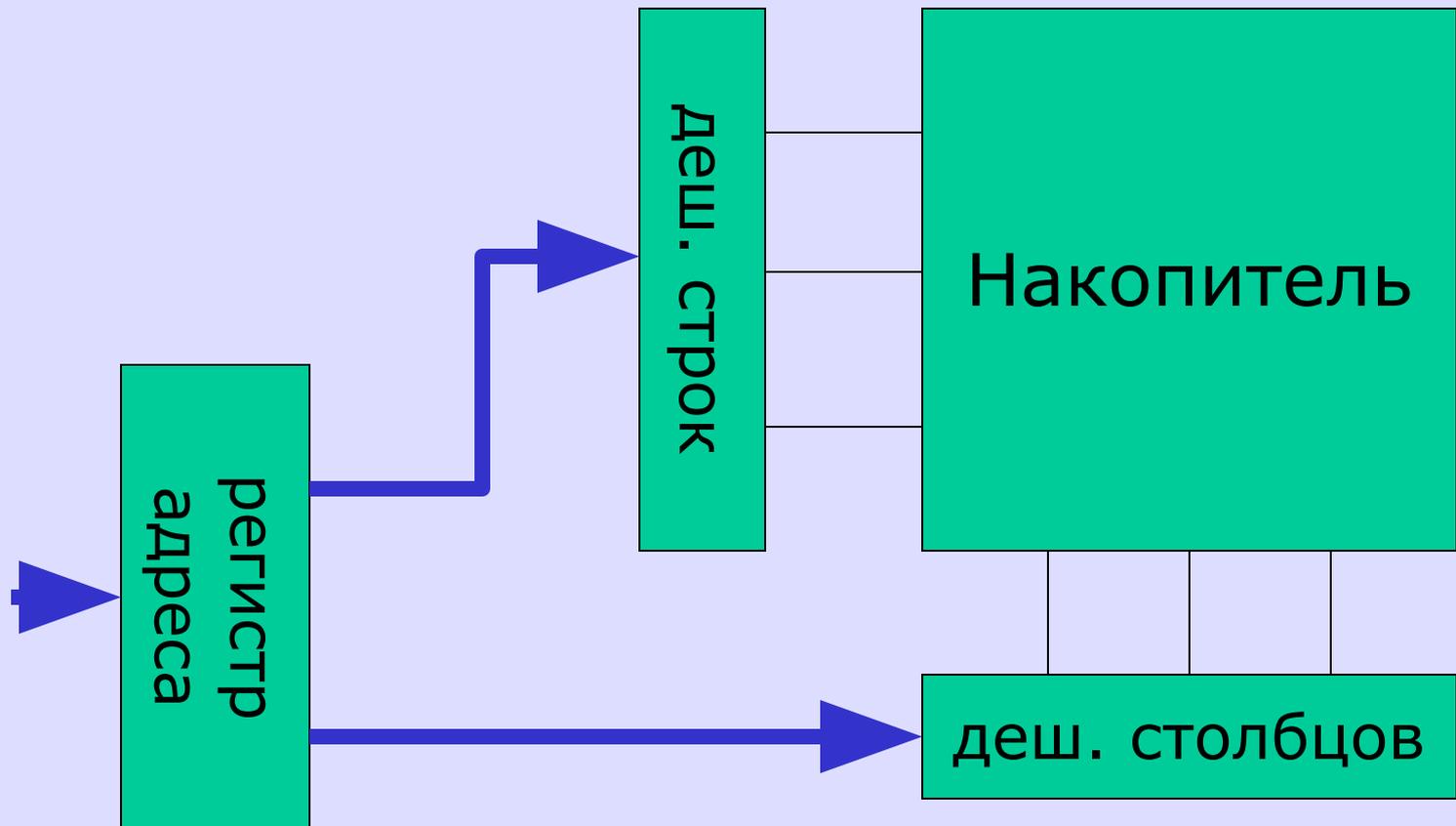


Адрес ЭП: номер строки и номер столбца

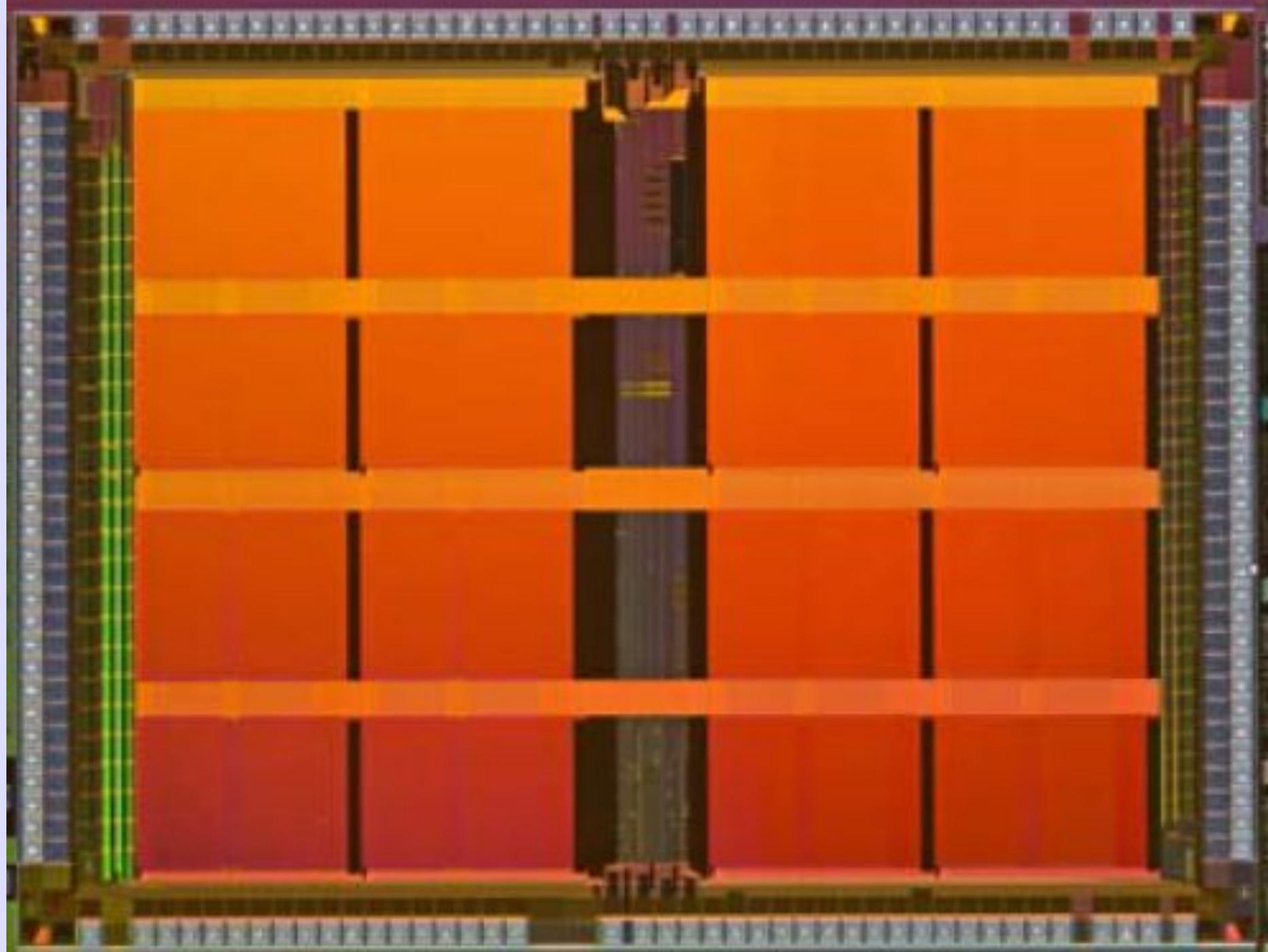
- Адрес ЭП вычисляется контроллером памяти и поступает в регистр адреса по адресной шине



- адреса строк и столбцов подаются на дешифраторы

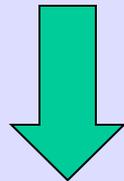


- режимы работы ЭП
 - хранение: отключается от ВХОДОВ И ВЫХОДОВ
 - чтение: подключается к усилителю чтения
 - запись: к усилителю записи



Банк – чип (группа чипов),
использующий всю ширину
шины данных

Н-р, банк DDR SDRAM:
8 чипов 8-и разрядных



$n=64$