

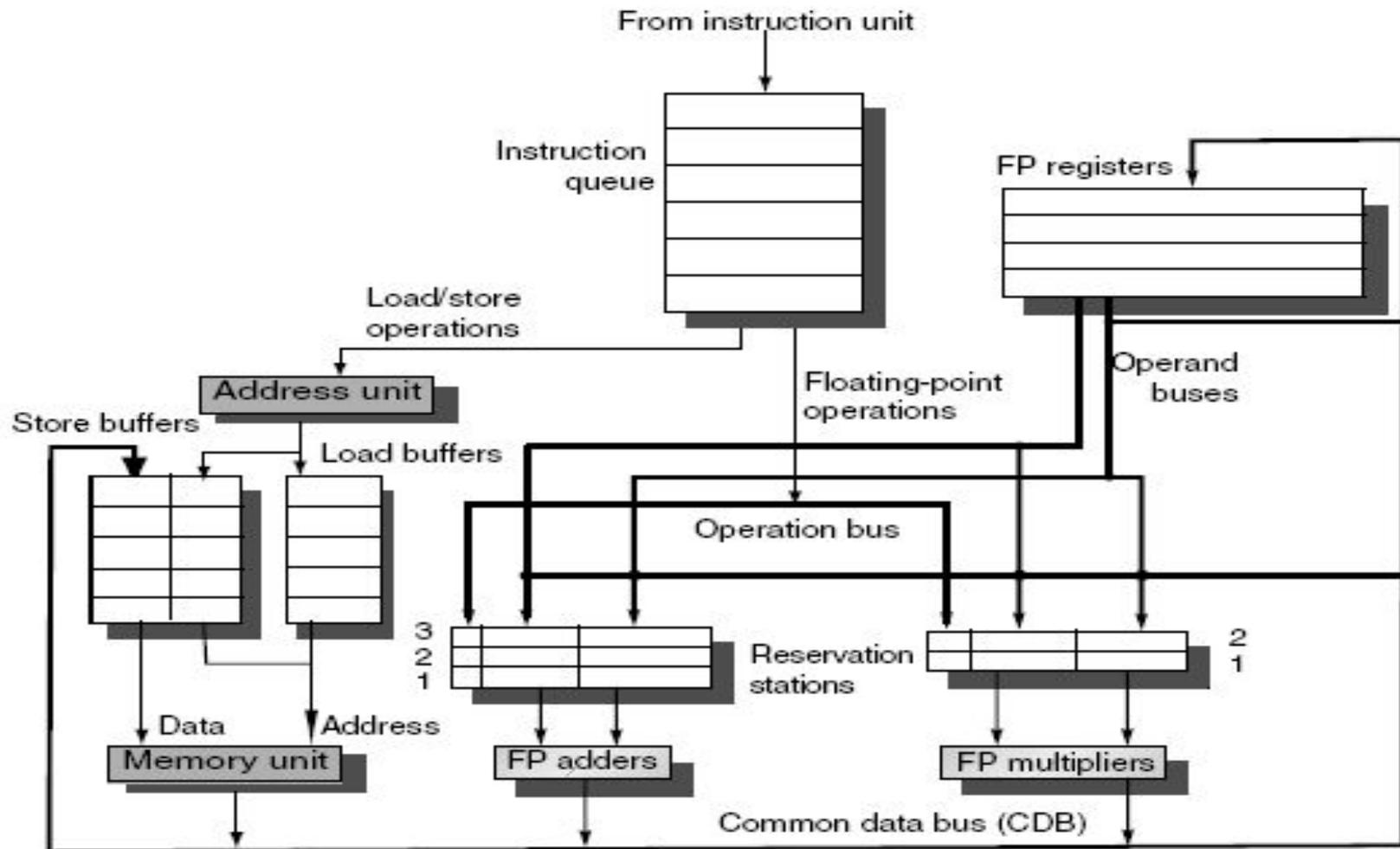
Алгоритм Тамасуло

- Разработан в компании IBM в начале 80-ых годов.
- Первоначально использовался в вещественном сопроцессоре IBM 360/92.
- Это алгоритм динамического планирования инструкций, позволяет исполнять инструкции в порядке отличном от программного.
- При одновременном исполнении двух и более инструкций позволяет разрешить RAW, и устранить WAR и WAW конфликты

Алгоритм Тамасуло

- Разрешение конфликтов RAW происходит за счет запуска инструкции, только когда готовы ее операнды.
- Устранение WAR и WAW конфликтов происходит за счет переименования регистров с использованием станций резервирования (Reserve Station).
- RS используются для хранения операндов инструкции и воссоздания графа зависимостей по данным между инструкциями, которые находятся в исполнении.

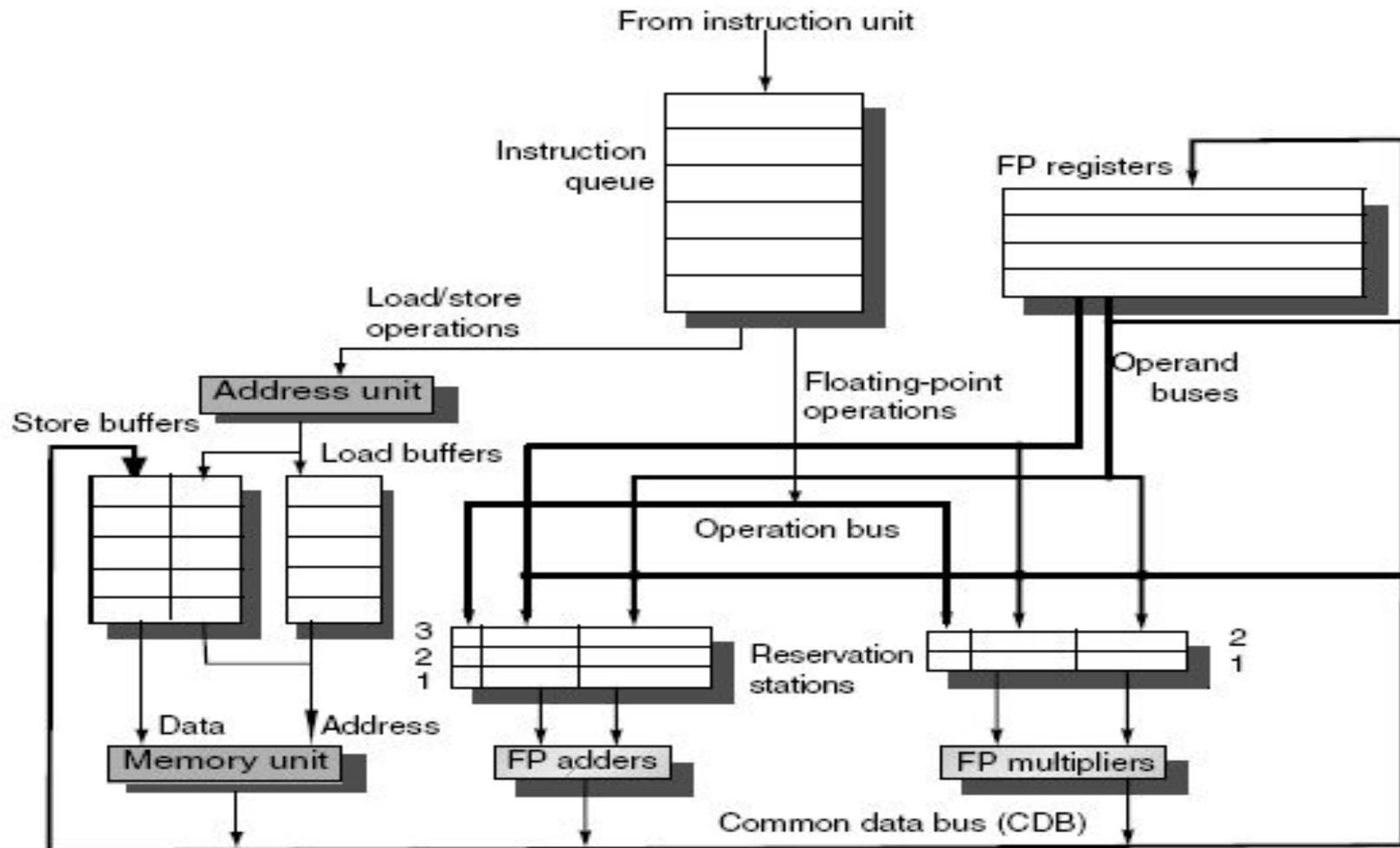
Схема процессора для реализации алгоритма Тамасуло



Состав процессора

- Очередь планирования (Instruction queue)[ОП]
- Регистровый файл (FP Registers) [РФ]
- Станции резервирования (Reserve Station) [СР]
- Простое вещественное устройство (FP adder)
- Сложное вещественное устройство (FP Multiplier)
- Общая шина данных (Common Data Bus)[ОШД]
- Устройство вычисления адреса (Address Unit)
- Буфера загрузки (Load buffer)
- Буфера сохранения (Store buffer)
- Устройство работы с памятью (Memory Unit).

Схема процессора для реализации алгоритма Тамасуло



Этапы исполнения инструкции

Классический конвейер

1. Выборка инструкции
2. Выборка операндов
3. Исполнение
4. Сохранение результата

Алгоритм Тамасуло

1. Выборка инструкции
2. Планирование инструкции
3. Ожидание готовности операндов
4. Исполнение
5. Сохранение результата

Устройство CP

- Состоит из двух дескрипторов операндов.
- Дескриптор операнда содержит *значение операнда* или *ссылку*, если значение операнда на момент планирования еще не вычислено.
- *Ссылка* - это номер CP, который содержит инструкцию вычисляющую данный операнд.

Планирование инструкций

1. Выборка с вершины ОП.
 - Выборка происходит по 1 инструкции за такт.
 - Выборка осуществляется в программном порядке, так как очередь FIFO
2. Декодирование.
3. Назначение на исполнительное устройство.
 - Если все СР устройства заняты, то инструкция возвращается в ОП и ожидает освобождения RS.
4. Выборка операндов.
 - Если операнды вычислены, то они выбираются из РФ, если нет то в дескрипторах СР устанавливается ссылки на другие СР.

Ожидание готовности операндов, исполнение, сохранение результатов

- Инструкция ожидает в СР до тех пор, пока не будут вычислены все ее операнды и записаны в соответствующие дескрипторы.
- Передача вычисленного операнда происходит по ОШД вместе с номером СР, который его содержал.
- Каждая СР слушает ОШД и сравнивает значение номер передаваемого по ней СР с ожидаемым. Если номера совпадают то она забирает значение операнда с ОШД.
- Передаваемые по ОШД данные сохраняются в РФ.
- Если все операнды находятся СР, то инструкция отправляется на исполнение.

Обработка инструкций загрузки и сохранения.

- Инструкция загрузки:
 - Вычисление адреса
 - Выполнение загрузки по адресу
- Инструкция сохранения:
 - Вычисление адреса
 - Ожидания готовности операнда.
 - Выполнение сохранения по адресу.
- Буфер загрузки: поле адреса.
- Буфер сохранения: поле адреса, СР для операнда.

Порядок исполнения инструкций загрузки и сохранения.

- Определяется наличием зависимостей между инструкциями по ячейкам памяти.
- Адреса ячеек вычисляются на первом этапе.
- Инструкция загрузки ожидает завершения всех предшествующих инструкций сохранения по данному адресу.
- Инструкция сохранения ожидает завершения всех предшествующих инструкций загрузки и сохранения по данному адресу.

Файл переименования

- Находиться в РФ.
- Содержит имена переименованных регистров.
- Состоит из двух полей

регистр	Ссылка
---------	--------
- Если значение находится в регистре, то ссылка равна нулю, если нет то ссылка указывает на СР, которая его вычислит.

Пример 1

1. L.D F6,34(R2)
2. L.D F2,45(R3)
3. MUL.D F0,F2,F4
4. SUB.D F8,F2,F6
5. DIV.D F10,F0,F6
6. ADD.D F6,F8,F2

Допущения

1. Латентность загрузки/сохранения : 2
2. Латентность сложения/вычитания : 2
3. Латентность умножения : 10
4. Латентность деления: 40
5. CP для загрузки/сохранения: 3
6. CP для простых арифм. опер. : 3
7. CP для сложных арифм. опер. : 2
8. ***Планирование инструкций происходит отдельно от процесса исполнения.***

Обозначения

Op — операция, которая будет выполняться

Vj, Vk — готовые значения операндов.

Qj, Qk — ссылка на СР, на которой будет рассчитан соответствующий операнд.

Значение «0» — данные записаны в Vj или Vk соответственно.

Busy — флаг занятости.

Issue — стадия планирования инструкции.

Complete — стадия выполнения и завершения выполнения.

Result — стадия сохранения результата

Takt 1

<u>Instruction status</u>				<i>Execution</i>	<i>Write</i>							
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1				Load1	Yes	34+R2		
LD	F2	45+	R3					Load2	No			
MULTD	F0	F2	F4					Load3	No			
SUBD	F8	F6	F2									
DIVD	F10	F0	F6									
ADDD	F6	F8	F2									
<u>Reservation Stations</u>					<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
	0	Add2	No									
		Add3	No									
	0	Mult1	No									
	0	Mult2	No									
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
1			FU				Load1					

Takt 2

<u>Instruction status</u>				<i>Execution</i>	<i>Write</i>							
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			<i>Busy</i>	<i>Address</i>		
LD	F6	34+	R2	1	2-			Load1	Yes	34+R2		
LD	F2	45+	R3	2				Load2	Yes	45+R3		
MULTD	F0	F2	F4					Load3	No			
SUBD	F8	F6	F2									
DIVD	F10	F0	F6									
ADDD	F6	F8	F2									
<u>Reservation Stations</u>					<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
	0	Add2	No									
		Add3	No									
	0	Mult1	No									
	0	Mult2	No									
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>...</i>	<i>F30</i>
2			FU		Load2		Load1					

Takt 3

<u>Instruction status</u>			<i>Execution</i>			<i>Write</i>						
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>		<i>Busy</i>	<i>Address</i>			
LD	F6	34+	R2	1	2--3			Load1	Yes	34+R2		
LD	F2	45+	R3	2	3-			Load2	Yes	45+R3		
MULTD	F0	F2	F4	3				Load3	No			
SUBD	F8	F6	F2									
DIVD	F10	F0	F6									
ADDD	F6	F8	F2									
<u>Reservation Stations</u>				<i>S1</i>		<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
	0	Add2	No									
		Add3	No									
	0	Mult1	Yes	Mult		R(F4)	Load2					
	0	Mult2	No									
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	<i>...</i>	<i>F30</i>
3			FU	Mult1	Load2		Load1					

Takt 4

<u>Instruction status</u>					Execution	Write						
Instruction		<i>j</i>	<i>k</i>	Issue	complete	Result			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4			Load2	Yes	45+R3		
MULTD	F0	F2	F4	3				Load3	No			
SUBD	F8	F6	F2	4								
DIVD	F10	F0	F6									
ADDD	F6	F8	F2									
<u>Reservation Stations</u>					S1	S2	RS for j	RS for k				
	Time	Name	Busy	Op	Vj	Vk	Qj	Qk				
	0	Add1	Yes	Sub	M(A1)			Load2				
	0	Add2	No									
		Add3	No									
	0	Mult1	Yes	Mult		R(F4)	Load2					
	0	Mult2	No									
<u>Register result status</u>												
Clock				F0	F2	F4	F6	F8	F10	F12	...	F30
4			FU	Mult1	Load2		M(A1)	Add1				

Takt 5

<u>Instruction status</u>					Execution	Write						
Instruction		<i>j</i>	<i>k</i>	Issue	complete	Result			Busy	Address		
LD	F6	34+	R2	1	2--3	4			Load1	No		
LD	F2	45+	R3	2	3--4	5			Load2	No		
MULTD	F0	F2	F4	3					Load3	No		
SUBD	F8	F6	F2	4								
DIVD	F10	F0	F6	5								
ADDD	F6	F8	F2									
<u>Reservation Stations</u>					S1	S2	RS for j	RS for k				
	Time	Name	Busy	Op	Vj	Vk	Qj	Qk				
	2	Add1	Yes	Sub	M(A1)	M(A2)						
	0	Add2	No									
		Add3	No									
	10	Mult1	Yes	Mult	M(A2)	R(F4)						
	0	Mult2	Yes	Div		M(A1)	Mult1					
<u>Register result status</u>												
Clock				F0	F2	F4	F6	F8	F10	F12	...	F30
5			FU	Mult1	M(A2)		M(A1)	Add1	Mult2			

Takt 6

<u>Instruction status</u>				Execution	Write							
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 --			Load3	No			
SUBD	F8	F6	F2	4	6 --							
DIVD	F10	F0	F6	5								
ADDD	F6	F8	F2	6								
<u>Reservation Stations</u>					<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	1	Add1	Yes	Sub	M(A1)	M(A2)						
	0	Add2	Yes	Add		M(A2)	Add1					
		Add3	No									
	9	Mult1	Yes	Mult	M(A2)	R(F4)						
	0	Mult2	Yes	Div		M(A1)	Mult1					
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
6			FU	Mult1	M(A2)		Add2	Add1	Mult2			

Takt 7

<u>Instruction status</u>				<i>Execution</i>		<i>Write</i>								
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address				
LD	F6	34+	R2	1	2--3	4		Load1	No					
LD	F2	45+	R3	2	3--4	5		Load2	No					
MULTD	F0	F2	F4	3	6 --			Load3	No					
SUBD	F8	F6	F2	4	6 -- 7									
DIVD	F10	F0	F6	5										
ADDD	F6	F8	F2	6										
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>					
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>						
	0	Add1	Yes	Sub	M(A1)	M(A2)								
	0	Add2	Yes	Add		M(A2)	Add1							
		Add3	No											
	8	Mult1	Yes	Mult	M(A2)	R(F4)								
	0	Mult2	Yes	Div		M(A1)	Mult1							
<u>Register result status</u>														
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>		
7			FU	Mult1	M(A2)		Add2	Add1	Mult2					

Takt 8

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 --			Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6	5								
ADD	F6	F8	F2	6								
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>			
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
	2	Add2	Yes	Add	M1-M2	M(A2)						
		Add3	No									
	7	Mult1	Yes	Mult	M(A2)	R(F4)						
	0	Mult2	Yes	Div		M(A1)	Mult1					
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
8			FU	Mult1	M(A2)		Add2	M1-M2	Mult2			

Takt 9

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 --			Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6	5								
ADD	F6	F8	F2	6	9 --							
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>			
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
	1	Add2	Yes	Add	M1-M2	M(A2)						
		Add3	No									
	6	Mult1	Yes	Mult	M(A2)	R(F4)						
	0	Mult2	Yes	Div		M(A1)	Mult1					
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
9			FU	Mult1	M(A2)		Add2	M1-M2	Mult2			

Takt 10

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4			Load1	No		
LD	F2	45+	R3	2	3--4	5			Load2	No		
MULTD	F0	F2	F4	3	6 --				Load3	No		
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6	5								
ADD	F6	F8	F2	6	9 -- 10							
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>			
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
	0	Add2	Yes	Add	M1-M2	M(A2)						
		Add3	No									
	5	Mult1	Yes	Mult	M(A2)	R(F4)						
	0	Mult2	Yes	Div		M(A1)	Mult1					
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
10			FU	Mult1	M(A2)		Add2	M1-M2	Mult2			

Takt 11

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 --			Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6	5								
ADDD	F6	F8	F2	6	9 -- 10	11						
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>			
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
		Add2	No									
		Add3	No									
	4	Mult1	Yes	Mult	M(A2)	R(F4)						
	0	Mult2	Yes	Div		M(A1)	Mult1					
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
11			FU	Mult1	M(A2)		M1-M2+M(j)	M1-M2	Mult2			

Takt 12

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 --			Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6	5								
ADD	F6	F8	F2	6	9 -- 10	11						
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>			
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
		Add2	No									
		Add3	No									
	4	Mult1	Yes	Mult	M(A2)	R(F4)						
	0	Mult2	Yes	Div		M(A1)	Mult1					
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
12			FU	Mult1	M(A2)		M1-M2+M(M1-M2	Mult2			

Takt 15

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 -- 15			Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6	5								
ADD	F6	F8	F2	6	9 -- 10	11						
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>			
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
		Add2	No									
		Add3	No									
	0	Mult1	Yes	Mult	M(A2)	R(F4)						
	0	Mult2	Yes	Div		M(A1)	Mult1					
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
15			FU	Mult1	M(A2)		M1-M2+M(M1-M2	Mult2			

Takt 16

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 -- 15	16		Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6	5								
ADD	F6	F8	F2	6	9 -- 10	11						
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>			
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
		Add2	No									
		Add3	No									
		Mult1	No									
	40	Mult2	Yes	Div	M*F4	M(A1)						
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
16			FU	M*F4	M(A2)		M1-M2+M(M1-M2	Mult2			

Takt 56

<u>Instruction status</u>					<i>Execution</i>	<i>Write</i>						
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 -- 15	16		Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6	5	17 -- 56							
ADD	F6	F8	F2	6	9 -- 10	11						
<u>Reservation Stations</u>					<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
		Add2	No									
		Add3	No									
		Mult1	No									
	0	Mult2	Yes	Div	M*F4	M(A1)						
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
56			FU	M*F4	M(A2)	M1-M2+M(M1-M2	Mult2			

Takt 57

<u>Instruction status</u>					<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address	
LD	F6	34+	R2	1	2--3	4		Load1	No		
LD	F2	45+	R3	2	3--4	5		Load2	No		
MULTD	F0	F2	F4	3	6 -- 15	16		Load3	No		
SUBD	F8	F6	F2	4	6 -- 7	8					
DIVD	F10	F0	F6	5	17 -- 56	57					
ADD	F6	F8	F2	6	9 -- 10	11					
<u>Reservation Stations</u>					<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>			
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>			
	0	Add1	No								
		Add2	No								
		Add3	No								
		Mult1	No								
	0	Mult2	No								
<u>Register result status</u>											
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	... <i>F30</i>
57			FU	M*F4	M(A2)		M1-M2+M(M1-M2	result		

Пример 2

1. L.D F6,34(R2)
2. L.D F2,45(R3)
3. MUL.D F0,F2,F4
4. SUB.D F8,F2,F6
5. DIV.D F10,F0,F6
6. ADD.D F6,F8,F2

Допущения

1. Латентность загрузки/сохранения : 2
2. Латентность сложения/вычитания : 2
3. Латентность умножения : 10
4. Латентность деления: 40
5. CP для загрузки/сохранения: 3
6. CP для простых арифм. опер. : 3
7. CP для сложных арифм. опер. : **1**
8. ***Планирование инструкций происходит отдельно от процесса исполнения.***

Takt 4

<u>Instruction status</u>					Execution	Write						
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4			Load2	Yes	45+R3		
MULTD	F0	F2	F4	3				Load3	No			
SUBD	F8	F6	F2	4								
DIVD	F10	F0	F6									
ADDD	F6	F8	F2									
<u>Reservation Stations</u>					S1	S2	RS for j	RS for k				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	Yes	Sub	M(A1)			Load2				
	0	Add2	No									
		Add3	No									
	0	Mult1	Yes	Mult		R(F4)	Load2					
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
4			FU	Mult1	Load2		M(A1)	Add1				

Takt 5

<u>Instruction status</u>				Execution	Write							
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3				Load3	No			
SUBD	F8	F6	F2	4								
DIVD	F10	F0	F6									
ADDD	F6	F8	F2									
<u>Reservation Stations</u>					S1	S2	RS for <i>j</i>	RS for <i>k</i>				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>V_j</i>	<i>V_k</i>	<i>Q_j</i>	<i>Q_k</i>				
	2	Add1	Yes	Sub	M(A1)	M(A2)						
	0	Add2	No									
		Add3	No									
	10	Mult1	Yes	Mult	M(A2)	R(F4)						
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
5			FU	Mult1	M(A2)		M(A1)	Add1				

Takt 6

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4			Load1	No		
LD	F2	45+	R3	2	3--4	5			Load2	No		
MULTD	F0	F2	F4	3	6 --				Load3	No		
SUBD	F8	F6	F2	4	6 --							
DIVD	F10	F0	F6									
ADDD	F6	F8	F2									
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i> <i>RS for k</i>				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	1	Add1	Yes	Sub	M(A1)	M(A2)						
	0	Add2	No									
		Add3	No									
	9	Mult1	Yes	Mult	M(A2)	R(F4)						
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
6			FU	Mult1	M(A2)		M(A1)	Add1				

Takt 8

<u>Instruction status</u>				<i>Execution</i>		<i>Write</i>						
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4			Load1	No		
LD	F2	45+	R3	2	3--4	5			Load2	No		
MULTD	F0	F2	F4	3	6 --				Load3	No		
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6									
ADDD	F6	F8	F2									
<u>Reservation Stations</u>					<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
	0	Add2	No									
		Add3	No									
	7	Mult1	Yes	Mult	M(A2)	R(F4)						
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
8			FU	Mult1	M(A2)			M1-M2				

Takt 9

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>						
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address			
LD	F6	34+	R2	1	2--3	4		Load1	No				
LD	F2	45+	R3	2	3--4	5		Load2	No				
MULTD	F0	F2	F4	3	6 --			Load3	No				
SUBD	F8	F6	F2	4	6 -- 7	8							
DIVD	F10	F0	F6										
ADDD	F6	F8	F2										
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>					
	0	Add1	No										
	0	Add2	No										
		Add3	No										
	6	Mult1	Yes	Mult	M(A2)	R(F4)							
<u>Register result status</u>													
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>	
9			FU	Mult1	M(A2)		M(A1)	M1-M2					

Takt 15

<u>Instruction status</u>					<i>Execution</i>	<i>Write</i>						
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 -- 15			Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6									
ADDD	F6	F8	F2									
<u>Reservation Stations</u>					<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
		Add2	No									
		Add3	No									
	0	Mult1	Yes	Mult	M(A2)	R(F4)						
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
15			FU	Mult1	M(A2)		M(A1)	M1-M2				

Takt 16

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>						
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address			
LD	F6	34+	R2	1	2--3	4			Load1	No			
LD	F2	45+	R3	2	3--4	5			Load2	No			
MULTD	F0	F2	F4	3	6 -- 15	16			Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8							
DIVD	F10	F0	F6										
ADDD	F6	F8	F2										
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>				
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>					
	0	Add1	No										
		Add2	No										
		Add3	No										
	0	Mult1	No										
<u>Register result status</u>													
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>	
16			FU	M*F4	M(A2)		M(A1)	M1-M2					

Takt 17

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 -- 15	16		Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6	17								
ADDD	F6	F8	F2									
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>			
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
		Add2	No									
		Add3	No									
	40	Mult1	Yes	Div	M*F4	M(A1)						
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
17			FU	M*F4	M(A2)		M(A1)	M1-M2	Div			

Takt 18

<u>Instruction status</u>				<i>Execution</i>		<i>Write</i>							
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address			
LD	F6	34+	R2	1	2--3	4			Load1	No			
LD	F2	45+	R3	2	3--4	5			Load2	No			
MULTD	F0	F2	F4	3	6 -- 15	16			Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8							
DIVD	F10	F0	F6	17	18--								
ADDD	F6	F8	F2	18									
<u>Reservation Stations</u>					<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>					
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>					
	2	Add1	Yes	Add	M1-M2	M(A2)							
		Add2	No										
		Add3	No										
	39	Mult1	Yes	Div	M*F4	M(A1)							
<u>Register result status</u>													
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>	
18			FU	M*F4	M(A2)		Add	M1-M2	Div				

Takt 21

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 -- 15	16		Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6	17	18--							
ADDD	F6	F8	F2	18	19--20	21						
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>			
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
		Add2	No									
		Add3	No									
	36	Mult1	Yes	Div	M*F4	M(A1)						
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
21			FU	M*F4	M(A2)		M1-M2+M(j)	M1-M2	Div			

Takt 57

<u>Instruction status</u>				<i>Execution</i>		<i>Write</i>							
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>				Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1		No			
LD	F2	45+	R3	2	3--4	5		Load2		No			
MULTD	F0	F2	F4	3	6 -- 15	16		Load3		No			
SUBD	F8	F6	F2	4	6 -- 7	8							
DIVD	F10	F0	F6	17	18 -- 57								
ADD	F6	F8	F2	18	19--20	21							
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>				
		<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
		0	Add1	No									
			Add2	No									
			Add3	No									
		0	Mult1	Yes	Div	M*F4	M(A1)						
<u>Register result status</u>													
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>	
57				FU	M*F4	M(A2)	M1-M2+M(M1-M2	Mult2			

Takt 58

<u>Instruction status</u>						<i>Execution</i>	<i>Write</i>					
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>complete</i>	<i>Result</i>			Busy	Address		
LD	F6	34+	R2	1	2--3	4		Load1	No			
LD	F2	45+	R3	2	3--4	5		Load2	No			
MULTD	F0	F2	F4	3	6 -- 15	16		Load3	No			
SUBD	F8	F6	F2	4	6 -- 7	8						
DIVD	F10	F0	F6	17	18--57	58						
ADD	F6	F8	F2	18	19--20	21						
<u>Reservation Stations</u>						<i>S1</i>	<i>S2</i>	<i>RS for j</i>	<i>RS for k</i>			
	<i>Time</i>	<i>Name</i>	<i>Busy</i>	<i>Op</i>	<i>Vj</i>	<i>Vk</i>	<i>Qj</i>	<i>Qk</i>				
	0	Add1	No									
		Add2	No									
		Add3	No									
		Mult1	No									
	0	Mult2	No									
<u>Register result status</u>												
Clock				<i>F0</i>	<i>F2</i>	<i>F4</i>	<i>F6</i>	<i>F8</i>	<i>F10</i>	<i>F12</i>	...	<i>F30</i>
58			FU	M*F4	M(A2)	M1-M2+M(M1-M2	result			

Общее описание алгоритма

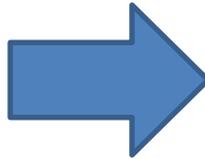
Instruction state	Wait until	Action or bookkeeping
Issue FP Operation	Station r empty	<pre> if (RegisterStat[rs].Qi ≠ 0) {RS[r].Qj ← RegisterStat[rs].Qi} else {RS[r].Vj ← Regs[rs]; RS[r].Qj ← 0}; if (RegisterStat[rt].Qi ≠ 0) {RS[r].Qk ← RegisterStat[rt].Qi} else {RS[r].Vk ← Regs[rt]; RS[r].Qk ← 0}; RS[r].Busy ← yes; RegisterStat[rd].Qi = r; </pre>
Load or Store	Buffer r empty	<pre> if (RegisterStat[rs].Qi ≠ 0) {RS[r].Qj ← RegisterStat[rs].Qi} else {RS[r].Vj ← Regs[rs]; RS[r].Qj ← 0}; RS[r].A ← imm; RS[r].Busy ← yes; </pre>
Load only		RegisterStat[rt].Qi = r;
Store only		<pre> if (RegisterStat[rt].Qi ≠ 0) {RS[r].Qk ← RegisterStat[rs].Qi} else {RS[r].Vk ← Regs[rt]; RS[r].Qk ← 0}; </pre>
Execute FP Operation	(RS[r].Qj=0) and (RS[r].Qk=0)	Compute result: operands are in Vj and Vk
Load/Store step 1	RS[r].Qj=0 & r is head of load/store queue	RS[r].A ← RS[r].Vj + RS[r].A;
Load step 2	RS[r].A <> 0	Read from Mem[RS[r].A]
Write result FP Operation or Load	Execution complete at r & CDB available	<pre> ∀x (if (RegisterStat[x].Qi = r) {Regs[x] ← result; RegisterStat[x].Qi ← 0}); ∀x (if (RS[x].Qj = r) {RS[x].Vj ← result; RS[x].Qj ← 0}); ∀x (if (RS[x].Qk = r) {RS[x].Vk ← result; RS[x].Qk ← 0}); RS[r].Busy ← no; </pre>
Store	Execution complete at r & RS[r].Qk=0	<pre> Mem[RS[r].A] ← RS[r].Vk; RS[r].Busy ← no; </pre>

Достоинства и недостатки алгоритма.

- Достоинства:
 - Повышение пропускной способности
 - Уменьшение времени простоя процессора
- Недостатки
 - Большие аппаратные затраты на реализацию дополнительных устройств.

Пример задачи

- Дано: $C = 3A + 4 + B$
- Р-р R1 соответствует A
- Р-р R2 соответствует B
- Р-р R3 соответствует C



Ассемблерный код

```
ld R4, [R1]
mul R4, R4, 3
ld R5, [R2]
ADD R4, R4, 4
ADD R4, R5, R4
st [R3], R4
ADD R1, R1, 1
ADD R2, R2, 1
ADD R3, R3, 1
BNE R10, R1, loop
```