

Электронные и логические схемы некоторых базовых компонентов компьютера

- Логические операции OR (И), AND (ИЛИ), NOT (НЕ) довольно просто технически выполняются на любых системах элементов: и на электронных лампах, и на дискретных полупроводниковых элементах, и в интегральных схемах. Существуют многочисленные справочники, позволяющие выбрать подходящий вариант их технической реализации.
- Здесь и далее будем считать, что «1» представляется наличием положительного импульса, а «0» — его отсутствием.
- Простейшие **принципиальные электрические схемы OR и AND(ИЛИ) на резисторно-диодных элементах** и **схема NOT на биполярных транзисторах** показаны на рис. 6.7, а, б, в соответственно.

- Пояснения к схеме OR: **положительный импульс на выходе возникает при появлении положительного импульса на любом $\{a, b, c\}$ входе**, так как внутреннее сопротивление диода в прямом направлении мало (много меньше R).
 Пояснения к схеме AND: **положительный импульс на выходе возникает только при одновременном наличии положительных импульсов на всех трех (a, b, c) входах**. При отсутствии хотя бы одного входного импульса соответствующий ему диод будет открыт и замкнет

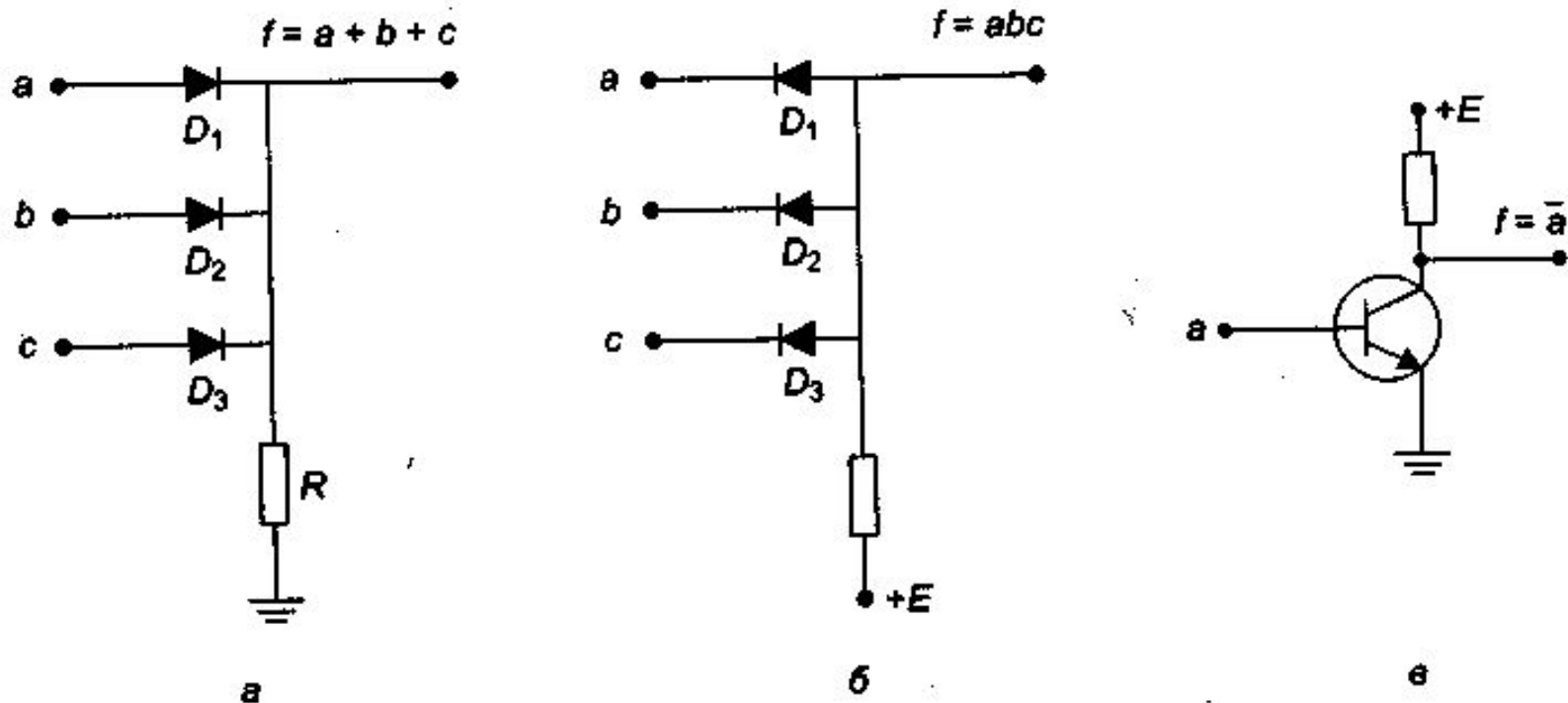


Рис. 6.7. Схемы OR, AND, NOT на диодах и биполярном транзисторе

- На рис. 6.8 показана схема NOT (НЕ) на полевых КМОП-транзисторах транзисторно-транзисторной технологии.
- Пояснение к схеме NOT: при подаче положительного импульса на вход (а) транзистор T_1 с каналом р-типа запирается, а транзистор T_2 с каналом n-типа открывается и на выходе (b) появляется отрицательный импульс. На рис. 6.9 показана комплементарная схема NAND (И-НЕ) на полевых транзисторах, выполненная по транзисторно-транзисторной технологии.

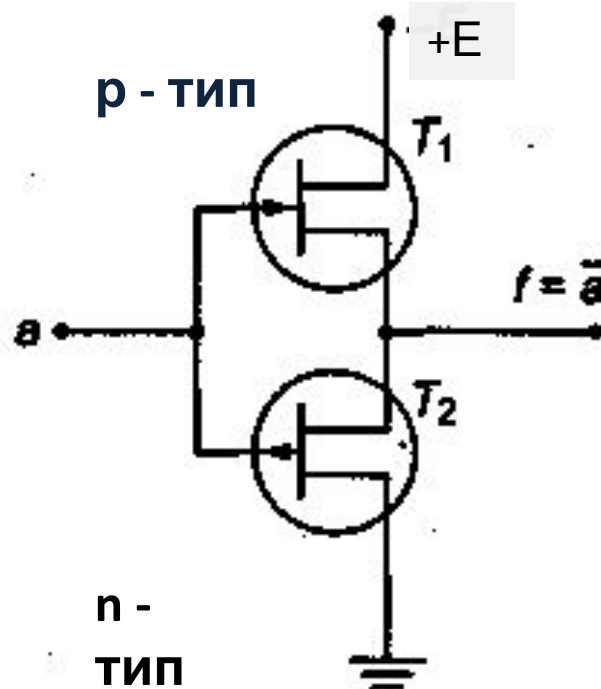
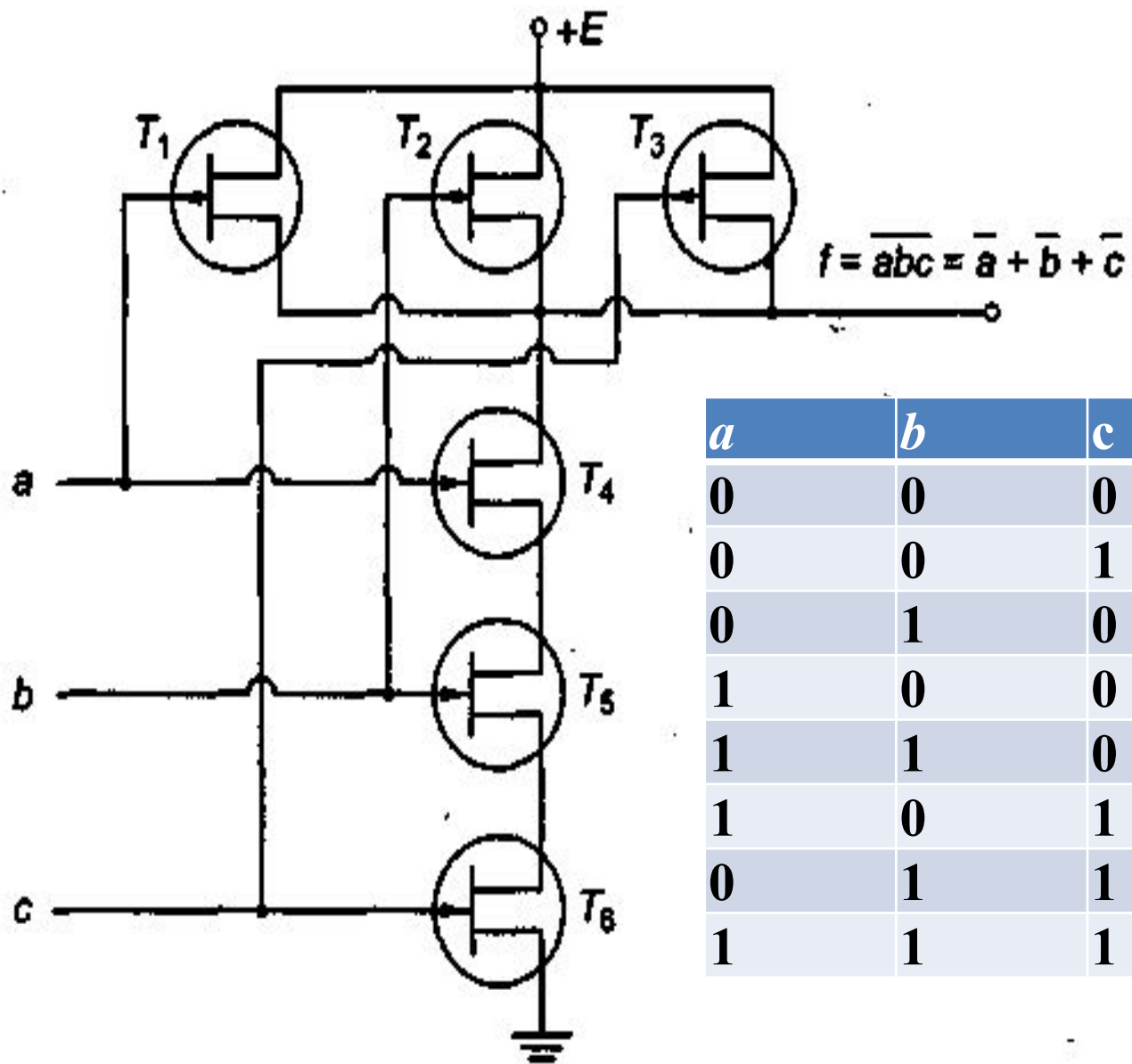


Рис. 6.8. Схема NOT на полевых КМОП-транзисторах



a	b	c	f
0	0	0	1
0	0	1	1
0	1	0	1
1	0	0	1
1	1	0	1
1	0	1	1
0	1	1	1
1	1	1	0

Рис. 6.9. Схема NAND на полевых КМОП-транзисторах

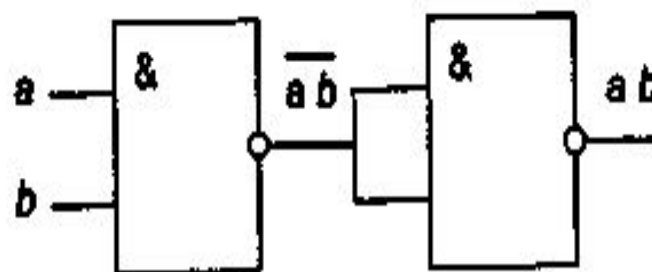
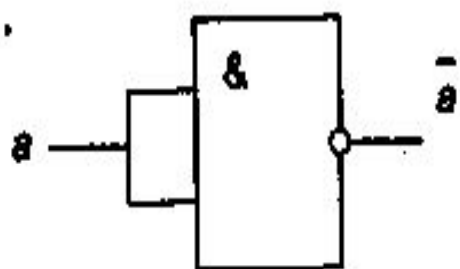
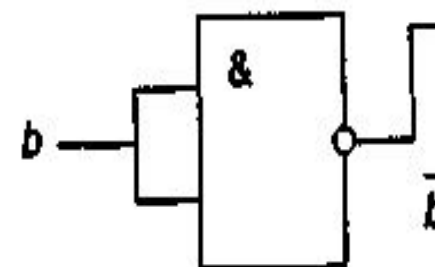
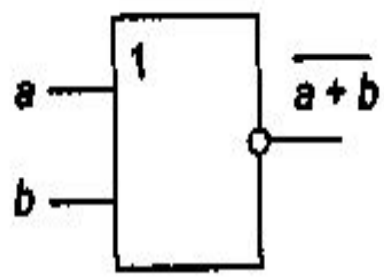
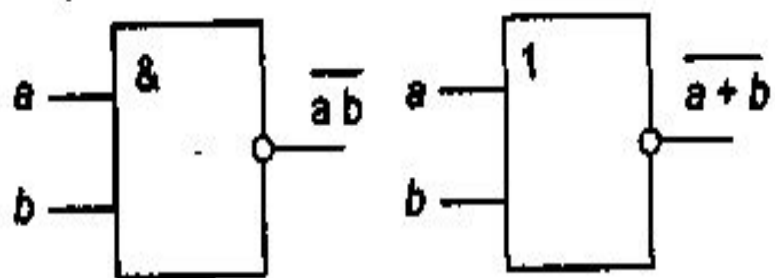
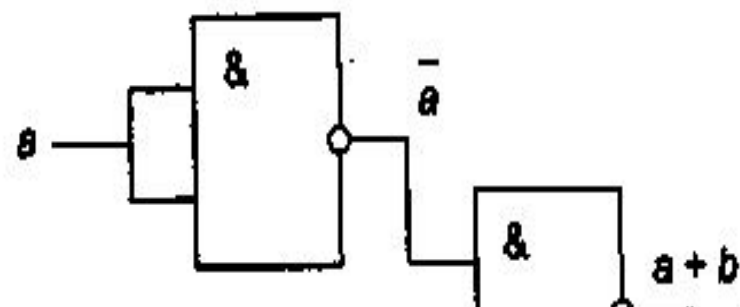
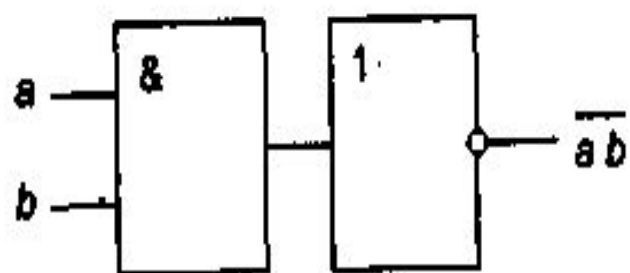
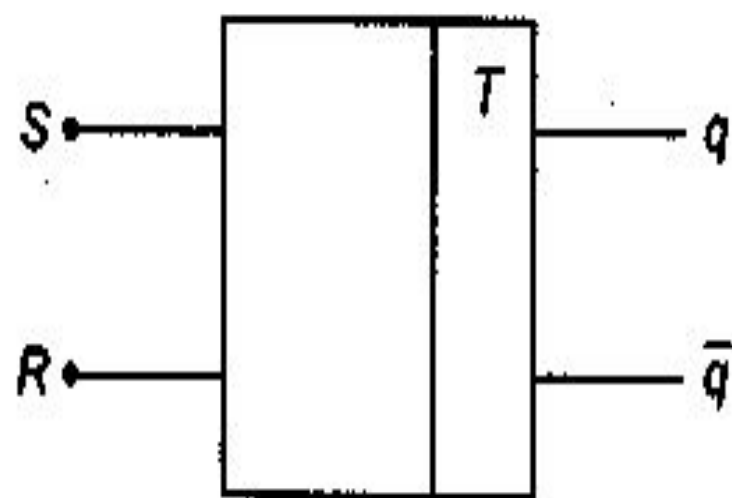


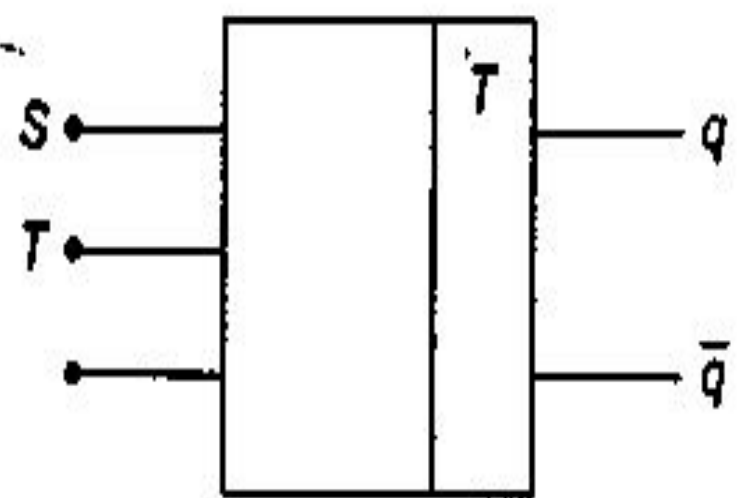
Рис. 6.10. Взаимные конструкции логических схем

Триггер

- Если триггер находится в состоянии «0», то у него на выходе q «высокое» напряжение (порядка нескольких вольт или даже меньше), на выходе \bar{q} «низкое» (обычно нулевое) напряжение, если триггер находится в состоянии «0», то напряжения распределены наоборот.
- Триггера могут иметь отдельные входы:
- R (Reset) — вход установки «0»;
- S (Set) — вход установки «1».
- Каждый вход устанавливает триггер в соответствующее состояние, такие триггеры часто называют *R-S-триггерами*.
- Триггеры могут иметь счетный вход T (toggle, релаксатор), очередной импульс «1» на счетном входе изменит состояние триггера. Такие триггеры часто называют *T-триггерами*.
- Триггер, установленный в какое либо состояние, сохраняет его до тех пор, пока импульс поданный



а



б

Рис. 6.11. Логические схемы: а — R-S-триггера, б — T-триггера

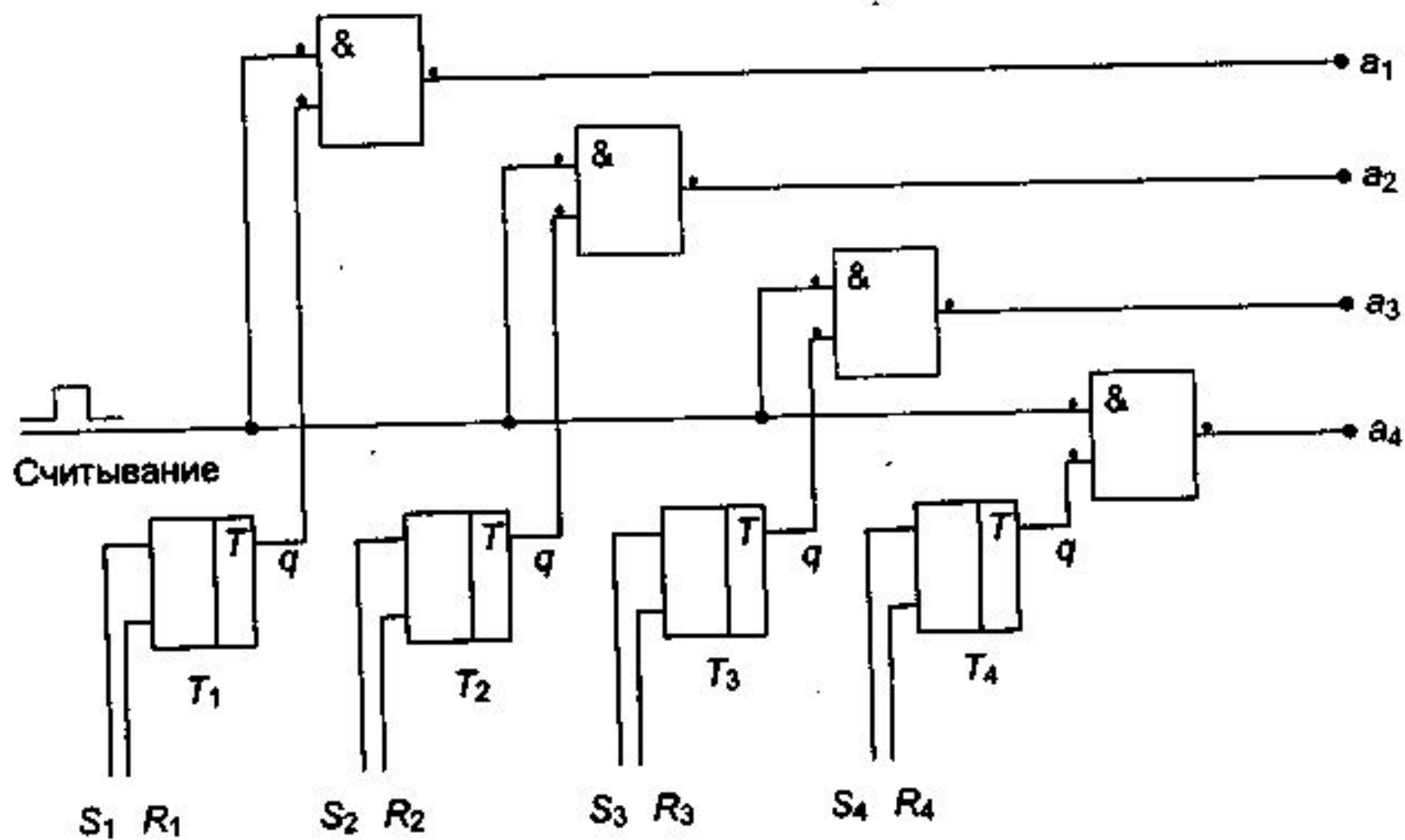


Рис. 6.13. Логическая схема регистра

jk и счётный (T – триггер)

- Прежде чем начать изучение jk триггера, вспомним принципы работы [RS-триггера](#). Напомню, что в этом триггере есть запрещённые комбинации входных сигналов. Одновременная подача единичных сигналов на входы R и S запрещены. Очень хотелось бы избавиться от этой неприятной ситуации.
- Таблица истинности jk триггера практически совпадает с таблицей истинности синхронного RS-триггера. Для того чтобы исключить запрещённое состояние, схема [триггера](#) изменена таким образом, что при подаче двух единиц jk триггер превращается в счётный [триггер](#). Это означает, что при подаче на тактовый вход C импульсов jk триггер изменяет своё состояние на противоположное. Таблица истинности jk триггера приведена в таблице 1.

**Таблица 1. Таблица истинности
JK триггера.**

С	К	Ј	Q(t)	Q(t+1)	Пояснения
0	x	x	0	0	Режим хранения информации
0	x	x	1	1	
1	0	0	0	0	Режим хранения информации
1	0	0	1	1	
1	0	1	0	1	Режим установки единицы J=1
1	0	1	1	1	
1	1	0	0	0	Режим записи нуля K=1
1	1	0	1	0	
1	1	1	0	1	K=J=1 счетный режим триггера
1	1	1	1	0	

Один из вариантов внутренней схемы JK-триггера приведен на рисунке 1.

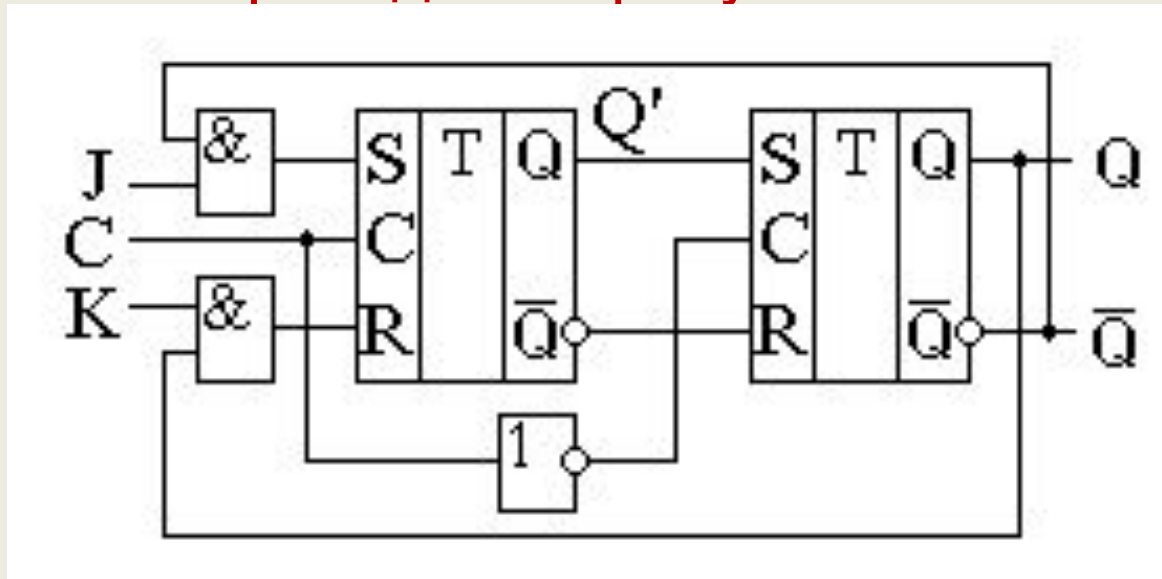


Рис. 1. Внутренняя схема jk триггера

- Для реализации счетного режима в схеме jk триггера, приведенной на рисунке 1, введена перекрестная обратная связь с выходов второго триггера на входы R и S первого триггера. Благодаря этой обратной связи на входах R и S первого триггера никогда не может возникнуть запрещенная комбинация. При подаче на входы j и k логической единицы одновременно триггер переходит в счетный режим, подобно T триггеру.

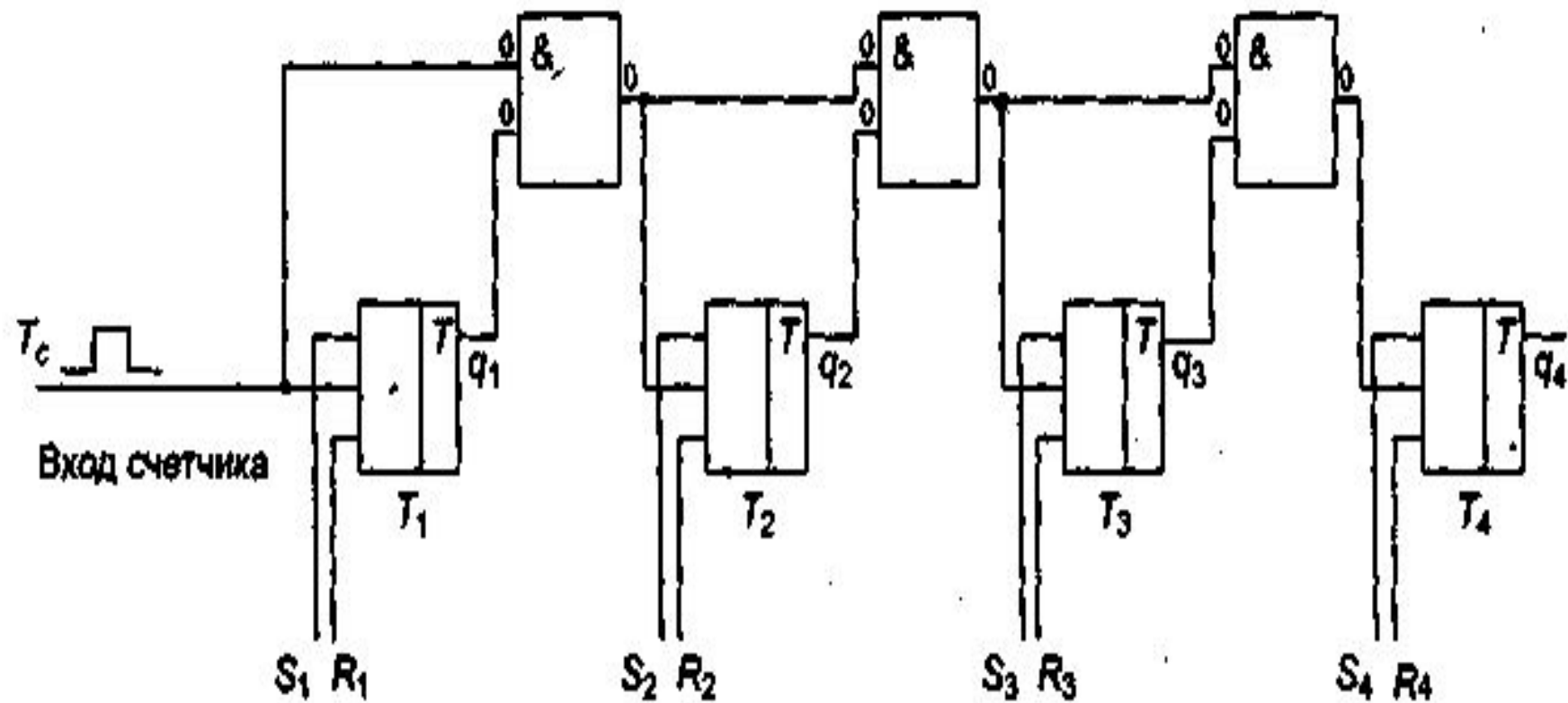


Рис. 6.14. Логическая схема двоичного счетчика

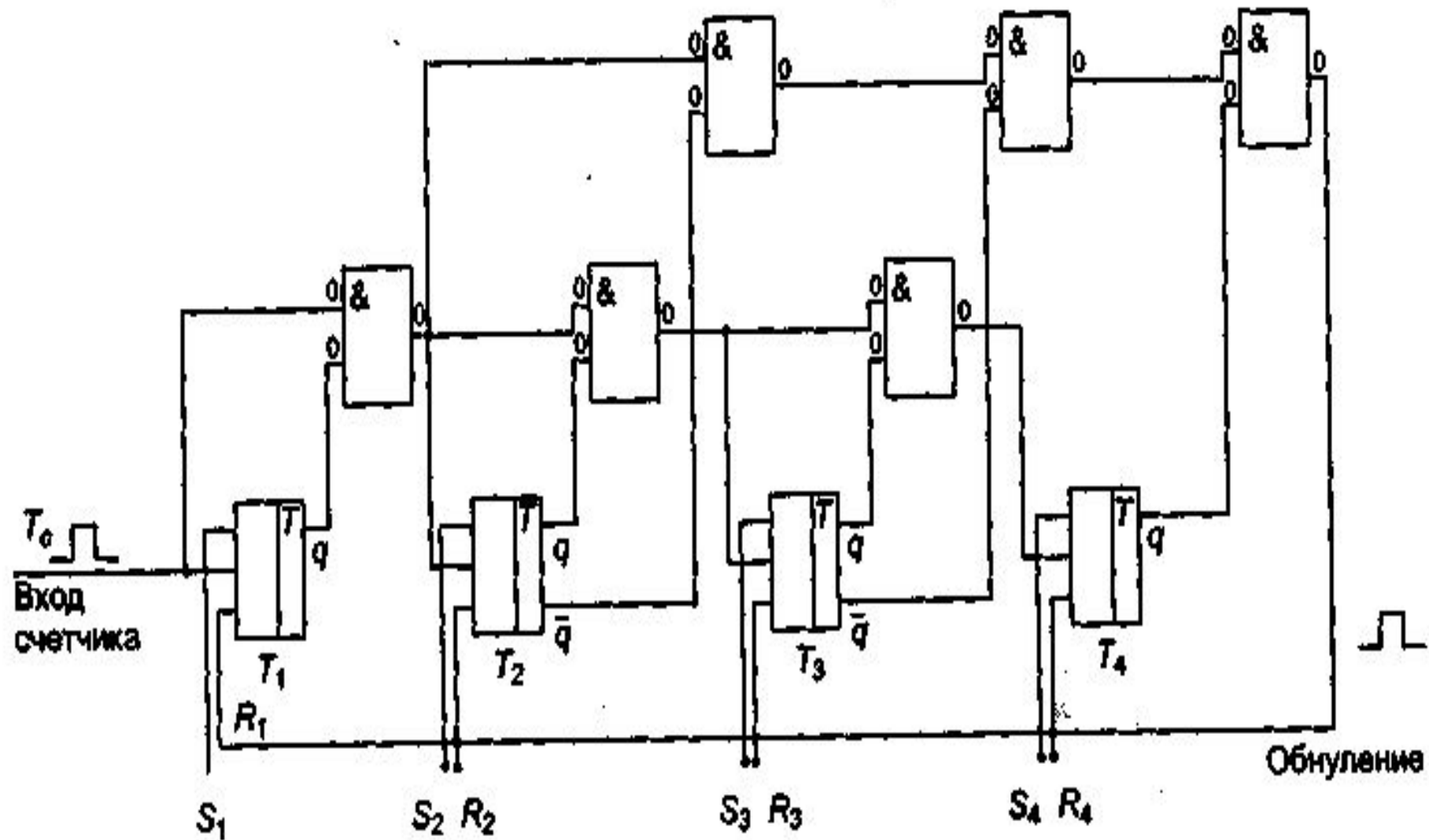


Рис. 6.15. Логическая схема тетрады двоично-десятичного счетчика

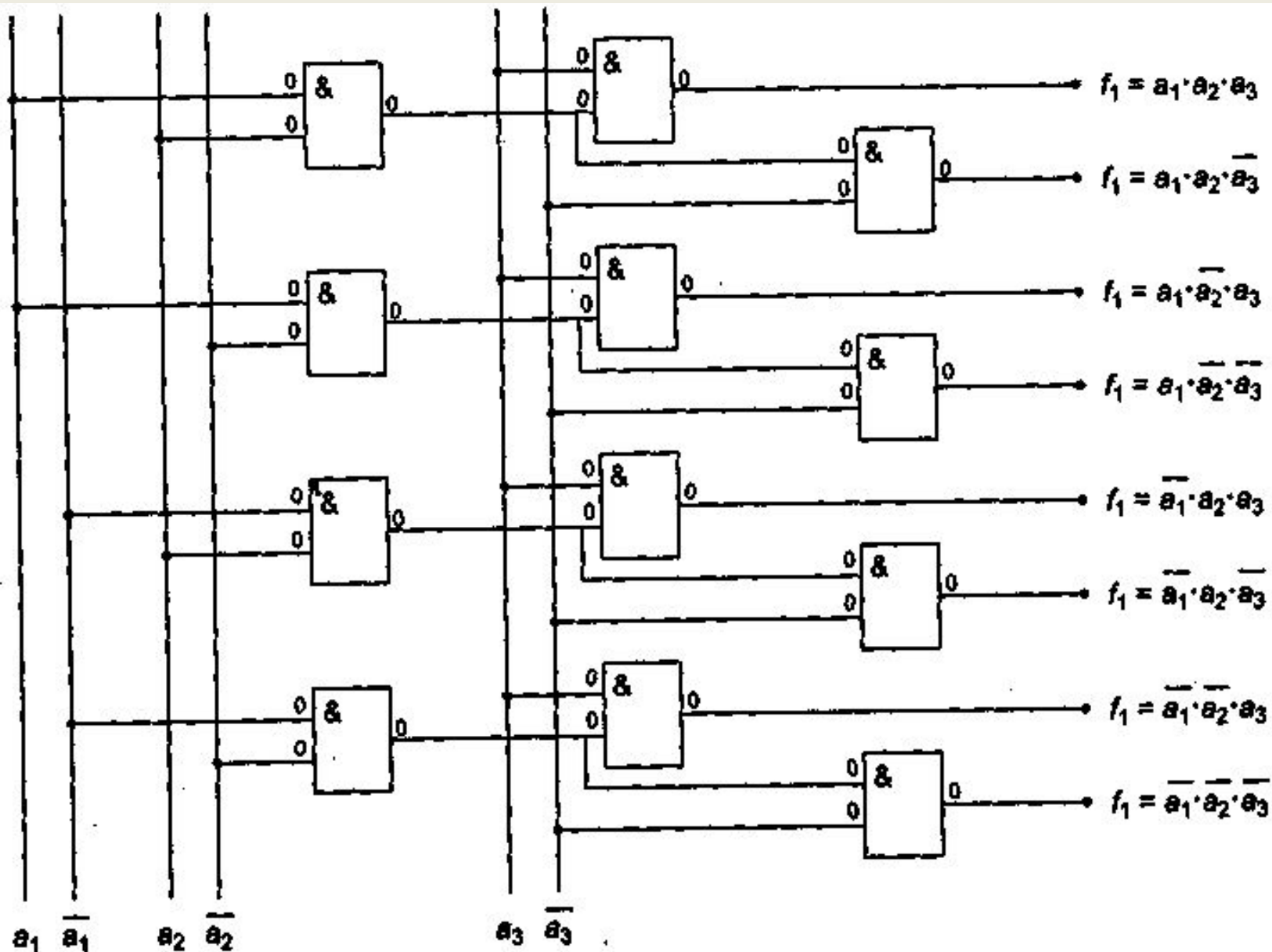


Рис. 6.16. Логическая схема дешифратора

ВМЕСТО ПОСЛЕСЛОВИЯ

Вы познакомились с мировоззренческой базой нашей Академии развития, с теми взглядами, которые многих людей сделали счастливыми и здоровыми. Любите мир – и мир будет любить вас. Поймите мир – и мир поймет вас. Главная ошибка наша – отделение себя от мира. Главная беда наша – незнание тех правил, по которым живет огромный мир.

***Мы пришли в этот мир,
давайте жить по его законам.***

Что нужно нам для счастья?
Нужно – Небо,
Немного веры в то, что мы нужны.
И место на Земле, то место, где бы
Была важна любовь и мы – важны.

Века и годы, час и лишь мгновенье –
Во все вложить всю силу, боль души
Мы сможем вместе в мощном наступленьи
И после боя отдохнем в тиши...

Мы вспомним всех, кто с нами был когда-то
И не сумел дойти, хоть был – солдат...
Быть может, мы немного виноваты,
А может быть – никто не виноват.

О, Боже, смотришь Ты везде и всюду,
Все видишь, понимаешь и – молчишь!

Скажи хоть слово... Молви: «С вами буду»...
Но звука нет... Ты с сердцем говоришь.

И снова – вера. Души закаляя,
Ведешь Планету сквозь огни и дым.
И снова – сердце в бой, не уставая,
Ведешь людское ИМЕНЕМ СВОИМ...

С любовью,
Светлана Пеунова