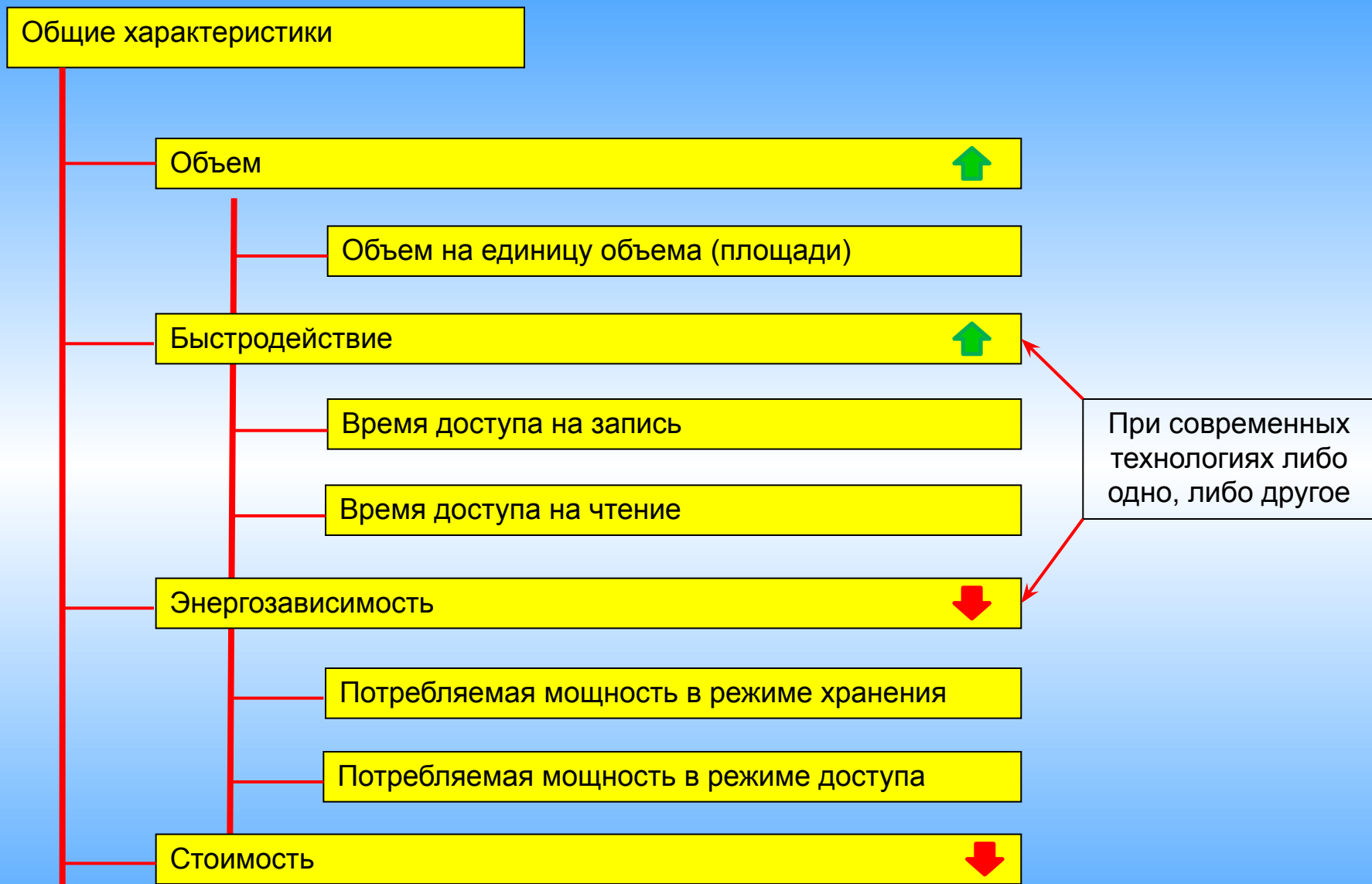




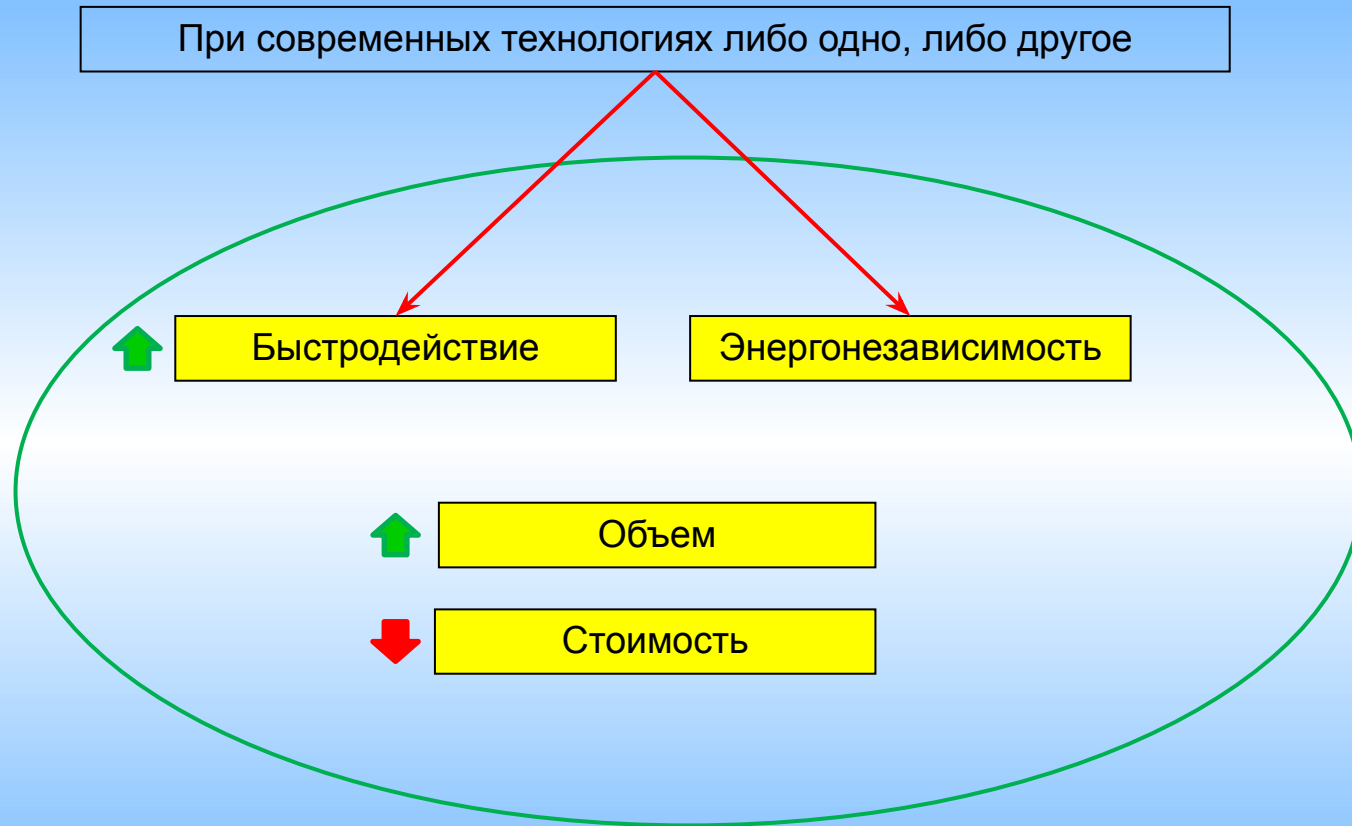
Память

Memory

Характеристики



Идеальная память



Твердотельная память

Быстродействие

Энергонезависимость

ПОЛУПРОВОДНИКОВАЯ ПАМЯТЬ

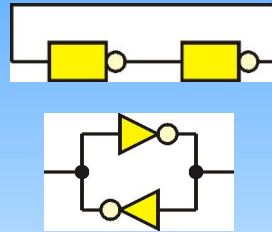
Оперативная память
Random Access Memory (RAM)

- ❑ Static RAM (SRAM)
- ❑ Dynamic RAM (DRAM)

Постоянная память
Read Only Memory (ROM)

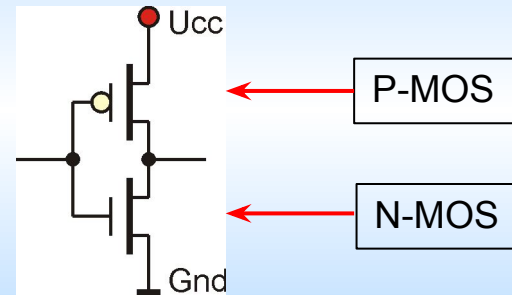
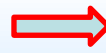
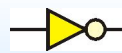
- ❑ Mask ROM
- ❑ One Time Programmable ROM (OTP ROM)
- ❑ EPROM
- ❑ EEPROM
- ❑ FLASH

SRAM - статическая память



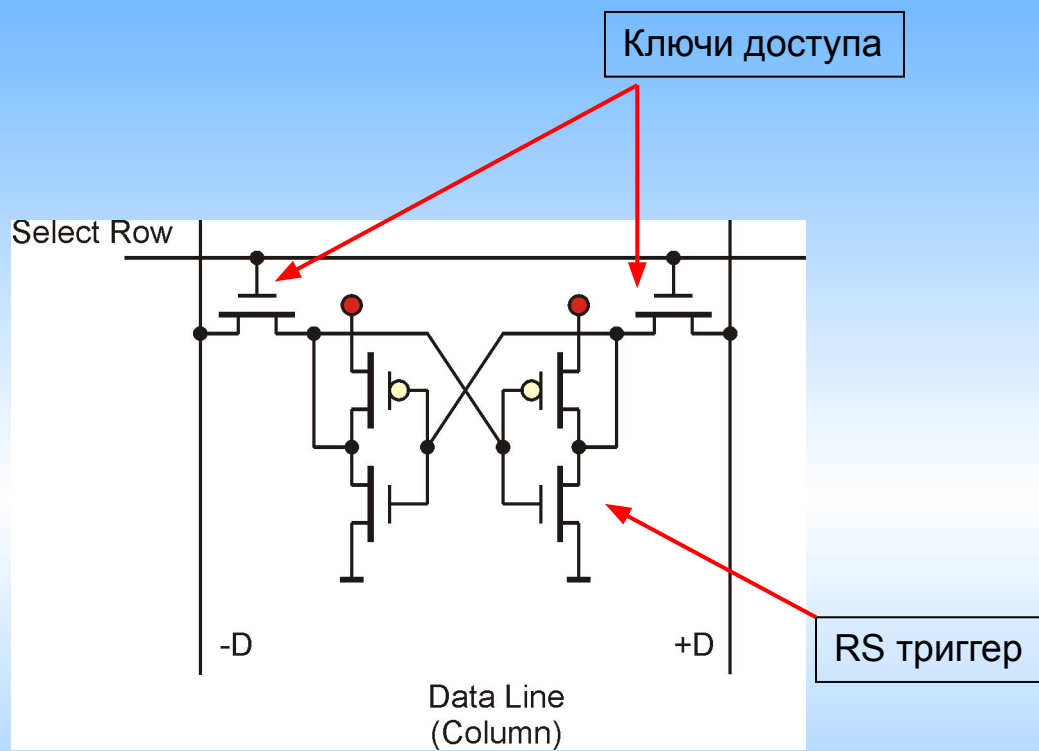
RS триггер - простейшая запоминающая ячейка

КМОП инвертор



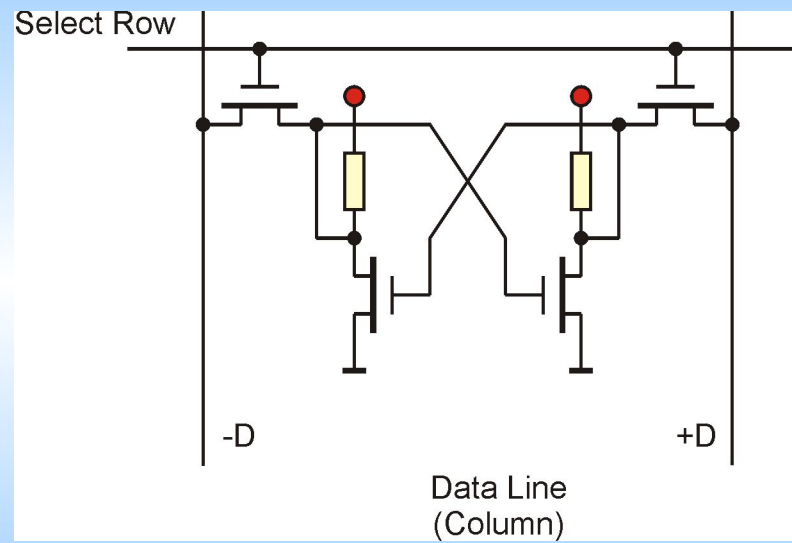
SRAM

6-и транзисторная ячейка статической памяти SRAM



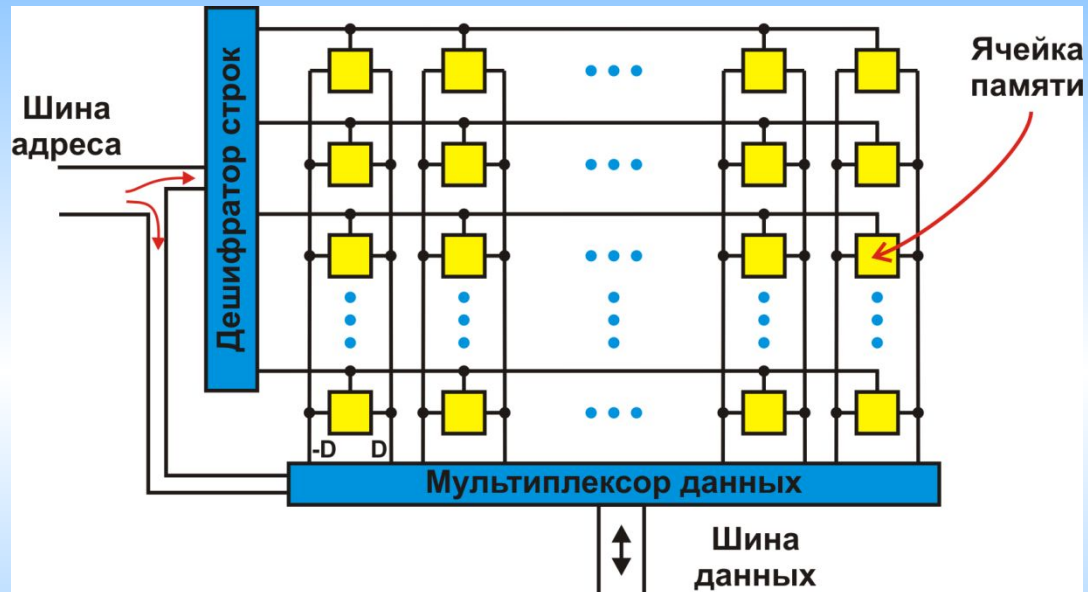
SRAM

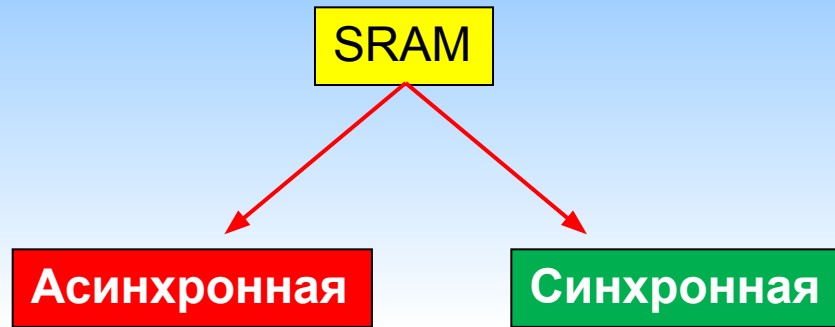
4-х транзисторная ячейка статической памяти SRAM



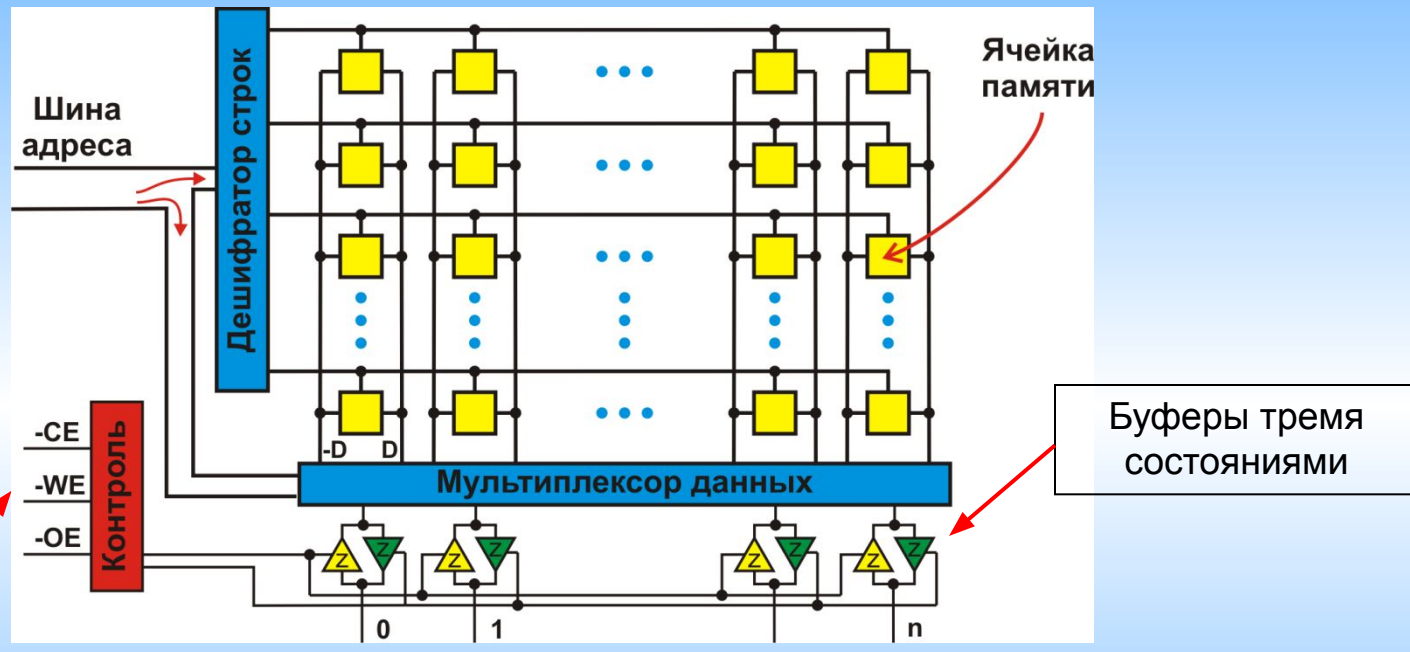
SRAM

Матричная организация ячеек памяти с произвольным доступом





Асинхронная SRAM



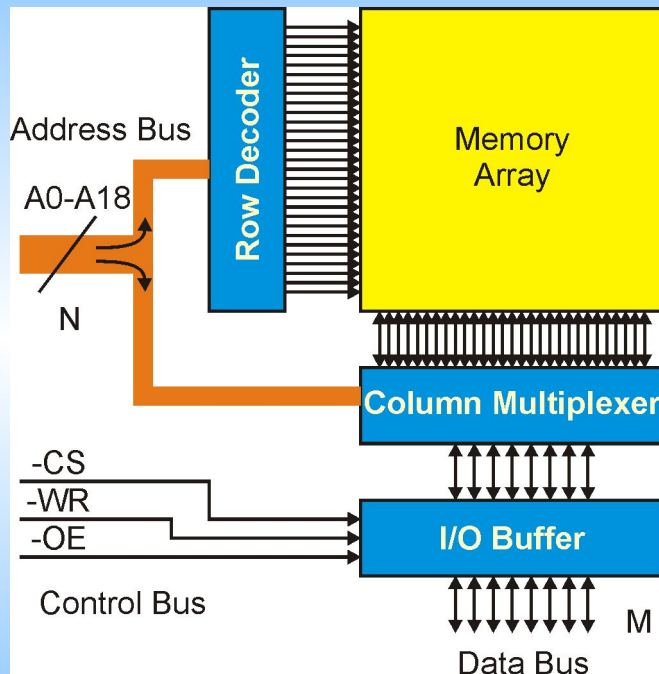
Сигналы управления:

- CS (Crystal Select) – выбор микросхемы.
- WE (Write Enable) – разрешение записи.
- OE (Output Enable) – разрешение выхода.

Двунаправленная шина данных с
тремя состояниями

Асинхронная SRAM

ПРИМЕР: 4Мб асинхронная SRAM GS74108 с организацией 512Кх8



Features

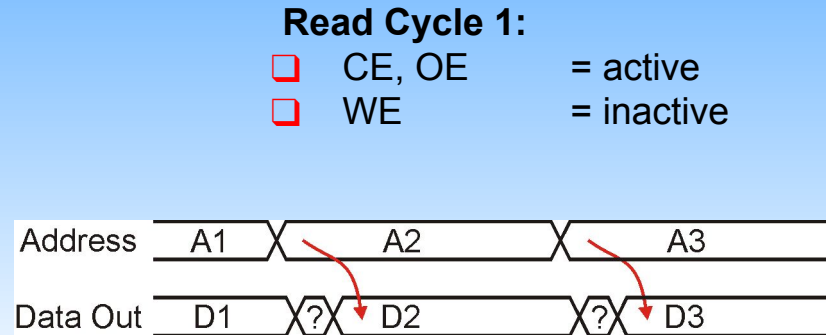
- ❑ Fast access time: 7, 8, 10, 12 ns
- ❑ CMOS low power operation: 135/120/95/85 mA at minimum cycle time
- ❑ Single 3.3 V power supply

$$\text{Объем} = 2^N \times M$$

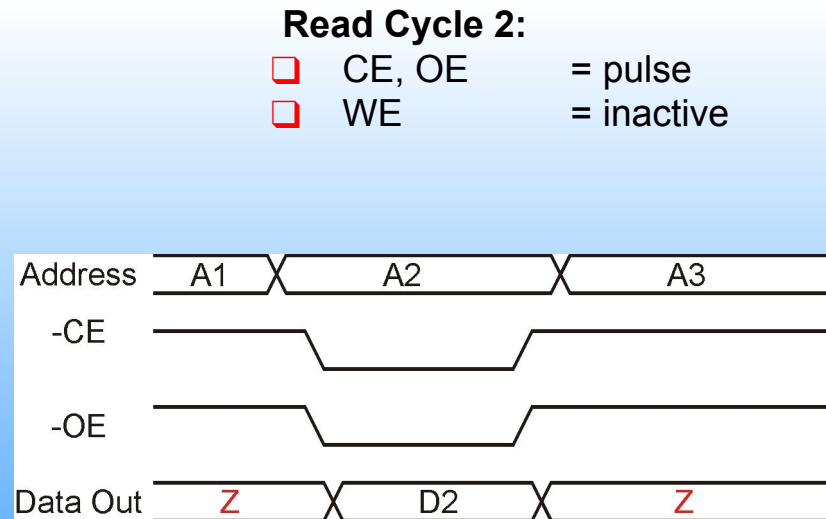
Асинхронная SRAM

ПРИМЕР: 4Мб асинхронная SRAM GS74108 с организацией 512Кx8.
Временные диаграммы. Чтение.

Сигналы управления в состоянии чтения.
Меняется адрес и следом меняется
состояние выхода. Этот режим –
отличительный признак асинхронности.



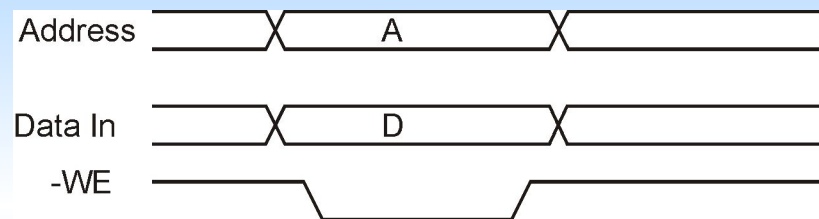
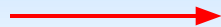
Сигналы управления моргают.
Данные на выходе появляются только
тогда, когда $-\text{CE}$ и $-\text{OE}=0$.



Асинхронная SRAM

ПРИМЕР: 4Mb асинхронная SRAM GS74108 с организацией 512Кx8.
Временные диаграммы. Запись.

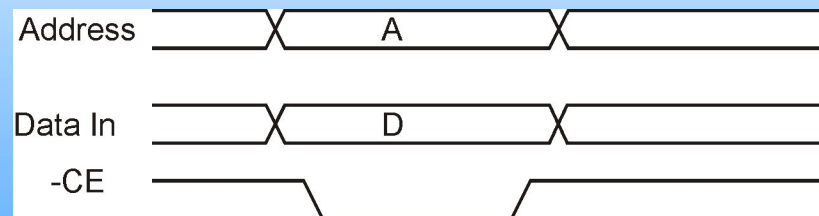
Режим Intel или 86.
Моргает сигнал -WE .



Write Cycle 1:

- CE, = active
- OE = inactive
- WE = control

Режим Motorola или 68.
Моргает сигнал -CE .



Write Cycle 2:

- CE, = active
- OE = inactive
- CE = control

Асинхронная SRAM

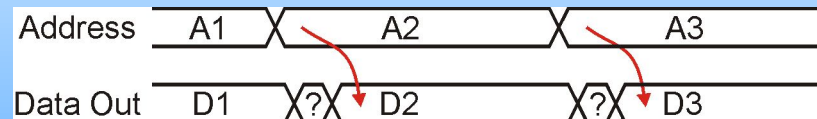
ПРИМЕР: 4Мб асинхронная SRAM GS74108 с организацией 512Кx8.
Временные диаграммы. Запись.

При записи необходимо всегда моргать
либо -CE либо -WE .

Вопрос:

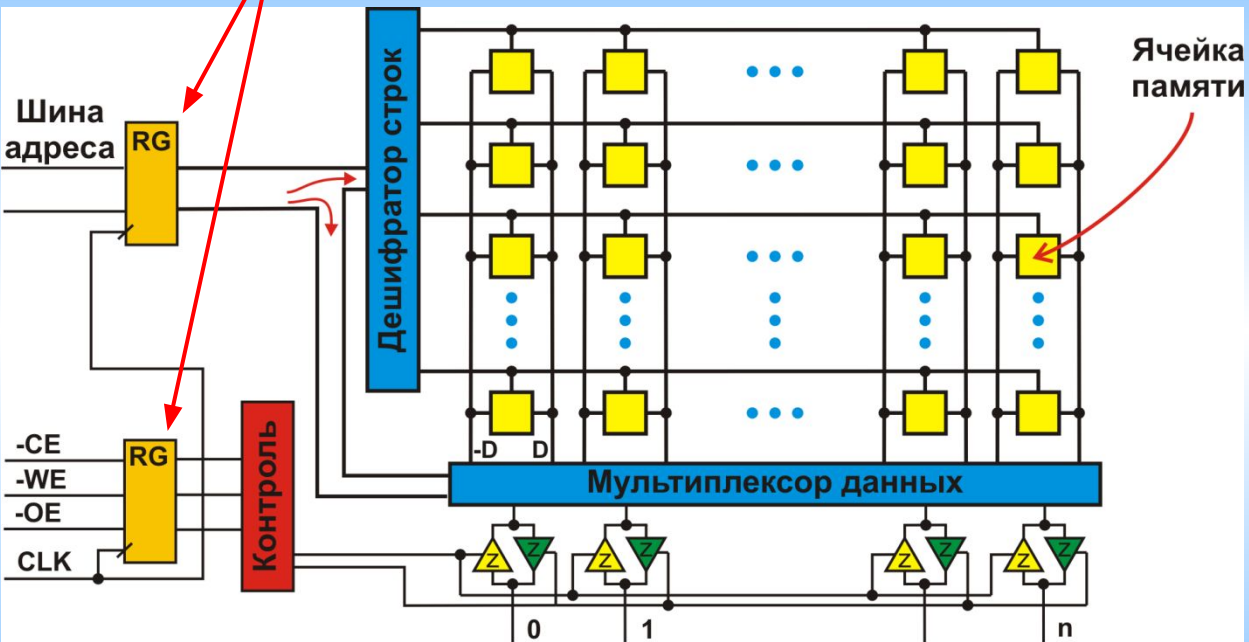
Почему нельзя использовать режим с удержанием -CE и -WE в состоянии записи и
перебирая адреса записывать информацию?

Такой режим чтения – возможен!



Синхронная SRAM

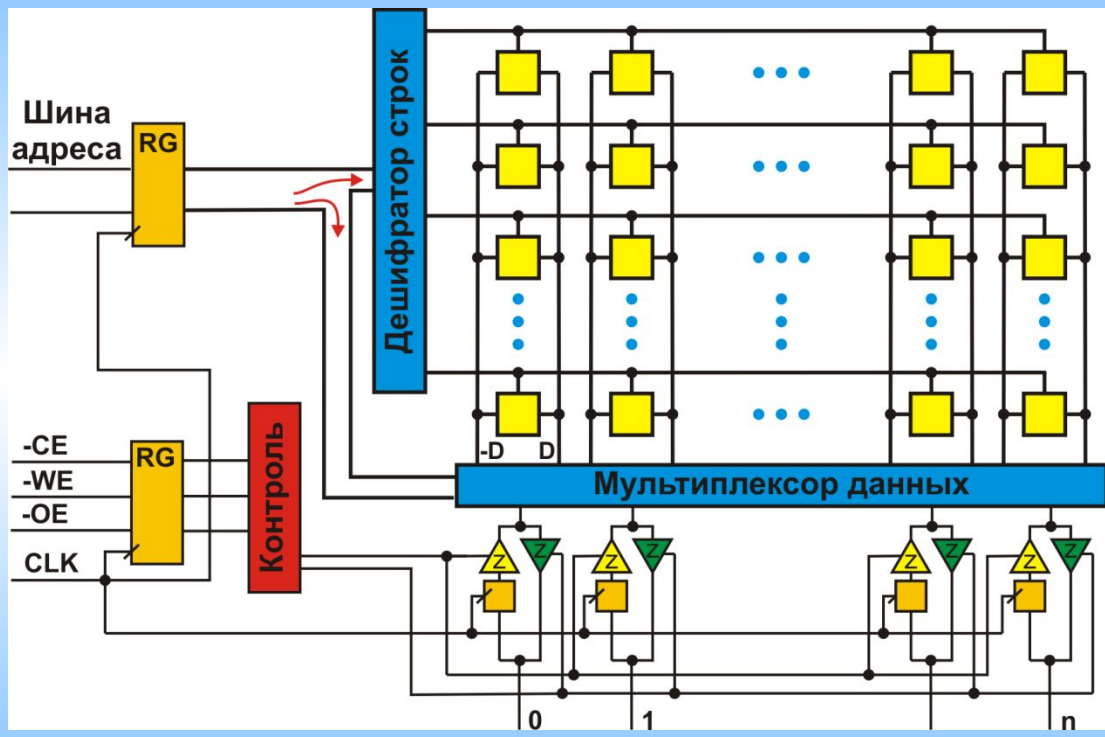
Регистры для защелкивания адресов и сигналов управления



На шину данных тоже ставятся регистры. Возможно два варианта.

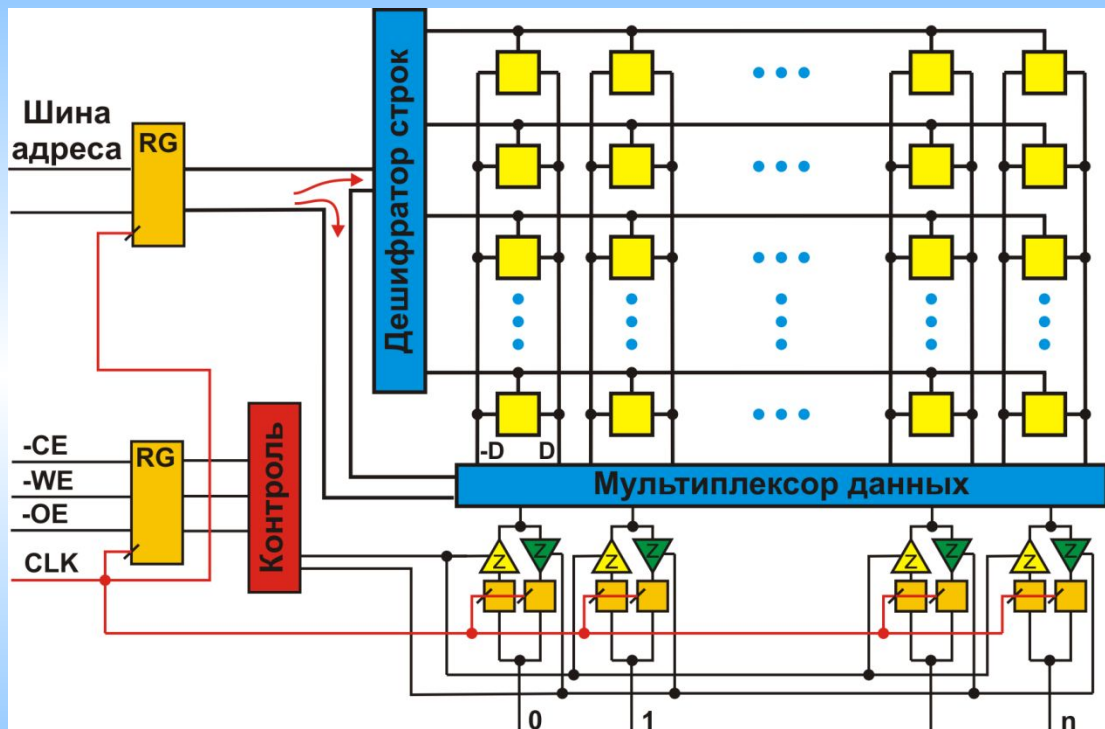
Синхронная SRAM

Flow-through (F/T) Synchronous SRAM



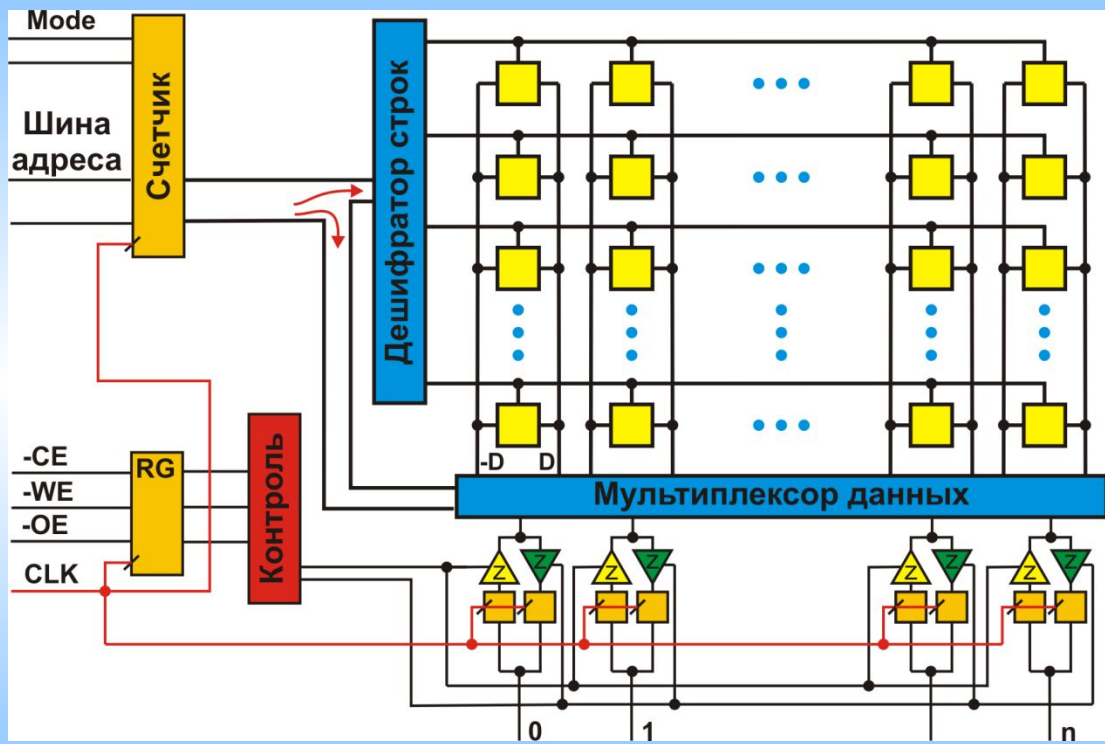
Синхронная SRAM

Pipelined (P/L) Synchronous SRAM



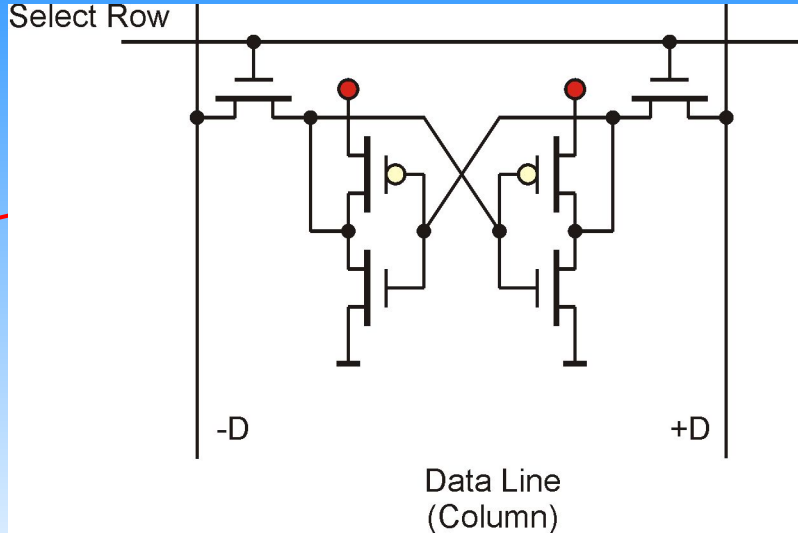
Синхронная SRAM

BURST SRAM



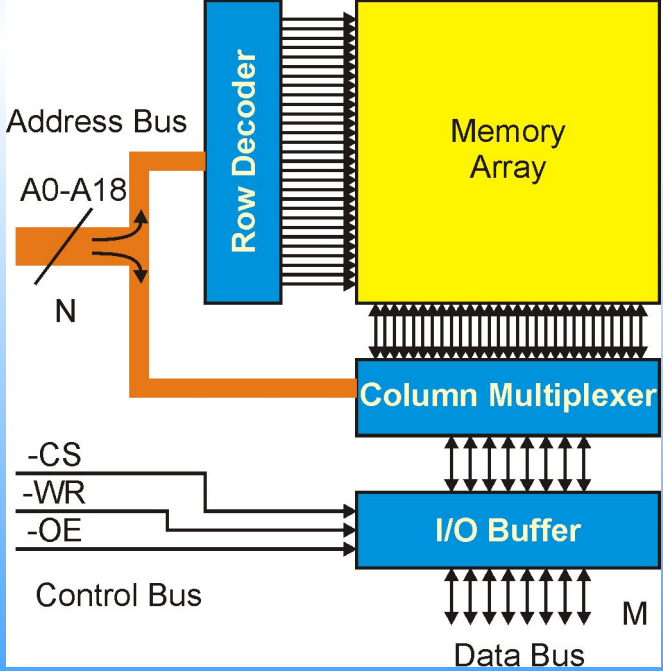
Ограничения SRAM

- ❑ Большая ячейка памяти: 6 транзисторов.
 - ❑ Мало ячеек на кристалле.
 - ❑ Большая цена кристалла.
- ❑ Большое количество выводов. Для 1 мегабайтной памяти уже необходимо 20 линий адреса.
 - ❑ Большая цена корпуса.

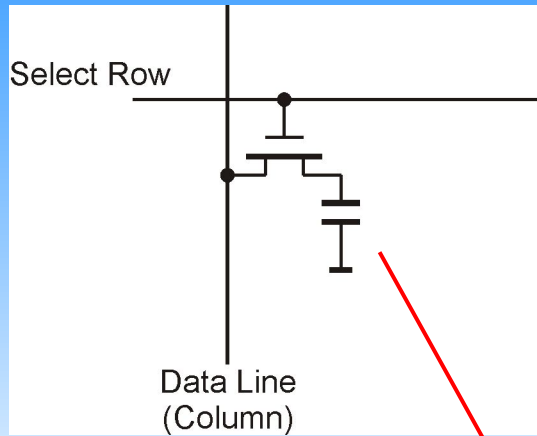


Задача:

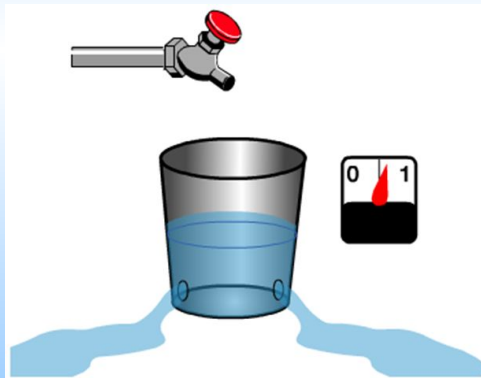
1. Уменьшить размеры ячейки памяти.
2. Сделать интерфейс с мультиплексированием.



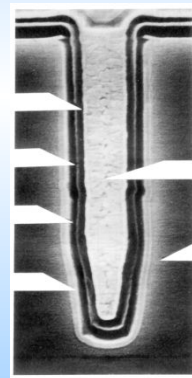
Ячейка DRAM



- ❑ C ~ 30 fF
- ❑ Утечка ~ 1 fA



Cell Plate Si
Capacitor Insulator
Storage Node Poly
2nd Field Oxide

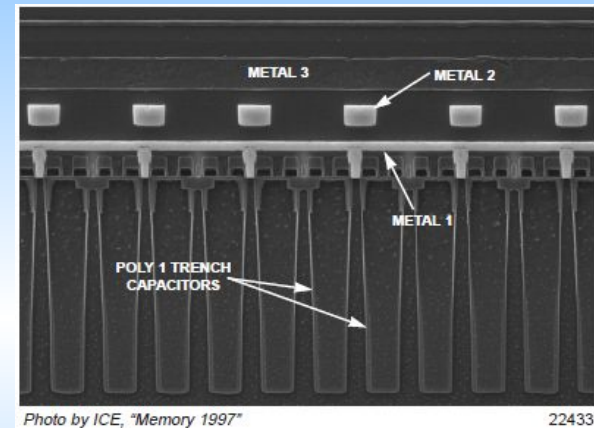
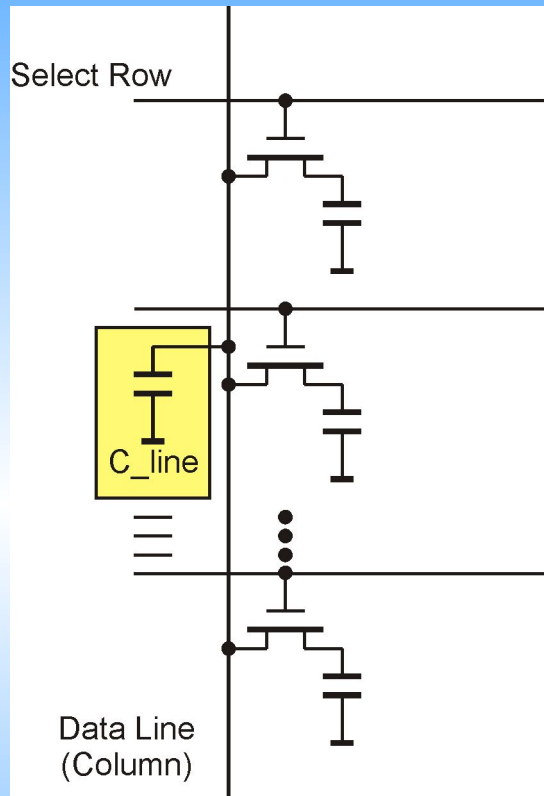


Refilling Poly
Si Substrate

Ячейка динамической памяти:

- ❑ Достоинство – простота
- ❑ Недостаток – время хранения заряда на конденсаторе менее 100 мс

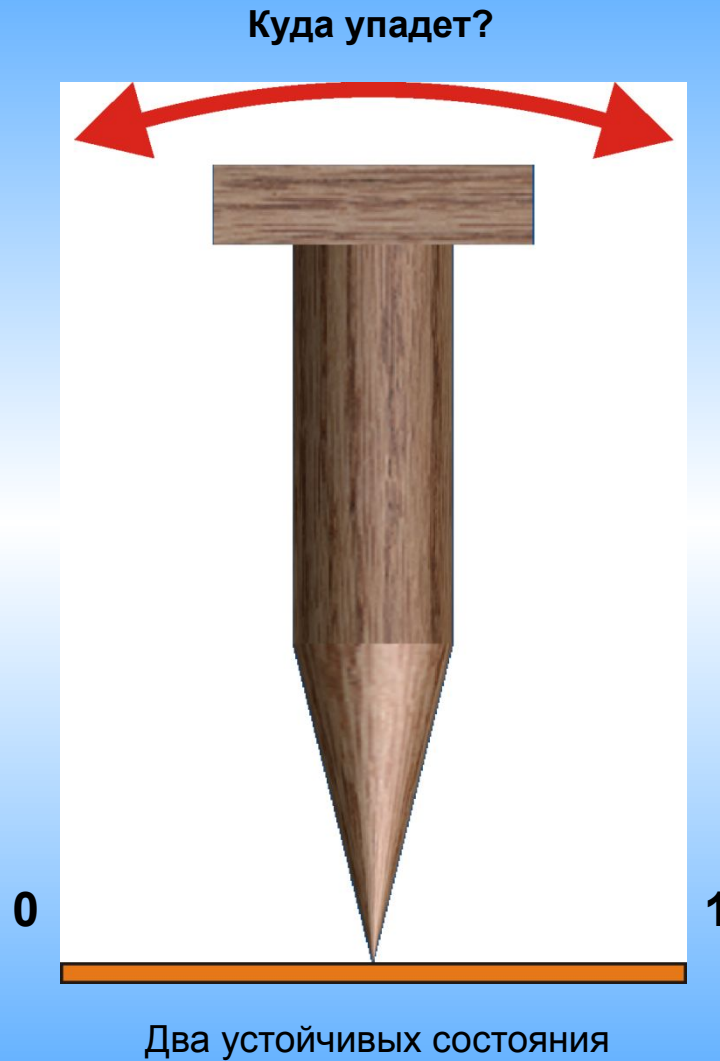
Ячейка DRAM: проблема чтения



Как почувствовать заряд заряжена ли емкость в ячейке памяти?

Ячейка DRAM: проблема чтения

Аналогия с неустойчивым равновесием



Ячейка DRAM: проблема чтения

Аналогия с неустойчивым равновесием

Очень маленькое воздействие приносит определенность



Ячейка DRAM: проблема чтения

Аналогия с неустойчивым равновесием

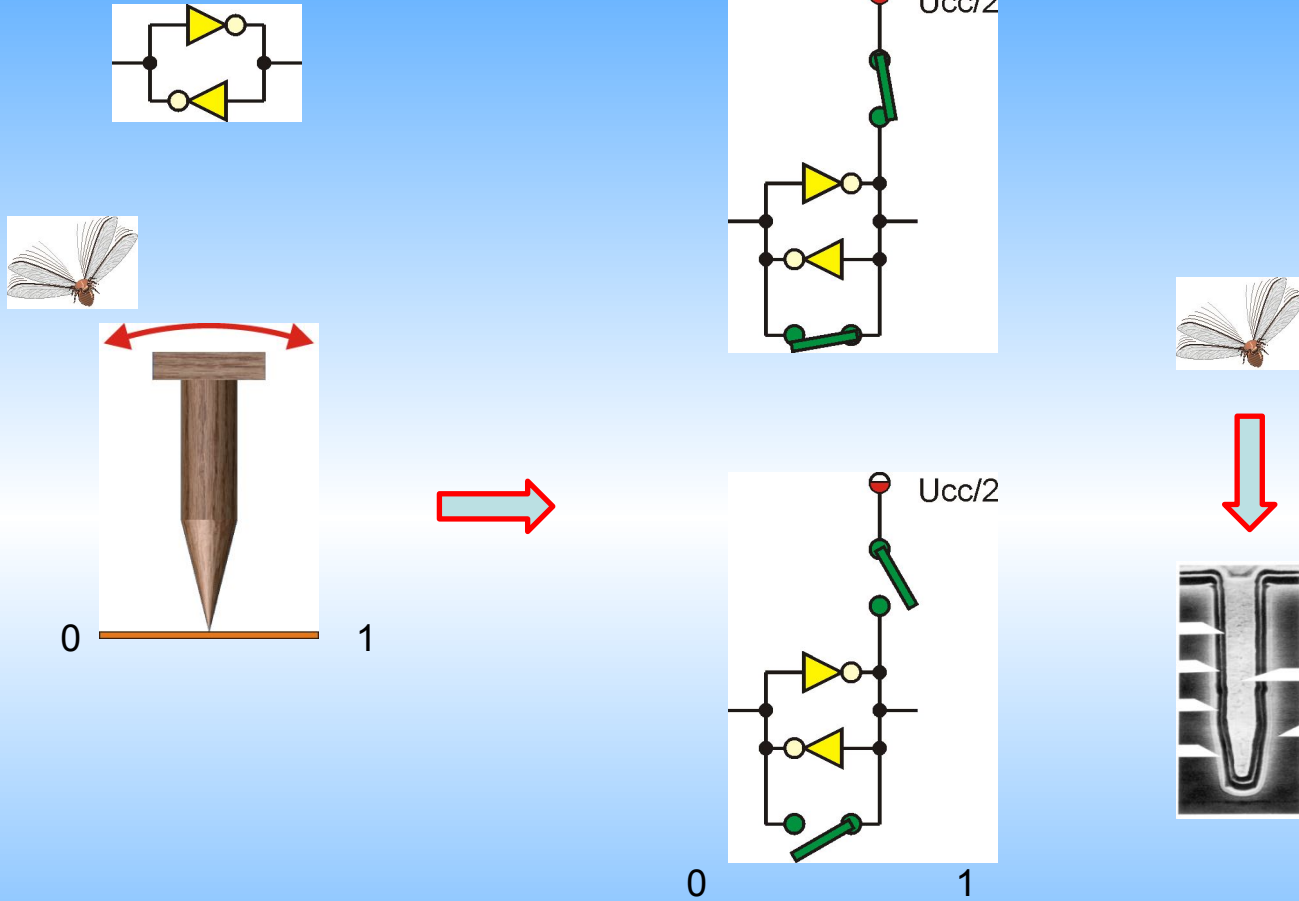
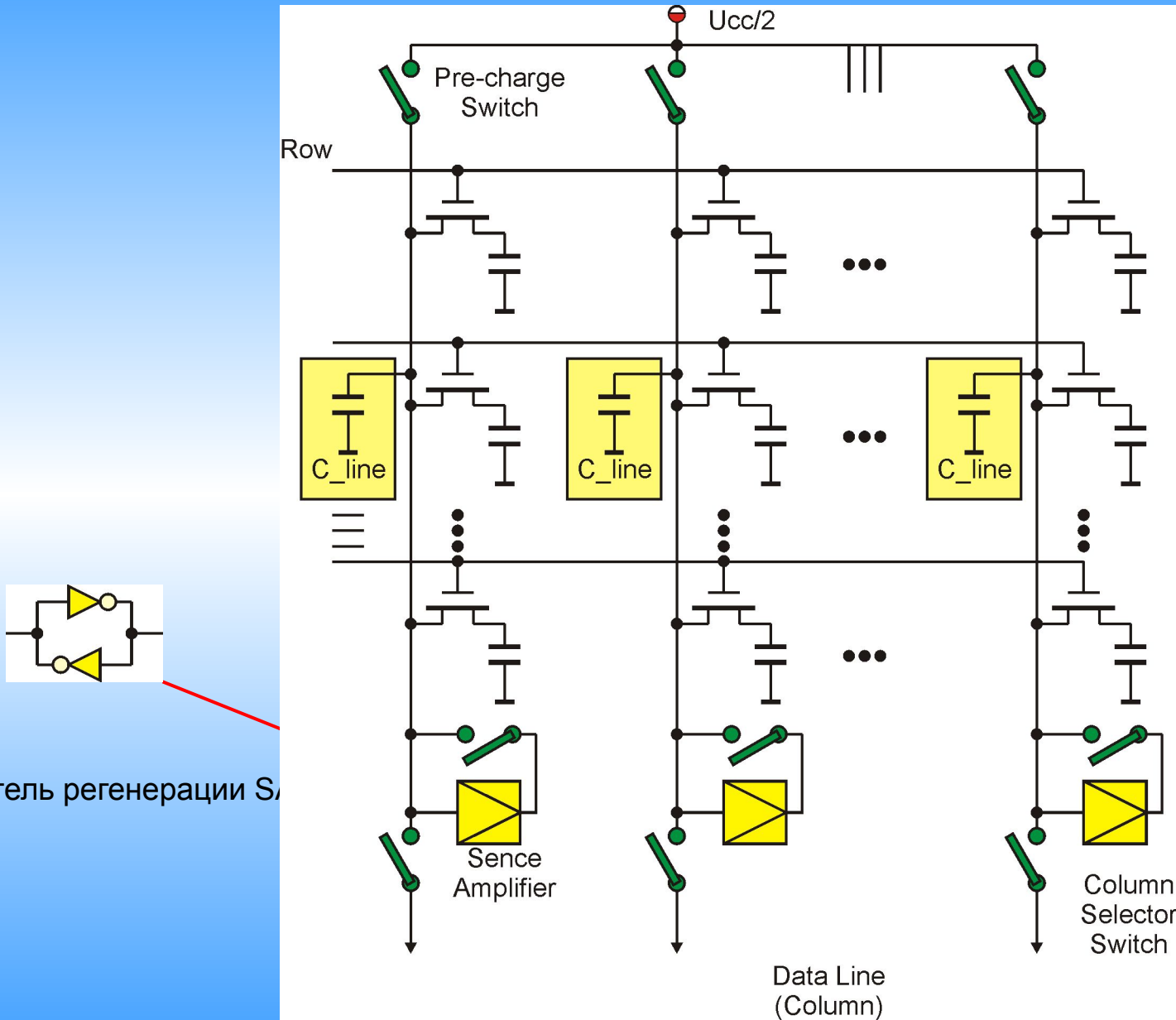


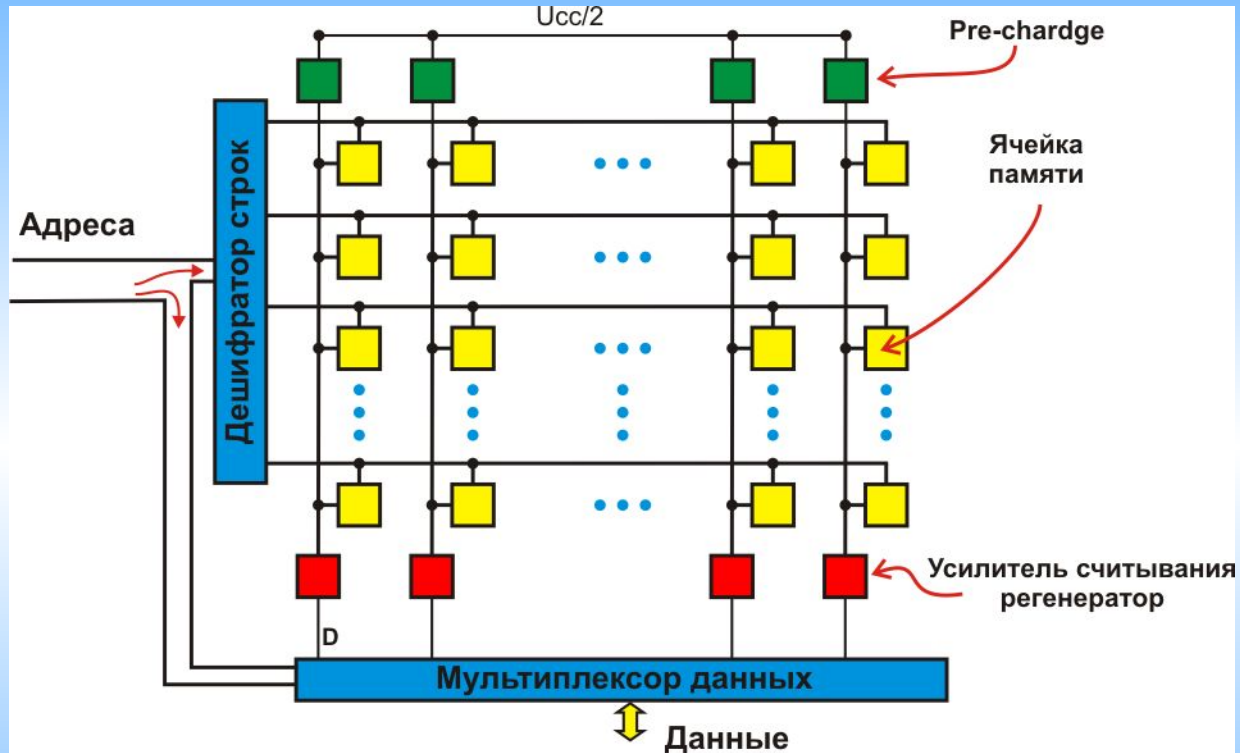
Схема чтения-регенерации DRAM



Усилитель регенерации S

При выборе строки происходит регенерация всех ячеек, подключенных к этой строке.

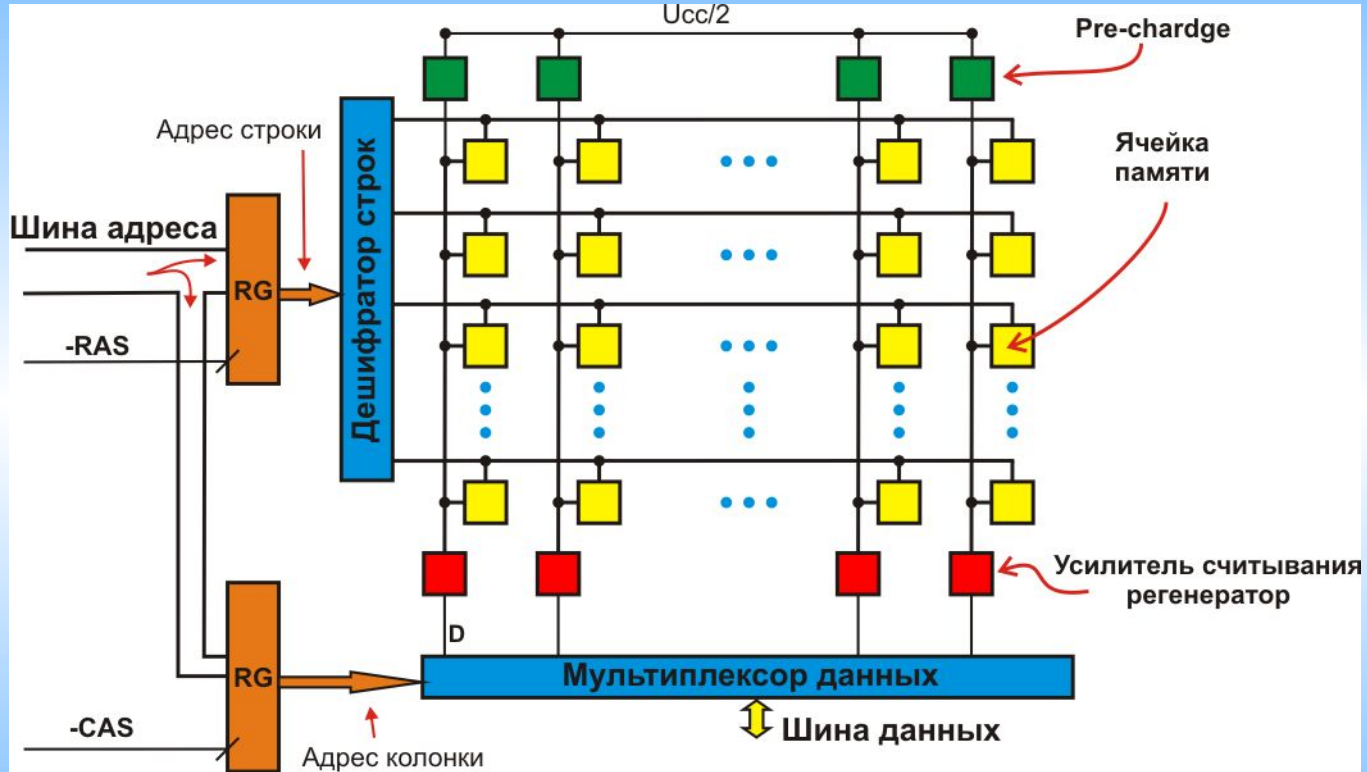
Матрица DRAM



Необходимо уменьшить количество проводов

Интерфейс DRAM

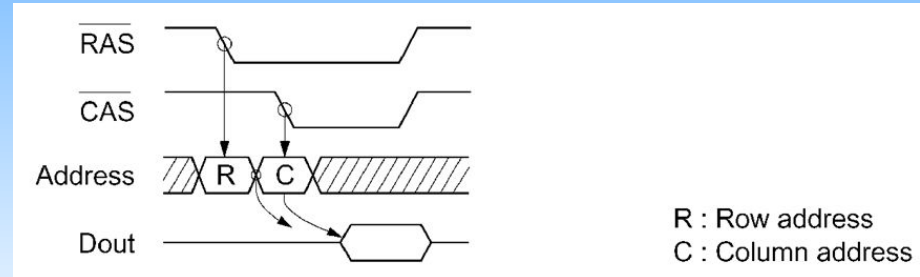
Мультиплексирование адресов строки и колонки



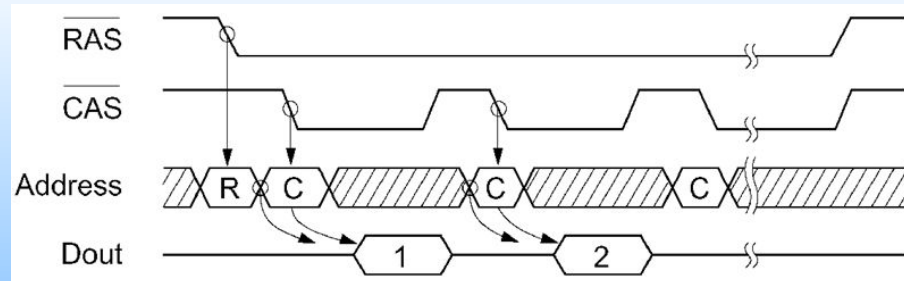
20 адресных линий обеспечивают доступ к 64G ячейкам DRAM!
У SRAM только 1M.

Режимы доступа DRAM

Normal Mode

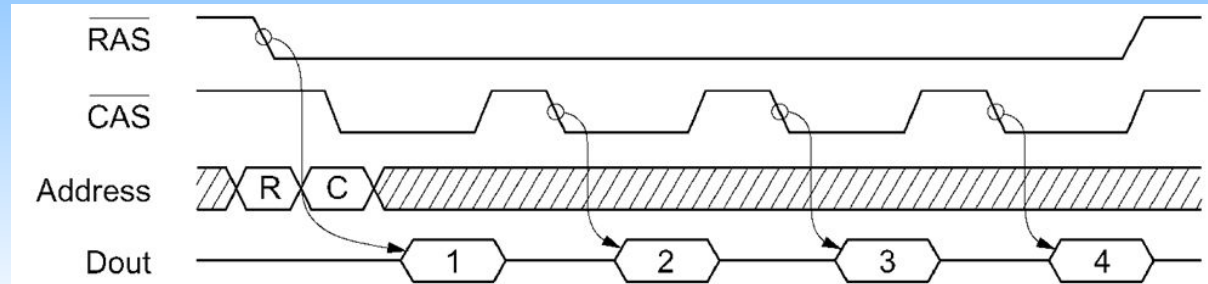


Fast Page Mode

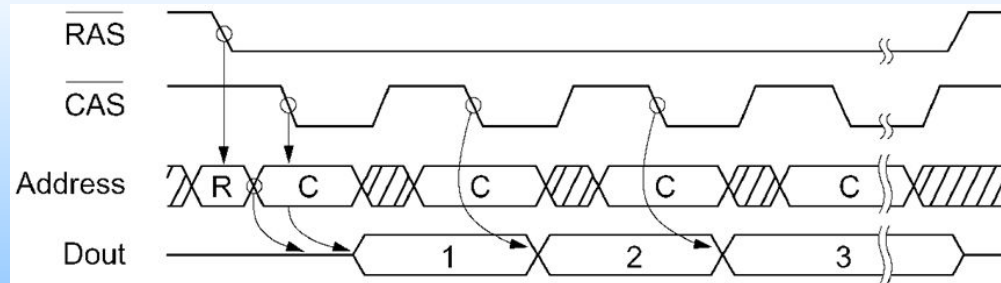


Режимы доступа DRAM

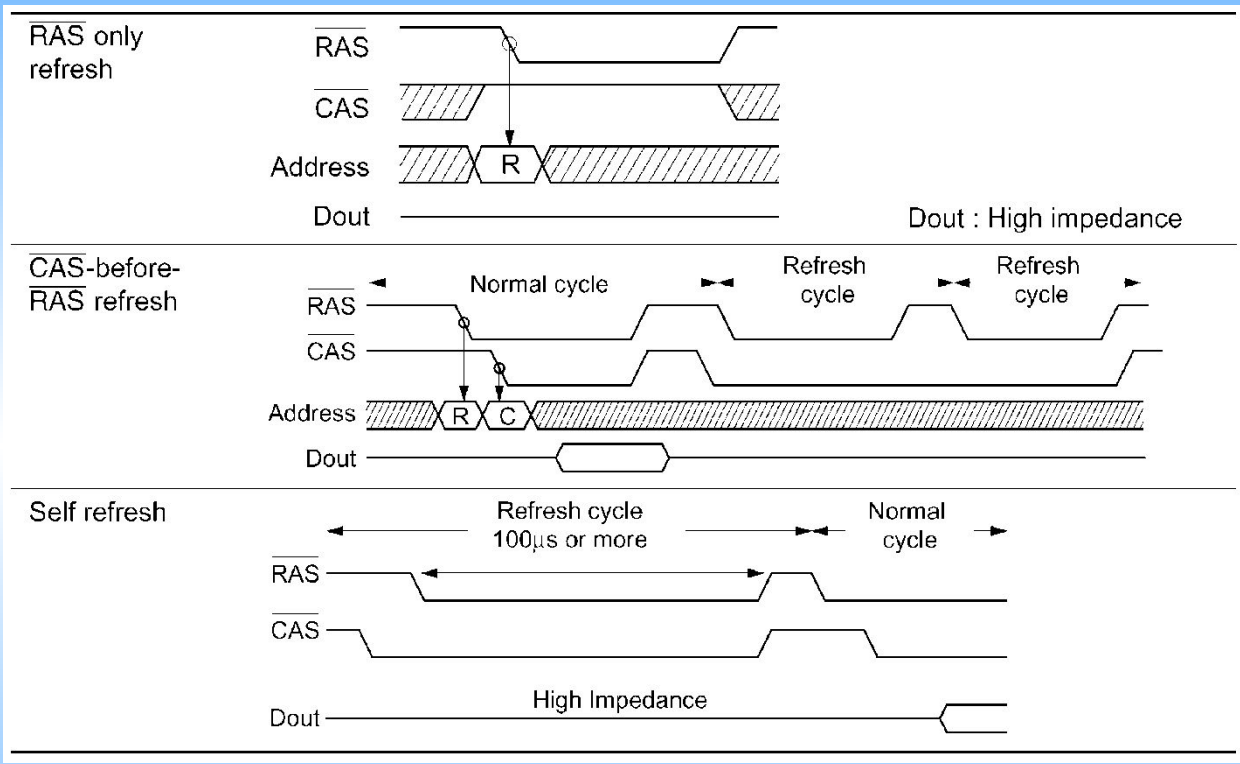
Nibble Mode



EDO Page Mode Enhanced Data Out

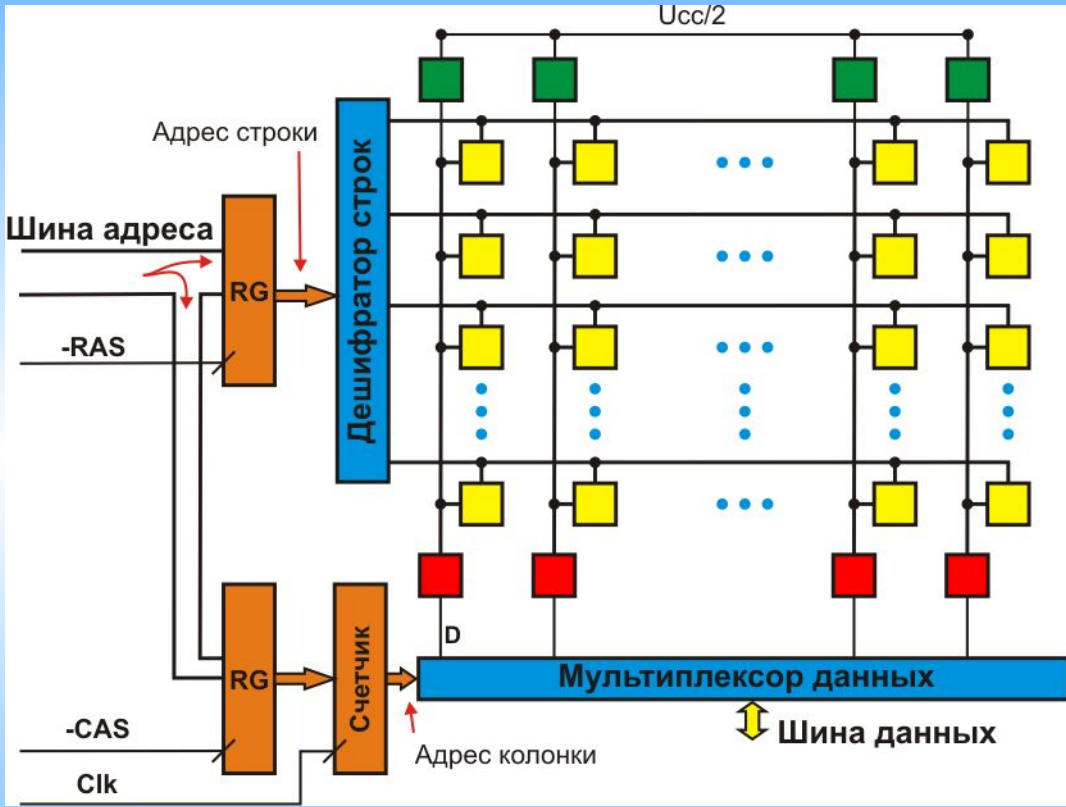


Основные способы регенерации DRAM



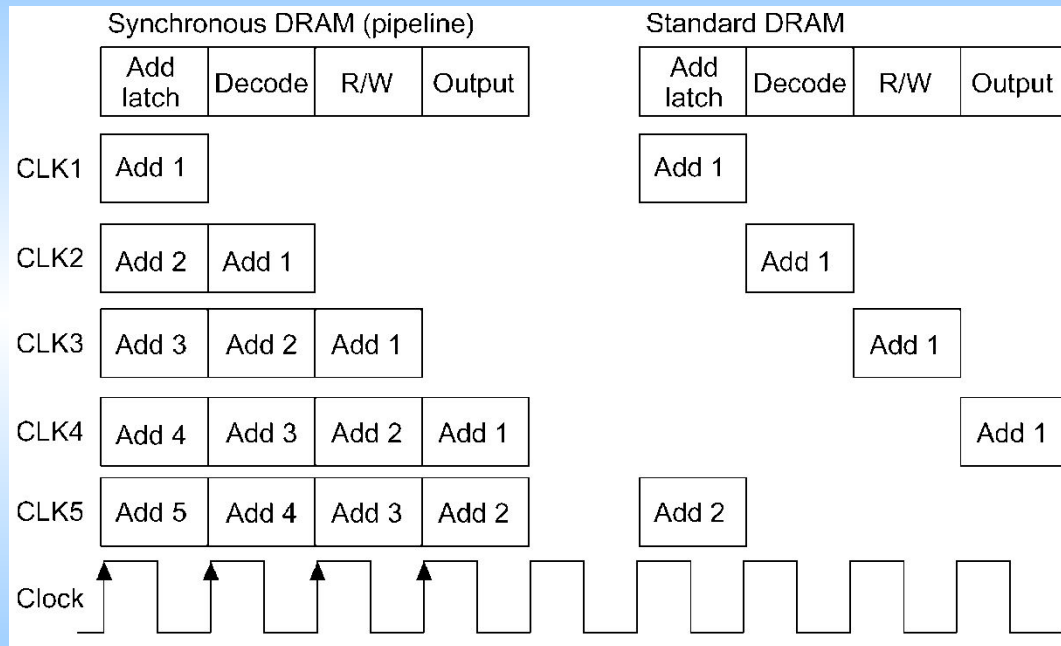
SDRAM

Счетчик адресов



SDRAM

Конвейер



Итог

Статическая память

- Ячейка памяти.
- Доступ к содержанию ячейки памяти.
- Массив ячеек памяти.
- Шина адреса.
- Шина данных.
- Управляющие сигналы.
- Асинхронная SRAM
- Синхронная SRAM
- Двухпортовая память.
- FIFO
- LIFO