



Московский Авиационный
(Национальный Исследовательский
Институт
Университет)

«Программно- Определяемые Радиосистемы»

*Серкин Фёдор
Борисович*

*Кафедра 408 –
«Инфокоммуникации»*

Литература:

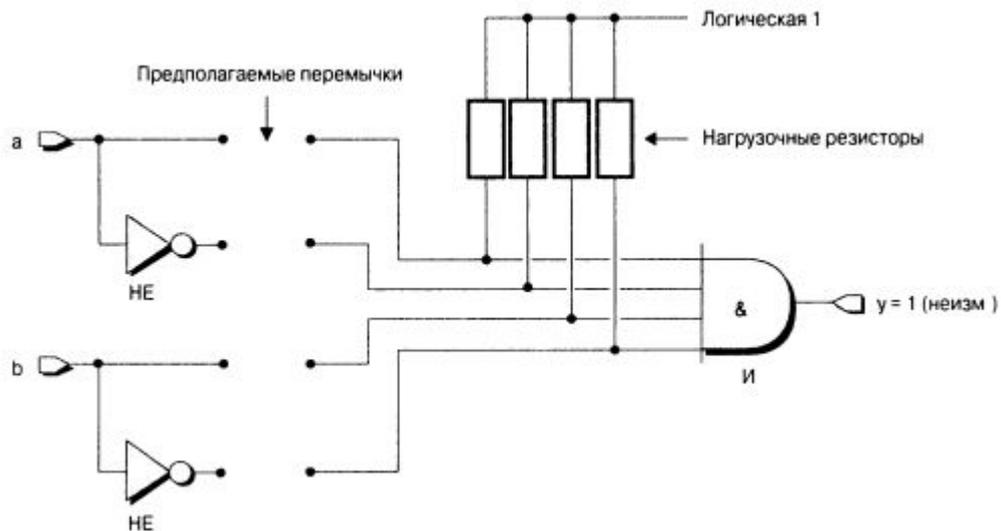
1. Скляр Б., «Цифровая связь. Теоретические основы и практическое применение», «Вильямс», Москва, Санкт-Петербург, Киев, 2003.
2. Гольденберг Л.М., Матюшкин Б.Д., Поляк М.Н., «Цифровая обработка сигналов», «Радио и связь», Москва, 1990.
3. Максфилд К., «Проектирование на ПЛИС. Архитектура, средства и методы», «Додэка-XXI», Москва, 2007.
4. «IEEE 1012 Standard for Software Verification and Validation», IEEE, New York, 2005.
5. Tuttlebee W., «software defined radio. Enabling technology», WILEY, New York, 2002.

Содержание курса:

- I. Введение в ПОР.
- II. Основные теоретические вопросы проектирования ПОР.
- III. Реализация на жесткой и программируемой логике.
- IV. Программируемое радио.

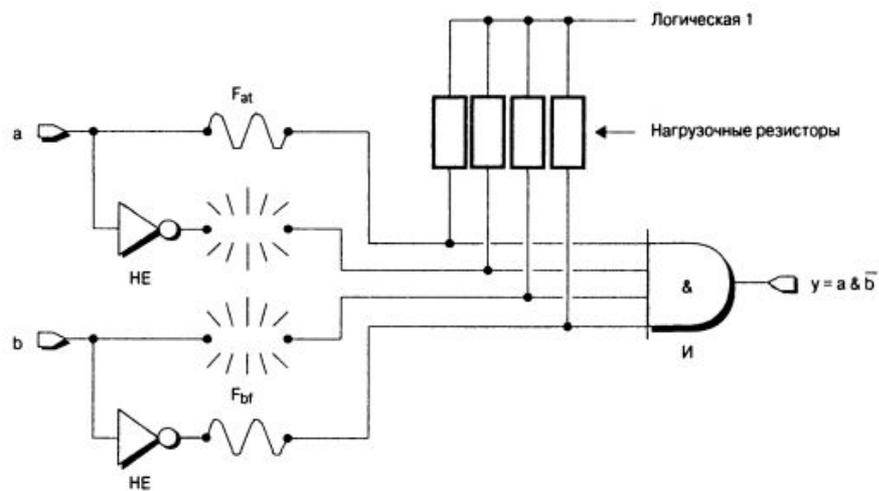
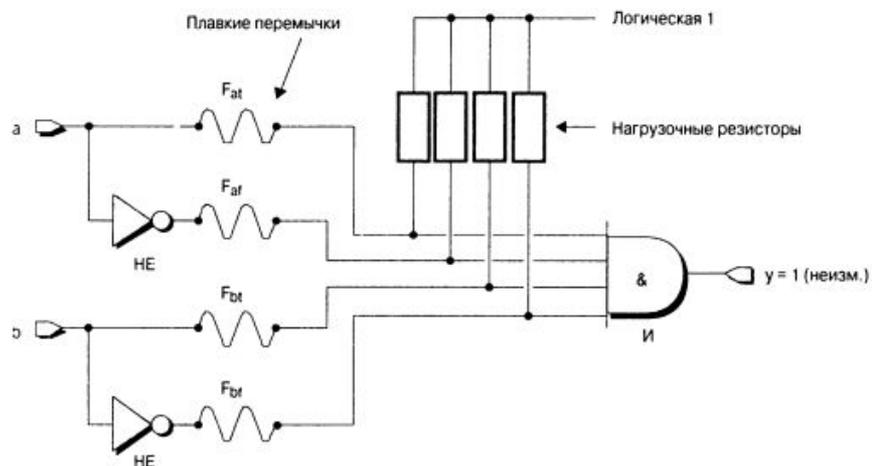
III. Реализация на жесткой и программируемой логике.

Простая программируемая функция



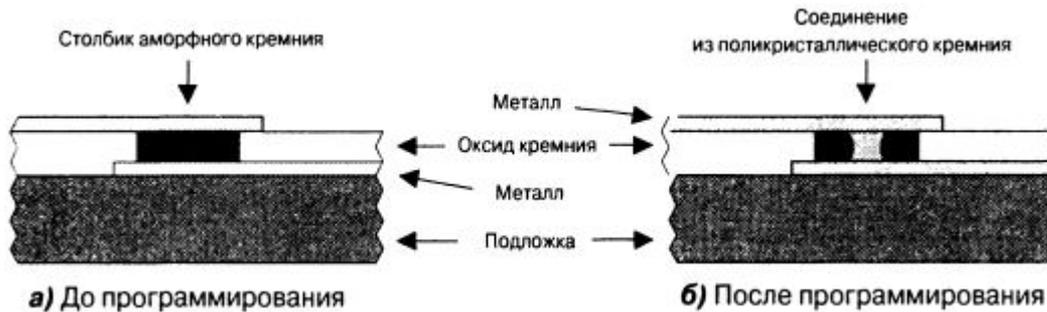
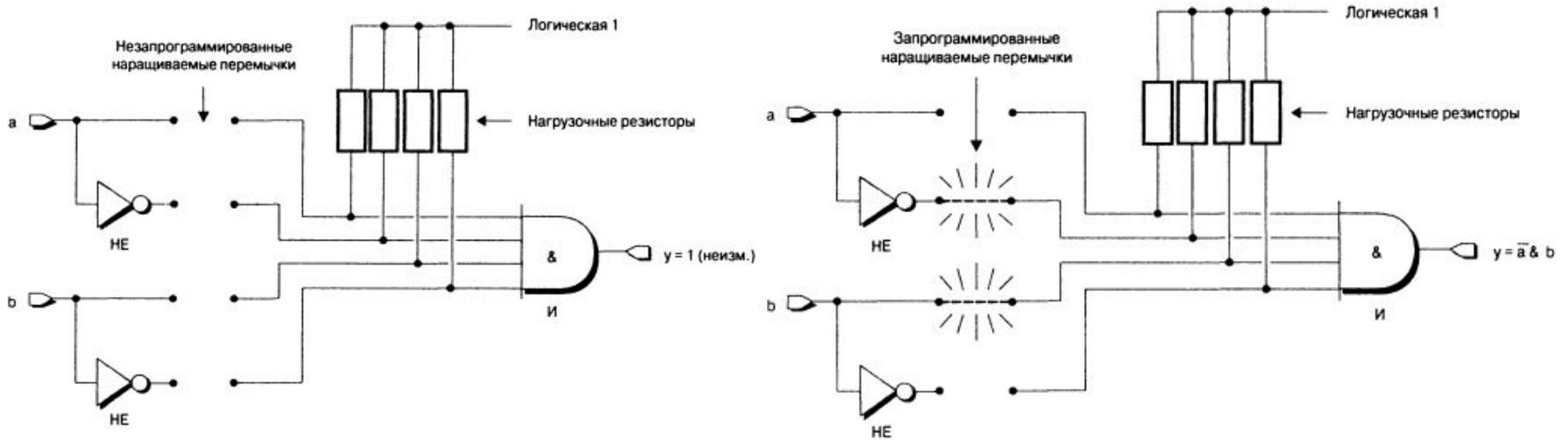
III. Реализация на жесткой и программируемой логике.

Метод плавких перемычек.



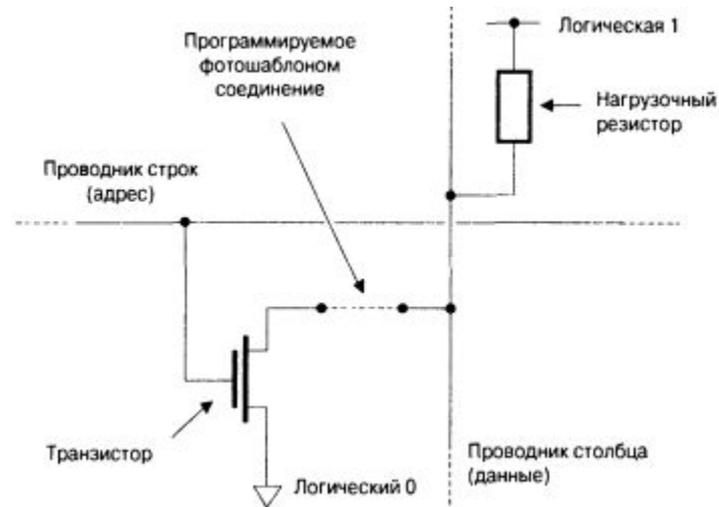
III. Реализация на жесткой и программируемой логике.

Метод наращиваемых перемычек.



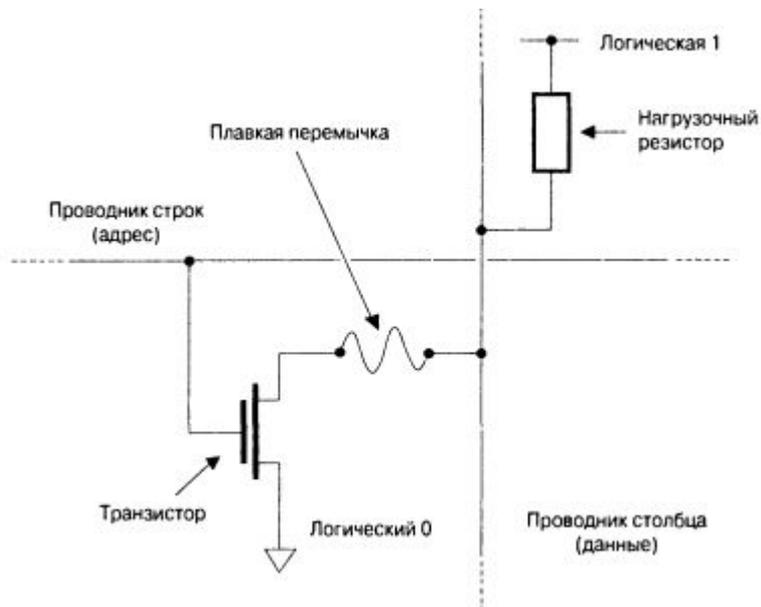
III. Реализация на жесткой и программируемой логике.

Программирование фотошаблоном



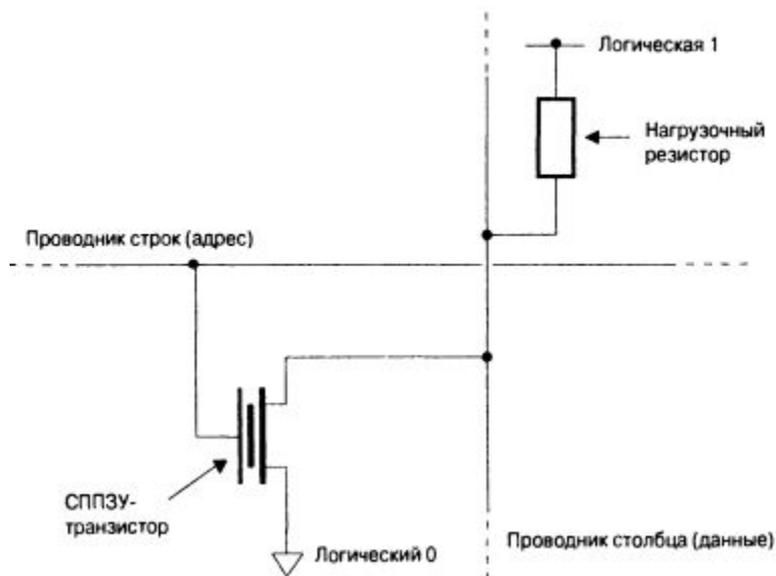
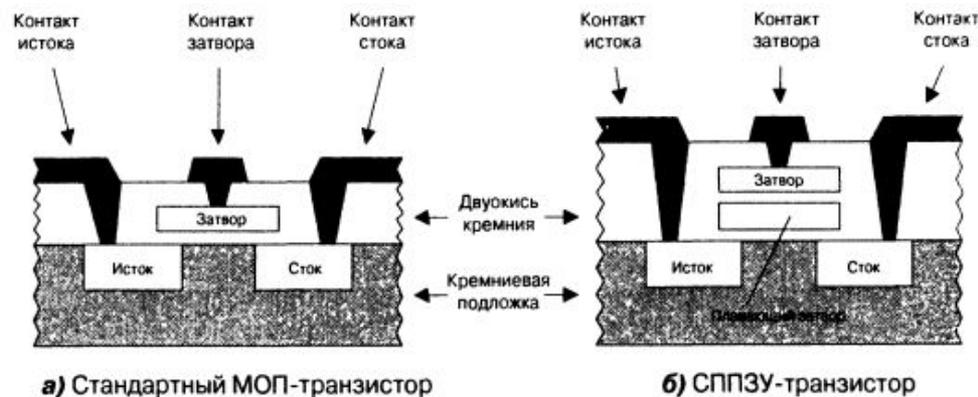
III. Реализация на жесткой и программируемой логике.

Программируемое постоянное запоминающее устройство.



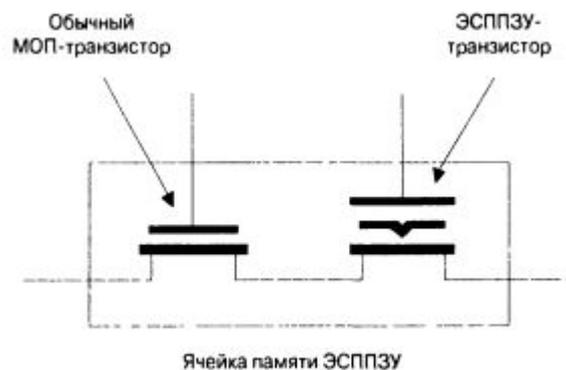
III. Реализация на жесткой и программируемой логике.

Стираемое программируемое постоянное запоминающее устройство.



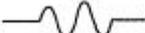
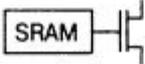
III. Реализация на жесткой и программируемой логике.

Электрически стираемое программируемое постоянное запоминающее устройство.



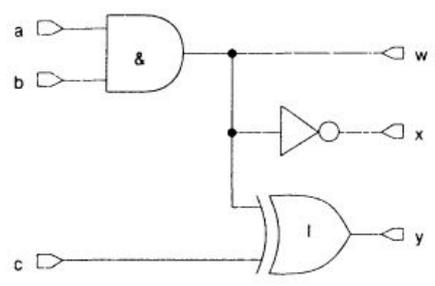
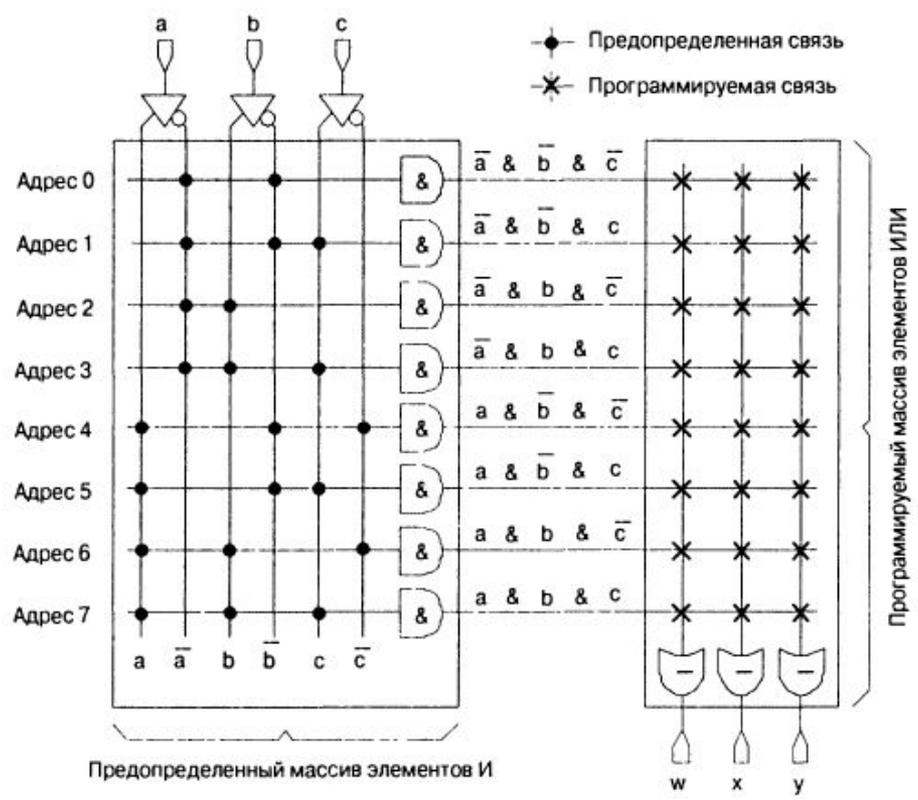
III. Реализация на жесткой и программируемой логике.

Технологии программирования

Технология	Условное обозначение	Преимущественно применяется для
Плавкие перемычки		Простых ПЛУ
Нарастиваемые перемычки		ПЛИС
СППЗУ		Простых и сложных ПЛУ
ЭСППЗУ и FLASH		Простых и сложных ПЛУ (некоторых ПЛИС)
Статическое ОЗУ		ПЛИС (некоторых сложных ПЛУ)

III. Реализация на жесткой и программируемой логике.

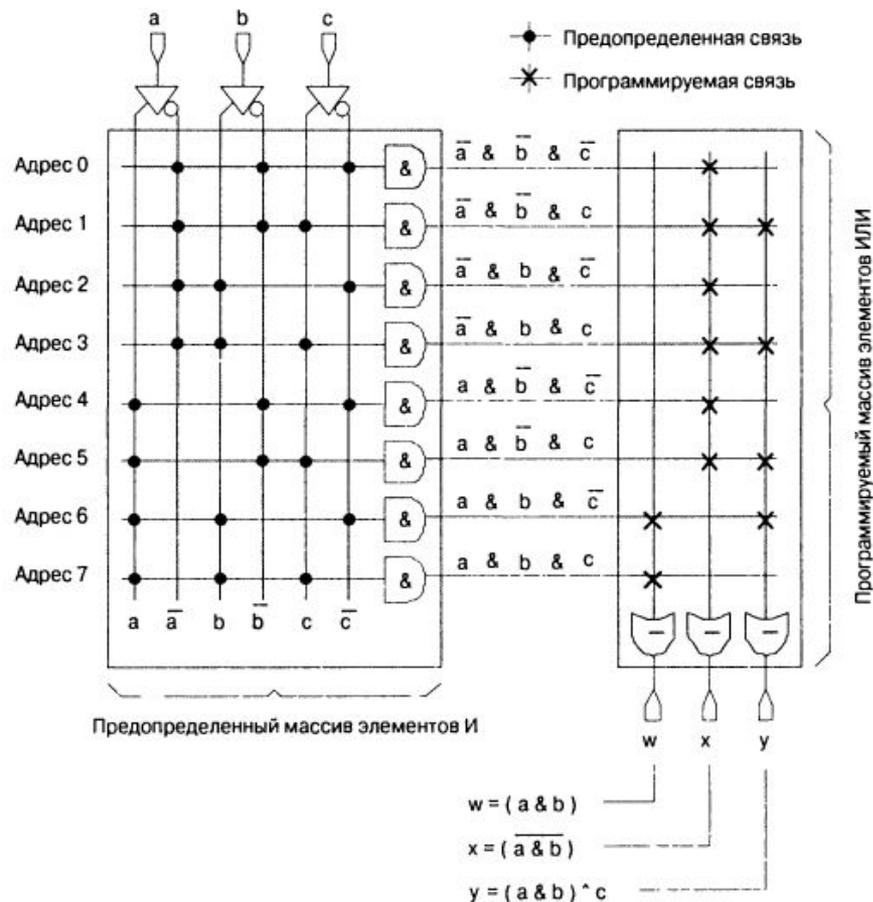
Микросхема ППЗУ



a	b	c	w	x	y
0	0	0	0	1	0
0	0	1	0	1	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	0	1	0
1	0	1	0	1	1
1	1	0	1	0	1
1	1	1	1	0	0

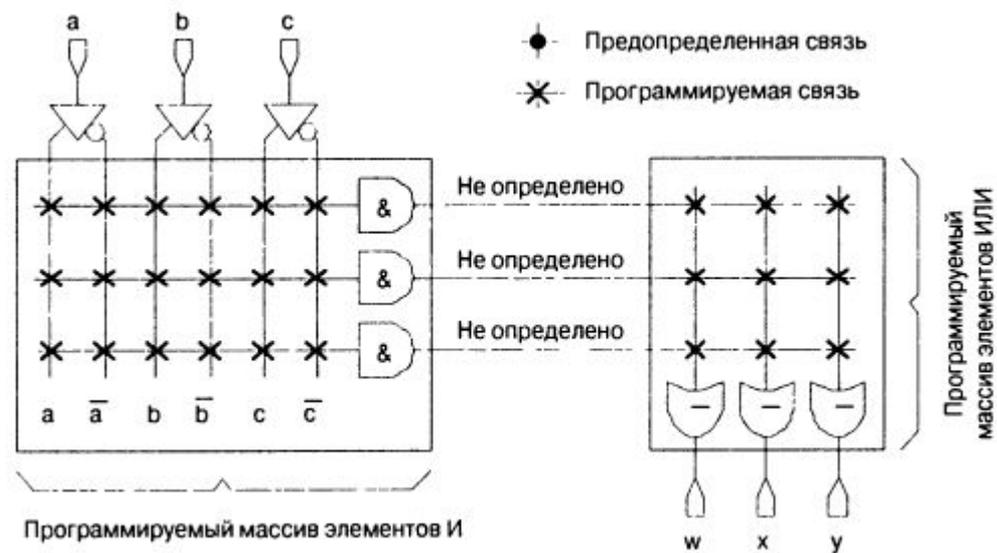
III. Реализация на жесткой и программируемой логике.

Микросхема ППЗУ



III. Реализация на жесткой и программируемой логике.

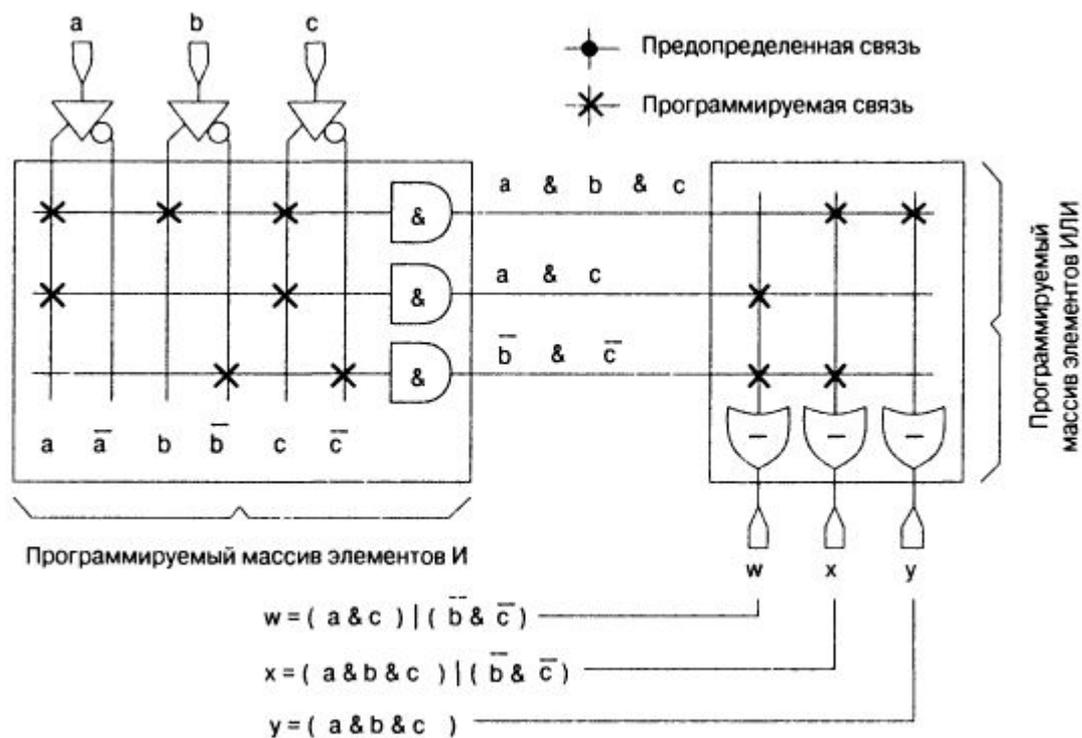
Программируемые логические матрицы



III. Реализация на жесткой и программируемой логике.

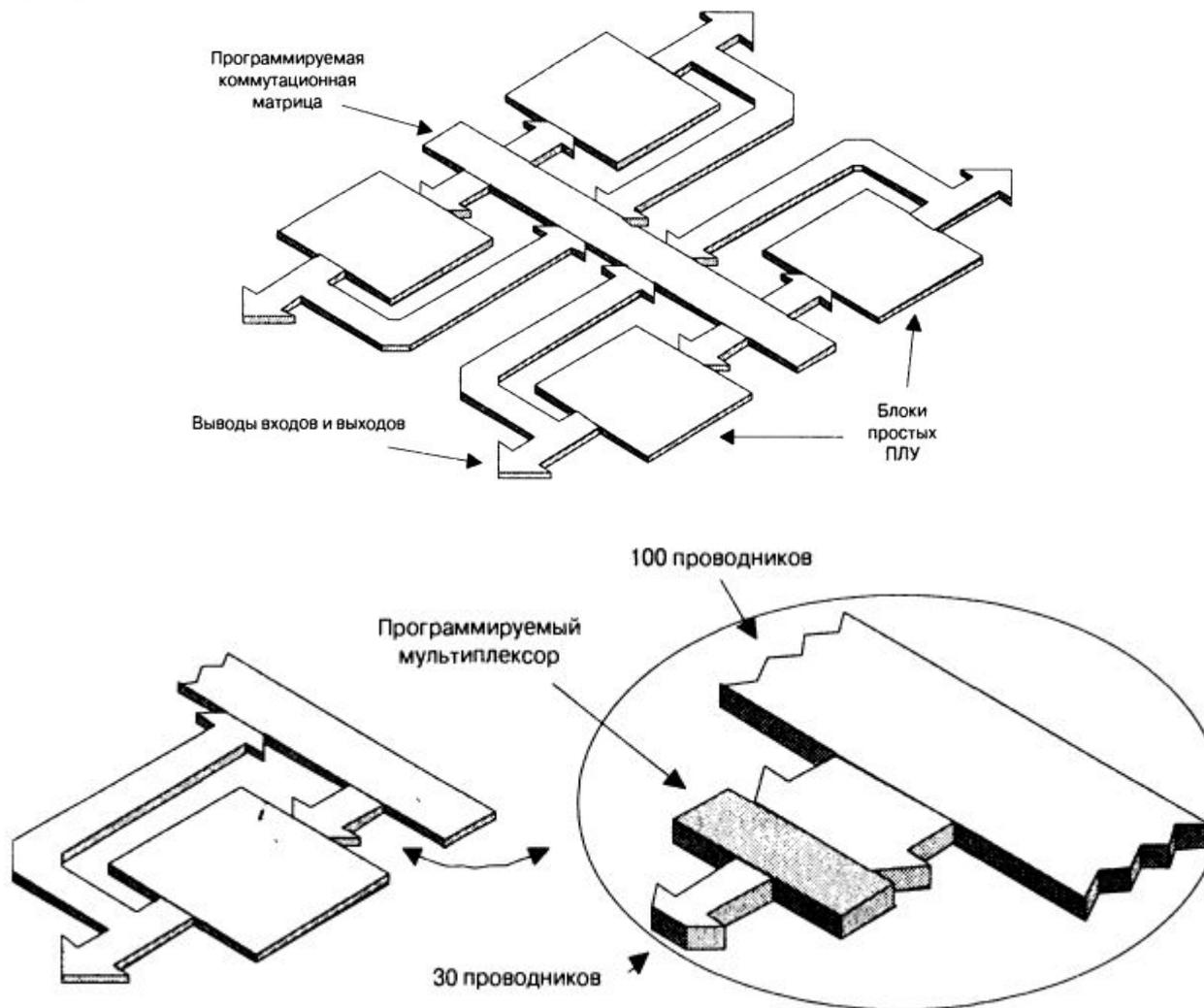
Программируемые логические матрицы

$$w = (a \& c) | (\bar{b} \& \bar{c}), x = (a \& b \& c) | (\bar{b} \& \bar{c}) \text{ и } y = (a \& b \& c).$$



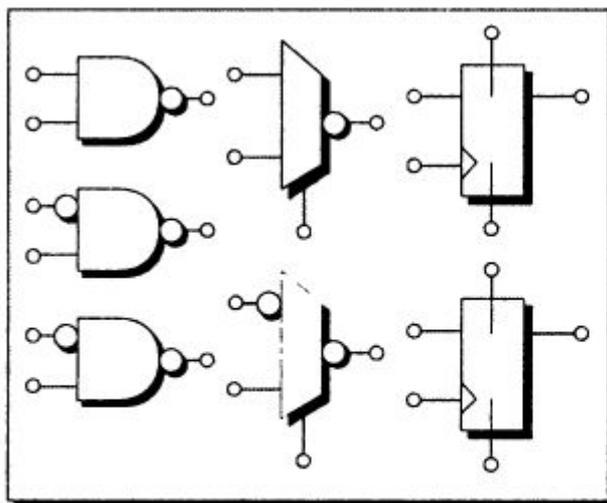
III. Реализация на жесткой и программируемой логике.

Сложное ПЛУ

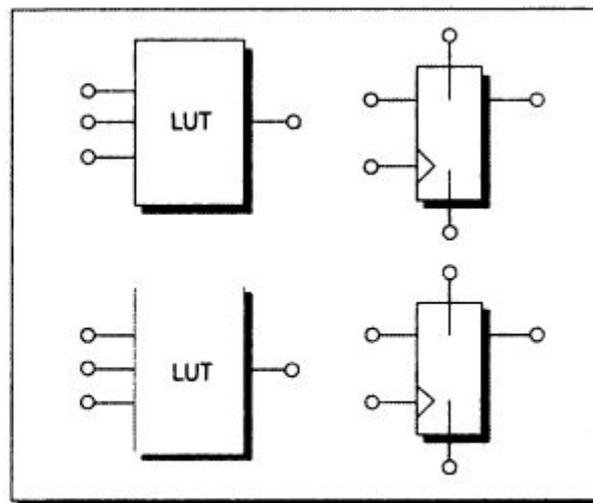


III. Реализация на жесткой и программируемой логике.

Структурированные специализированные микросхемы и ASIC



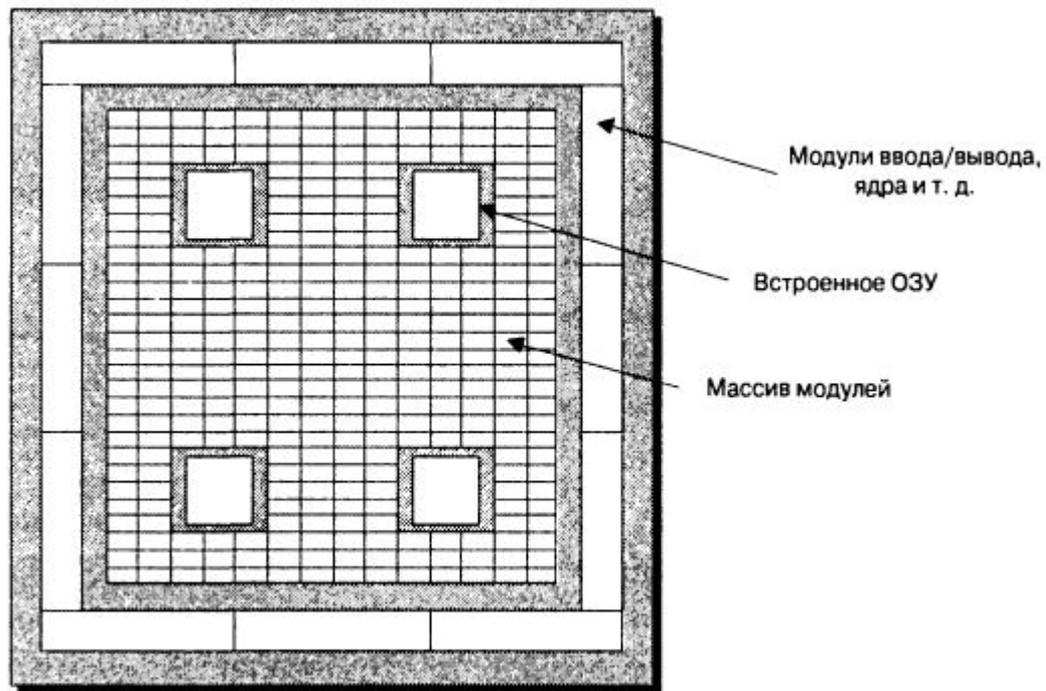
а) Модуль содержит вентили, мультиплексоры и триггеры



б) Модуль содержит таблицы соответствия (LUT) и триггеры

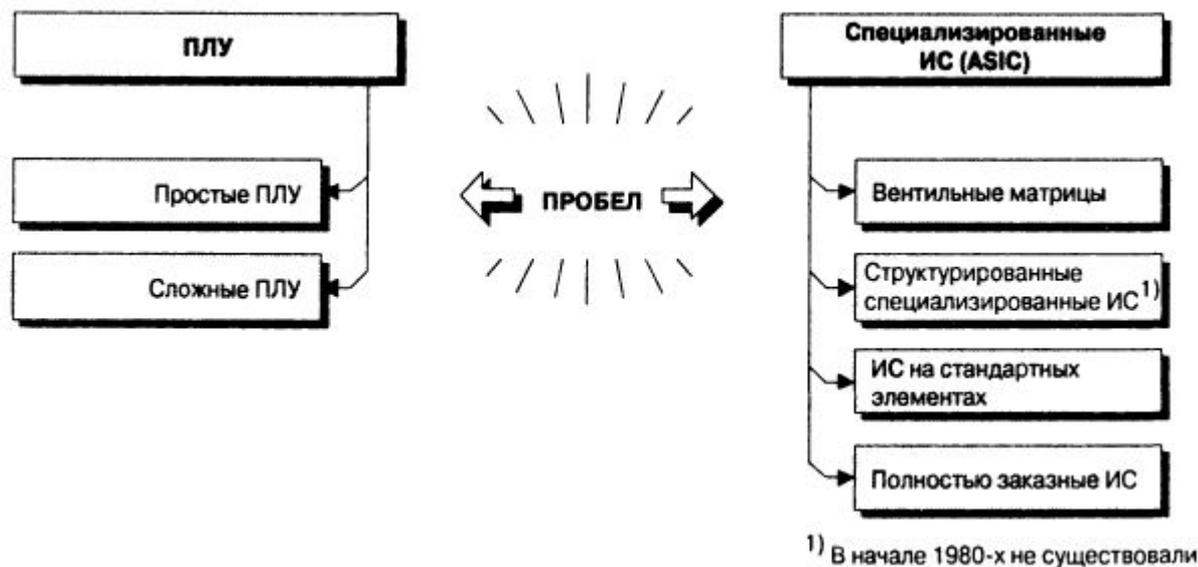
III. Реализация на жесткой и программируемой логике.

Структурированные специализированные микросхемы и ASIC



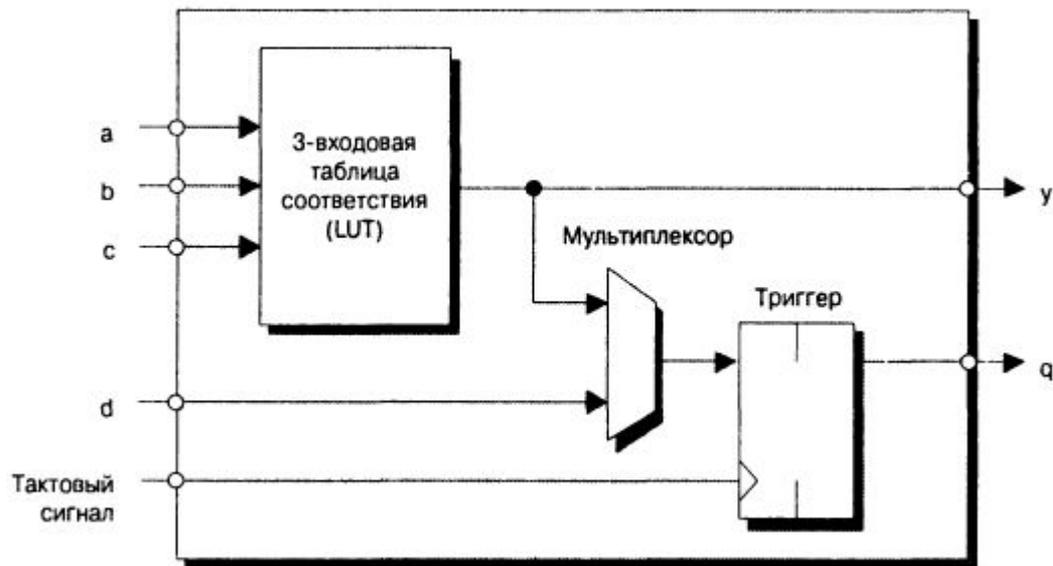
III. Реализация на жесткой и программируемой логике.

Программируемые Логические Интегральные Схемы



III. Реализация на жесткой и программируемой логике.

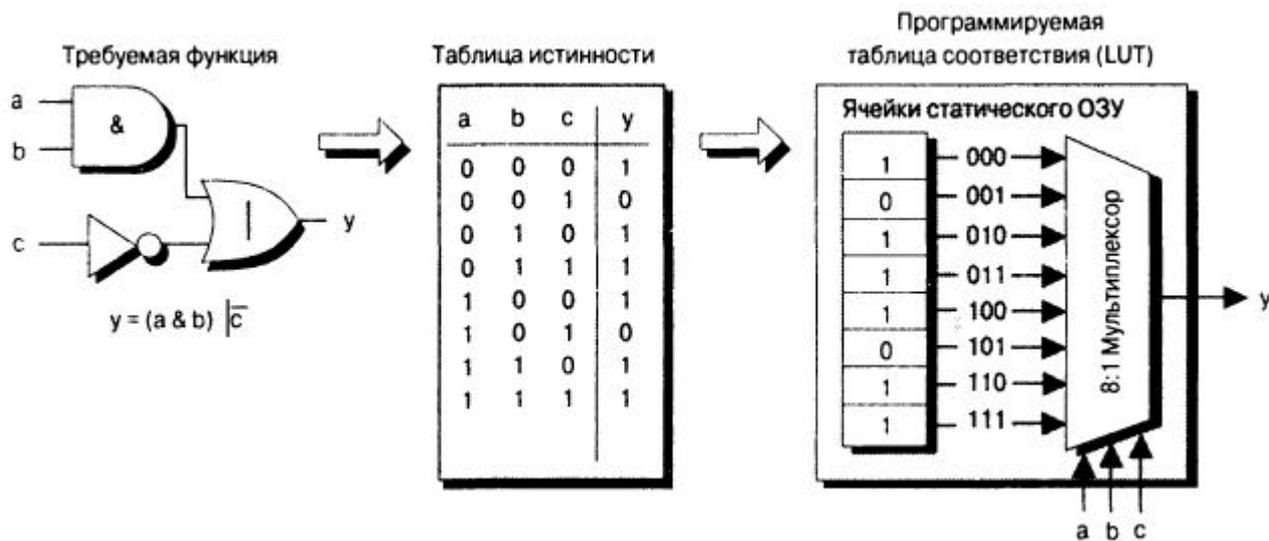
Программируемые Логические Интегральные Схемы



$$y = (a \& b) | \bar{c}.$$

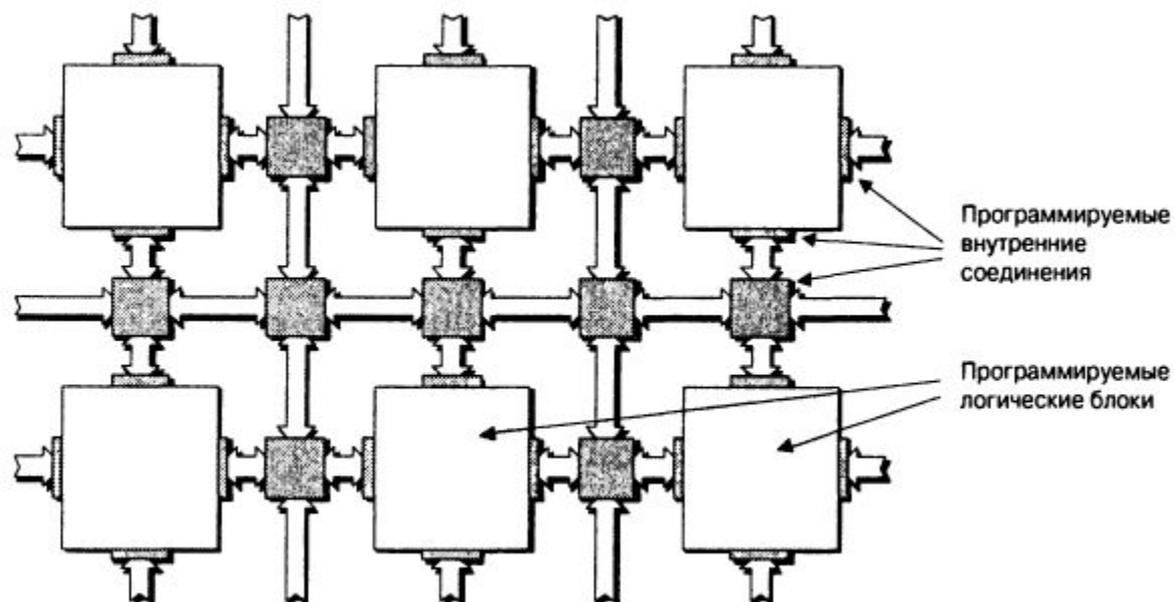
III. Реализация на жесткой и программируемой логике.

Программируемые Логические Интегральные Схемы



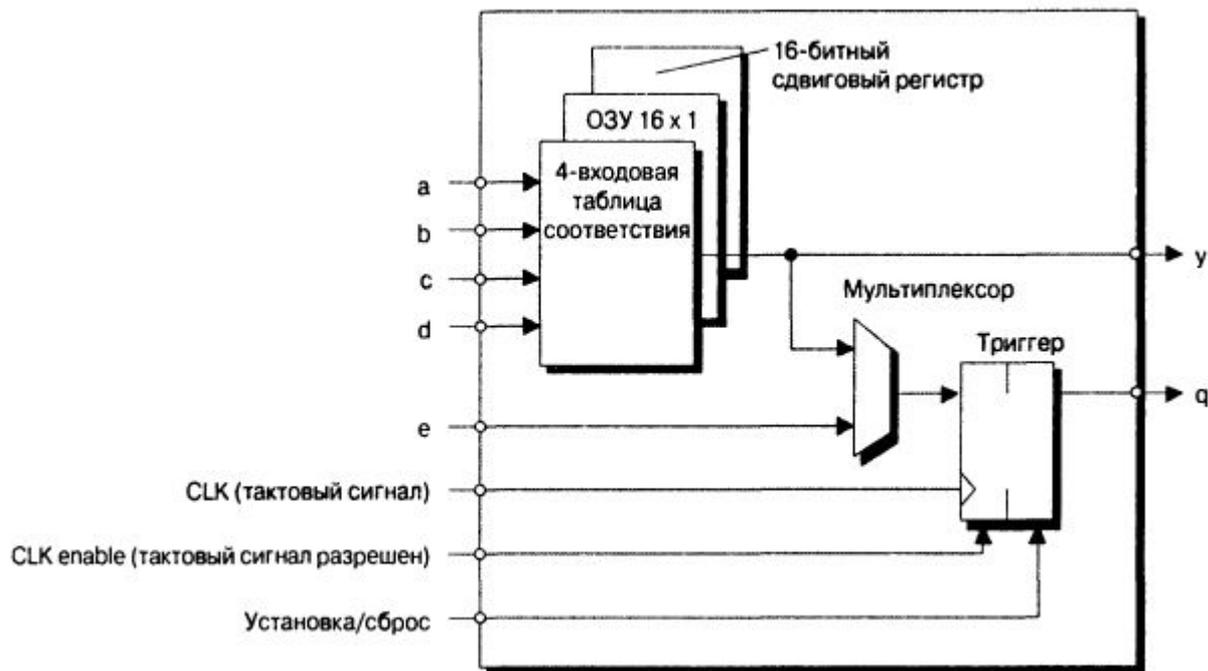
III. Реализация на жесткой и программируемой логике.

Упрощенная архитектура ПЛИС



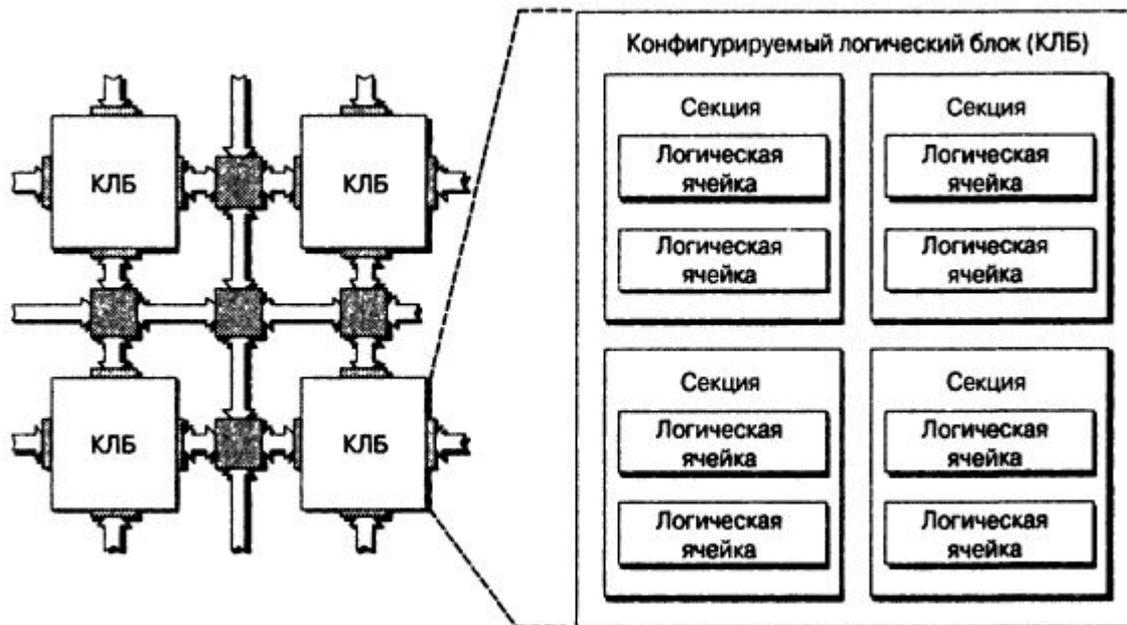
III. Реализация на жесткой и программируемой логике.

Логические ячейки



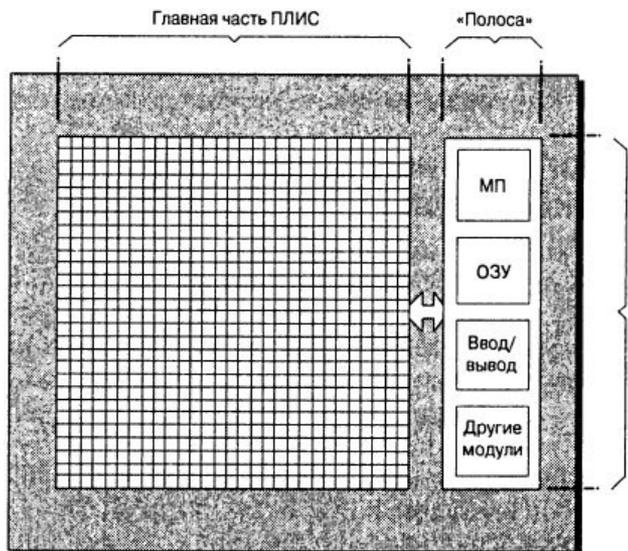
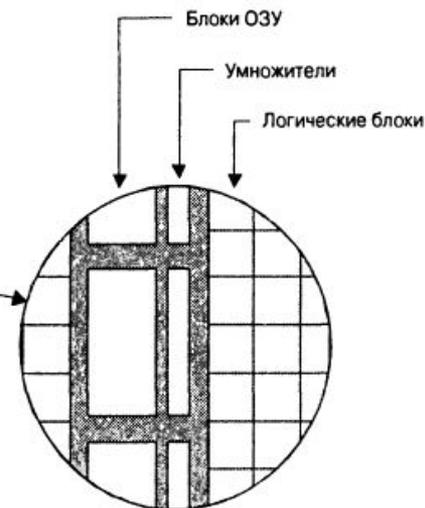
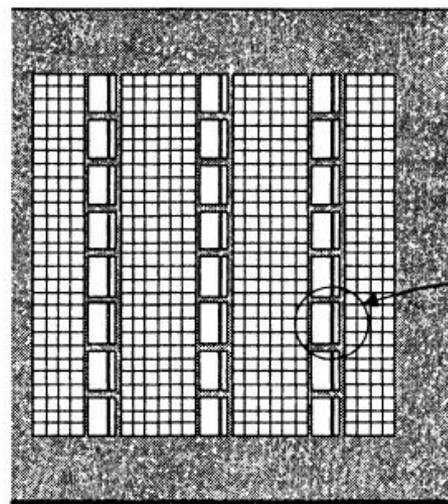
III. Реализация на жесткой и программируемой логике.

Конфигурируемый логический блок



III. Реализация на жесткой и программируемой логике.

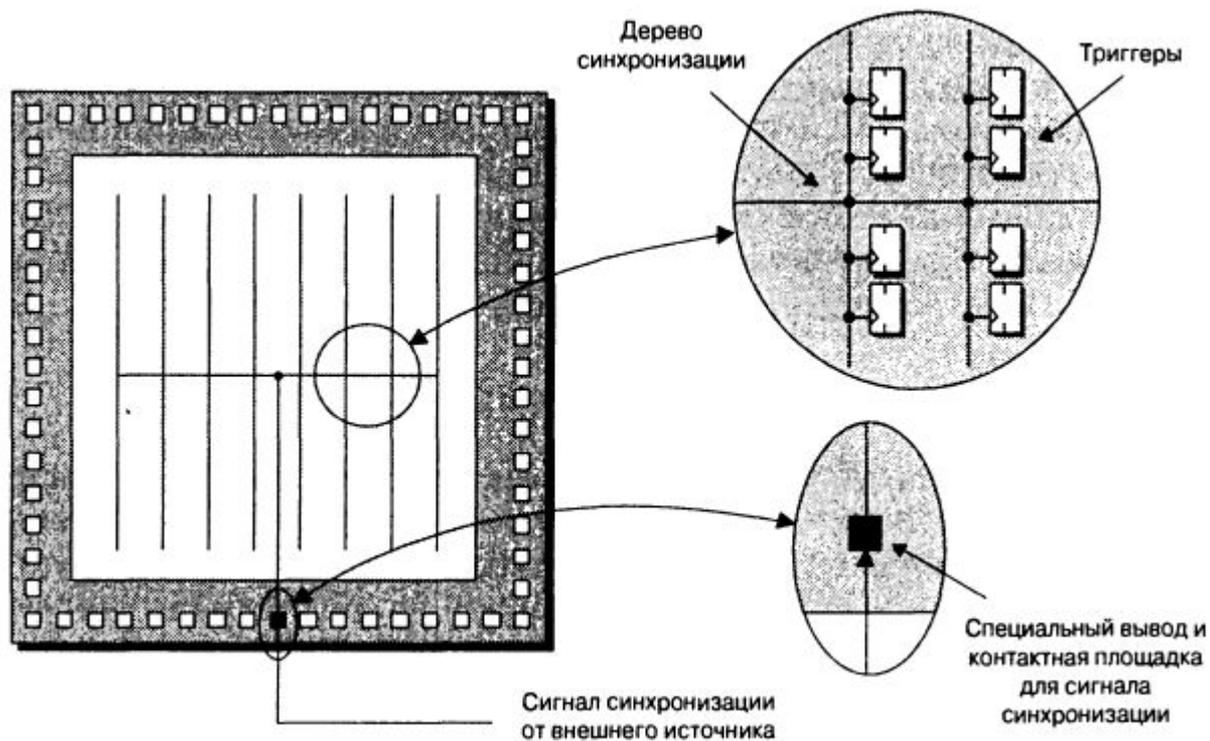
Встроенные элементы.



Микропроцессорное ядро, специальное ОЗУ, интерфейсы ввода/вывода, и так далее

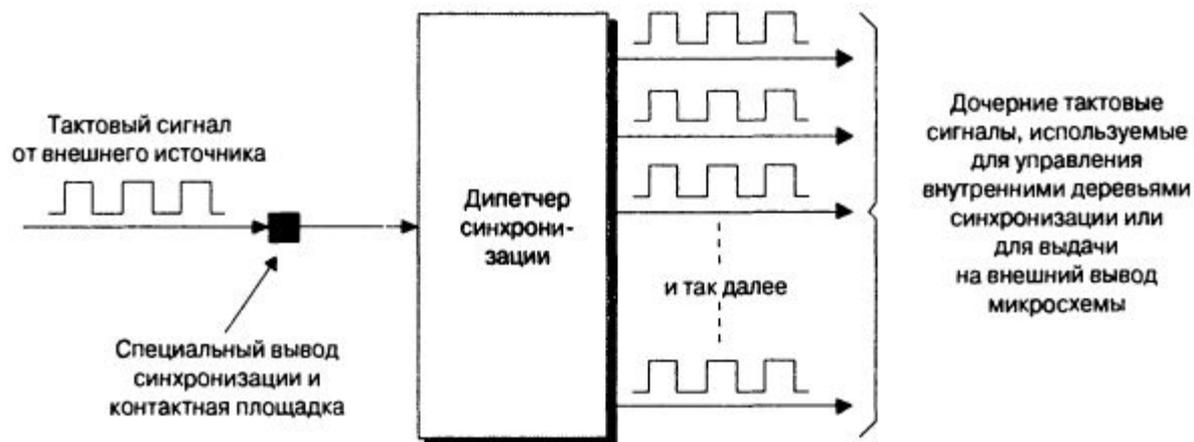
III. Реализация на жесткой и программируемой логике.

Дерево синхронизации.



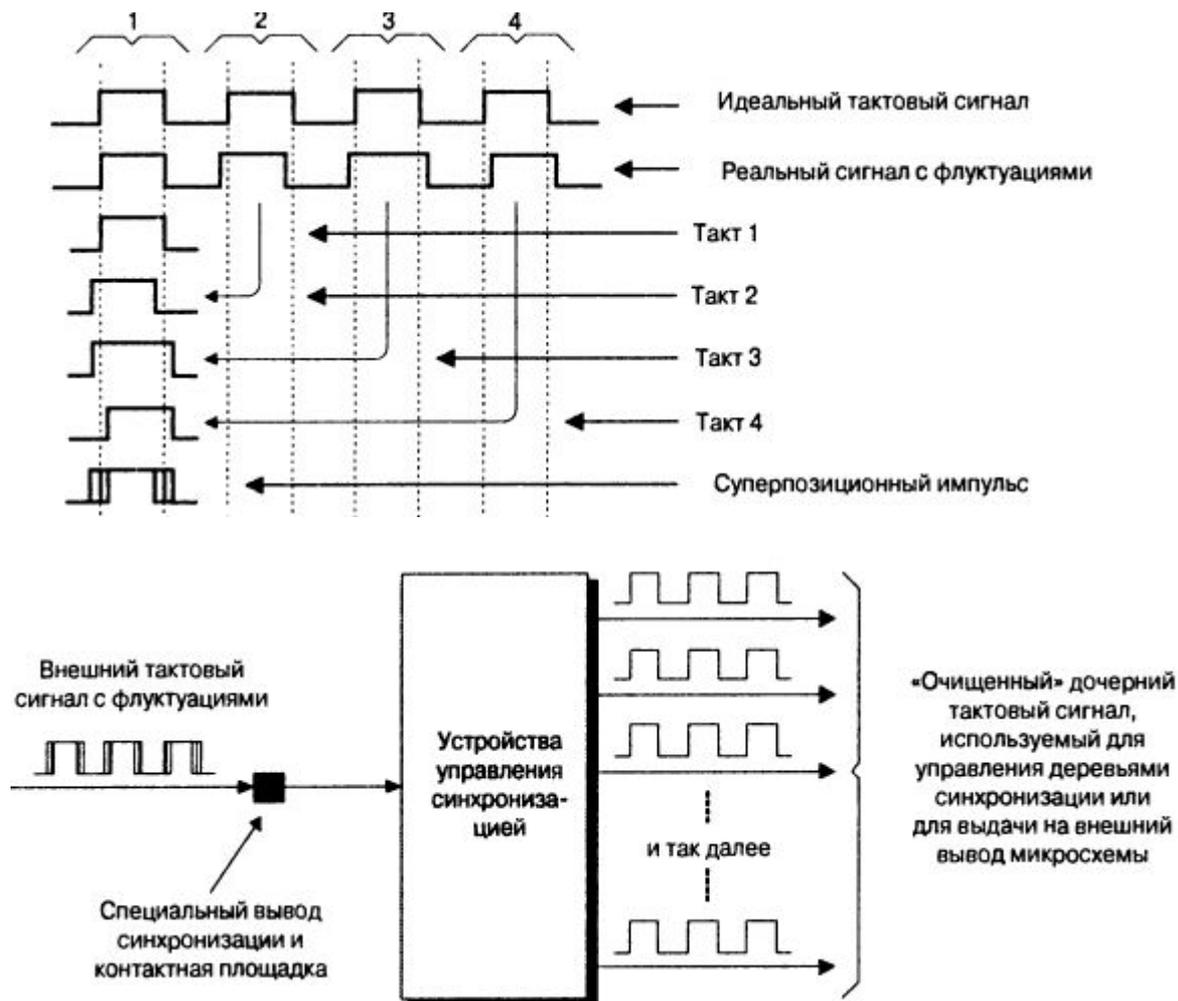
III. Реализация на жесткой и программируемой логике.

Диспетчер синхронизации.



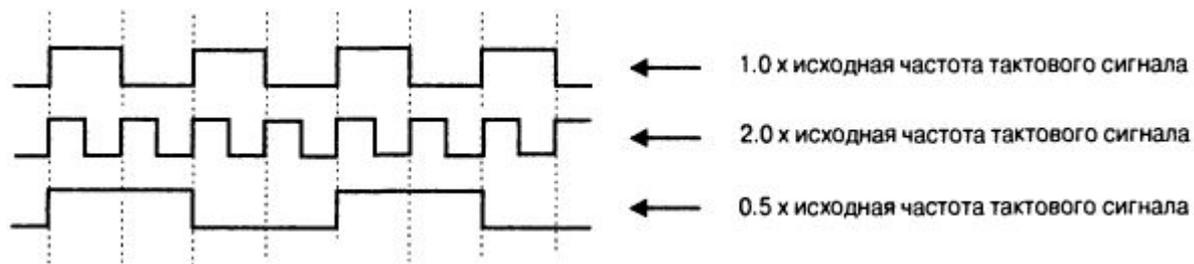
III. Реализация на жесткой и программируемой логике.

Смазывание тактового сигнала

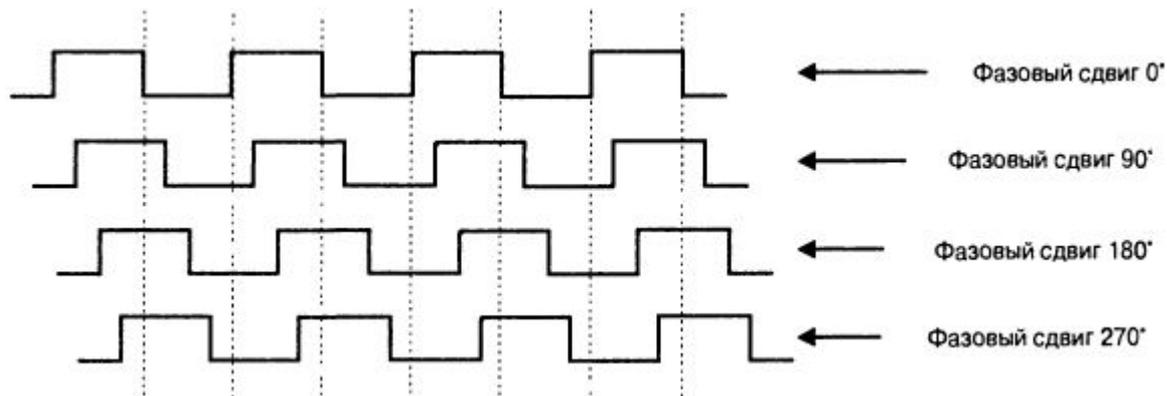


III. Реализация на жесткой и программируемой логике.

Частотный синтез.

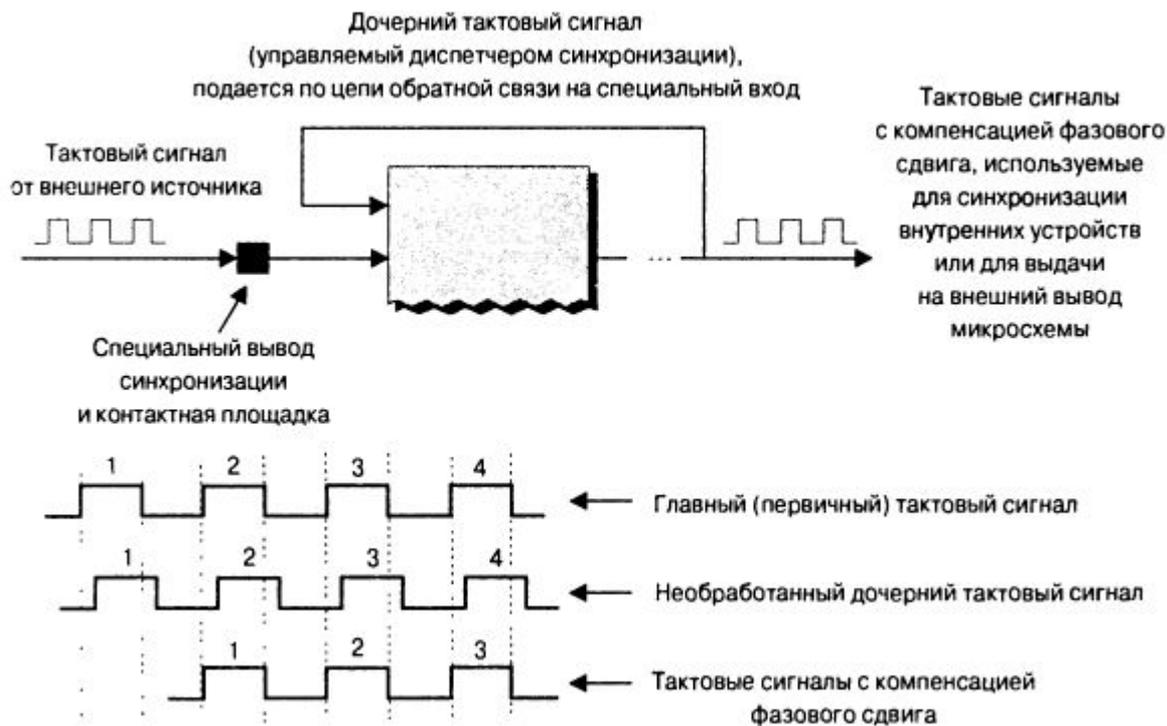


Фазовый сдвиг.



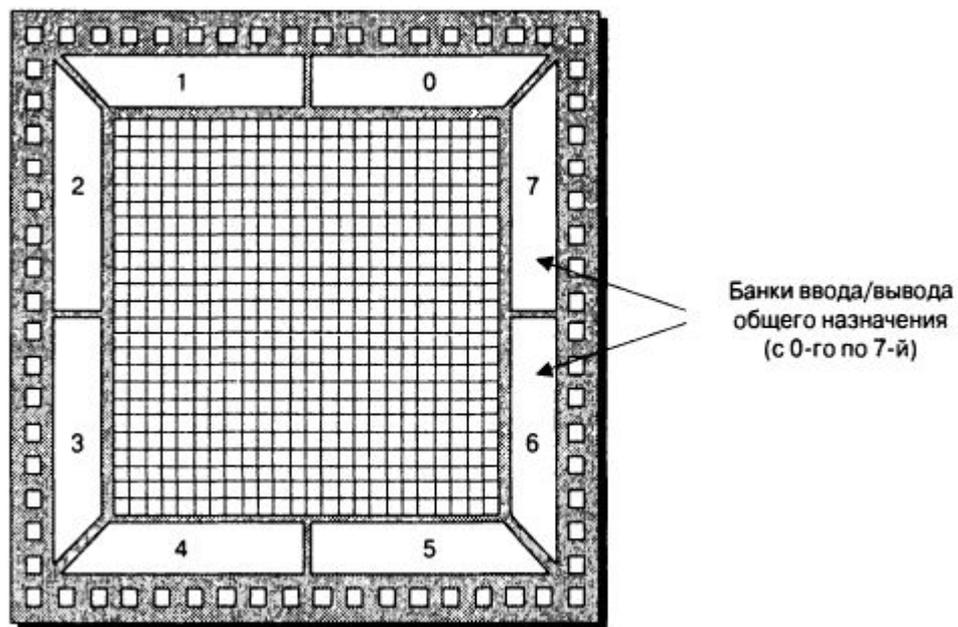
III. Реализация на жесткой и программируемой логике.

Компенсация фазового сдвига



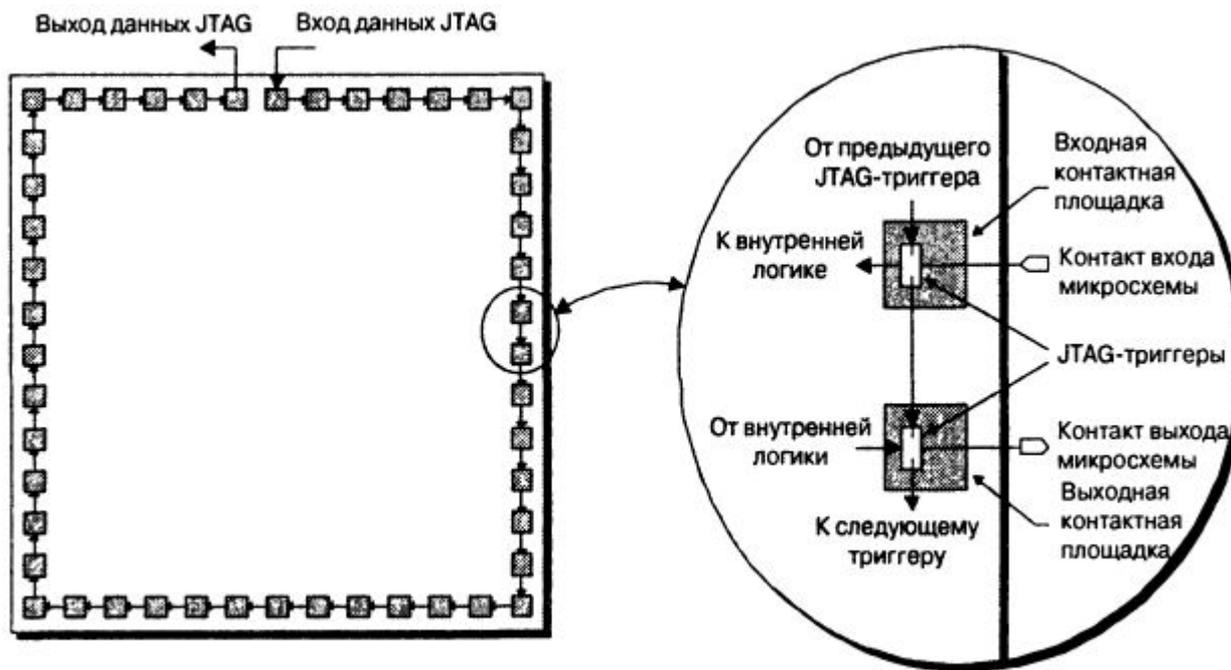
III. Реализация на жесткой и программируемой логике.

Ввод/вывод общего назначения.



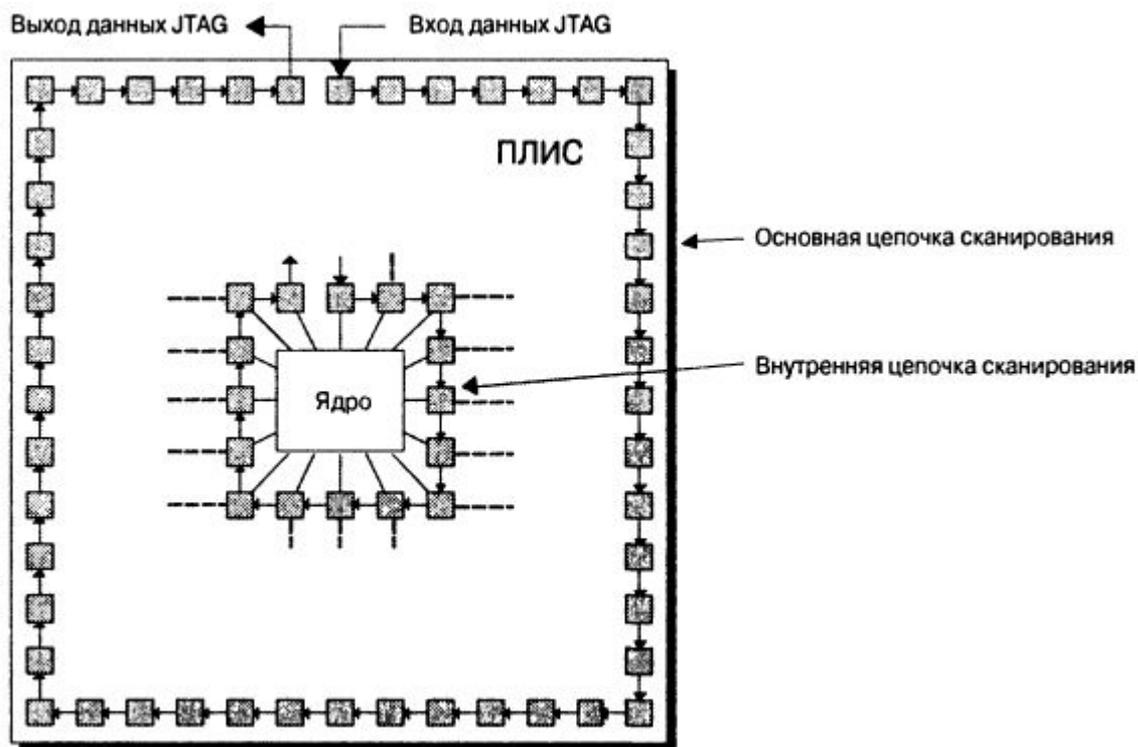
III. Реализация на жесткой и программируемой логике.

Программирование ПЛИС. JTAG-порт.



III. Реализация на жесткой и программируемой логике.

Программирование ПЛИС. JTAG-порт.





Московский Авиационный
(Национальный Исследовательский
Институт
Университет)
