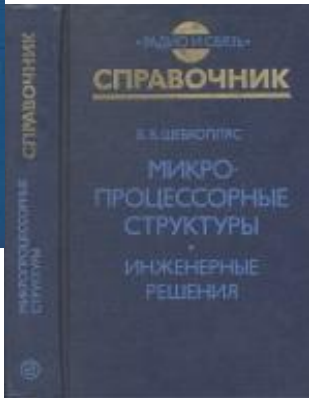


ПРОЕКТИРОВАНИЕ СИСТЕМ АВТОМАТИЗАЦИИ

модуль 5. Проектная компоновка УВК



Шевкопляс Б.В. Микропроцессорные структуры. Инженерные решения: Спраповчник. – М.: Радио и связь, 1990. – 512 с.

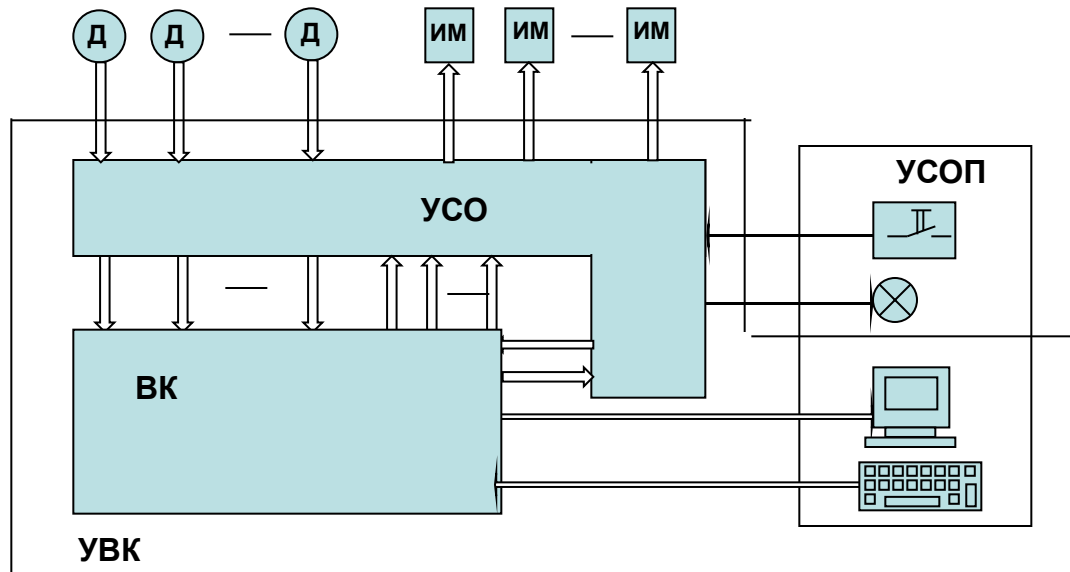
Гук М. Ю. Аппаратные средства IBMPC. Энциклопедия. 3-е изд. —СПб.: Питер, 2006. —1072 с.

Гук М. Интерфейсы ПК. Справочник. — СПб: Питер Ком, 1999.



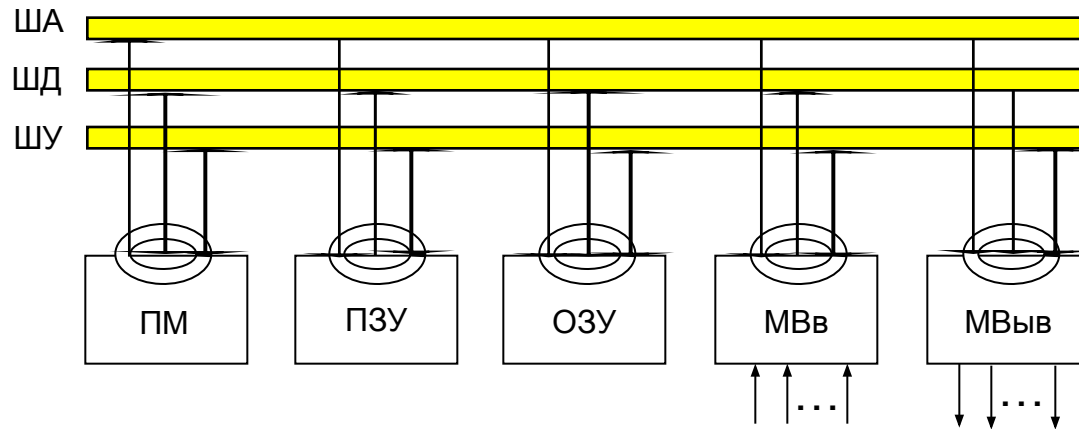
Скотт Мюллер. Модернизация и ремонт ПК. -19-е издание. М.: Вильямс, 2011. – 1072 с.

1. СОСТАВ ТЕХНИЧЕСКОГО ОБЕСПЕЧЕНИЯ АСУ ТП



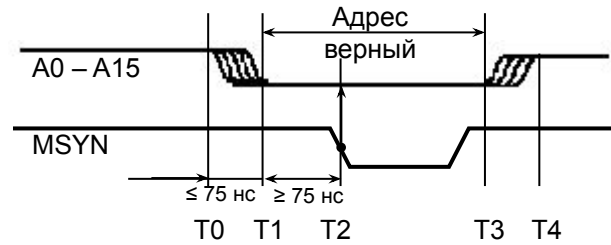
- Д – датчики (технологические измерители)
- ИМ – исполнительные механизмы
- ВК – вычислительный комплекс
- УСО – устройства связи с объектом
- УВК – управляющий вычислительный комплекс

1. ТИПОВАЯ СТРУКТУРА МП УВК

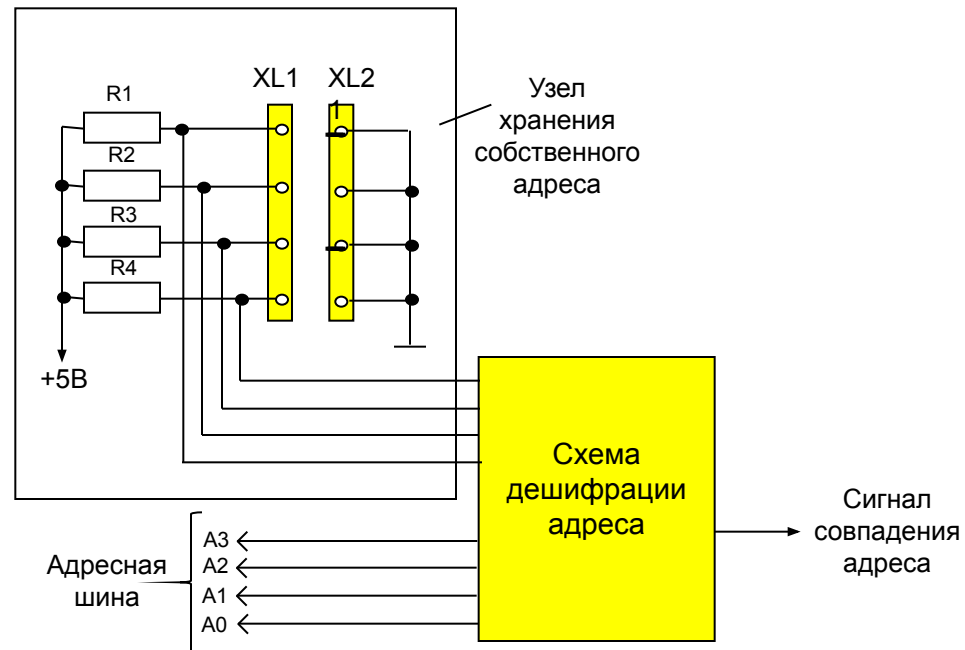


2. АДРЕСАЦИЯ В МП УВК

Передача адреса по магистрали

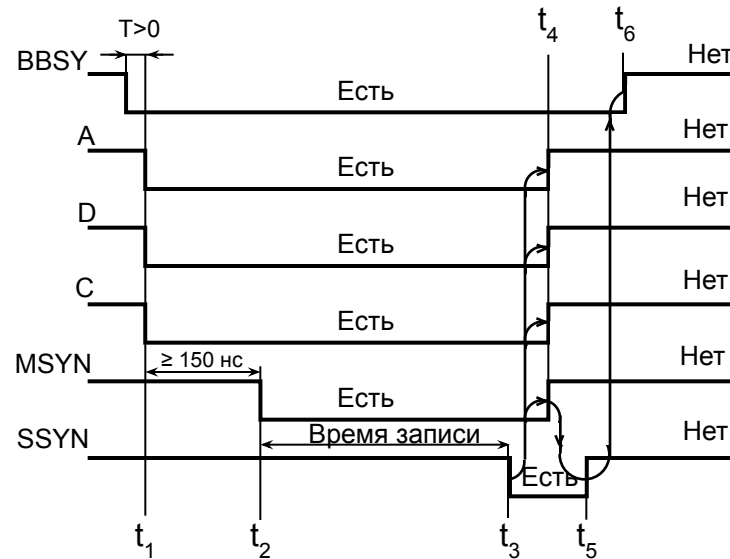


Дешифрация адреса



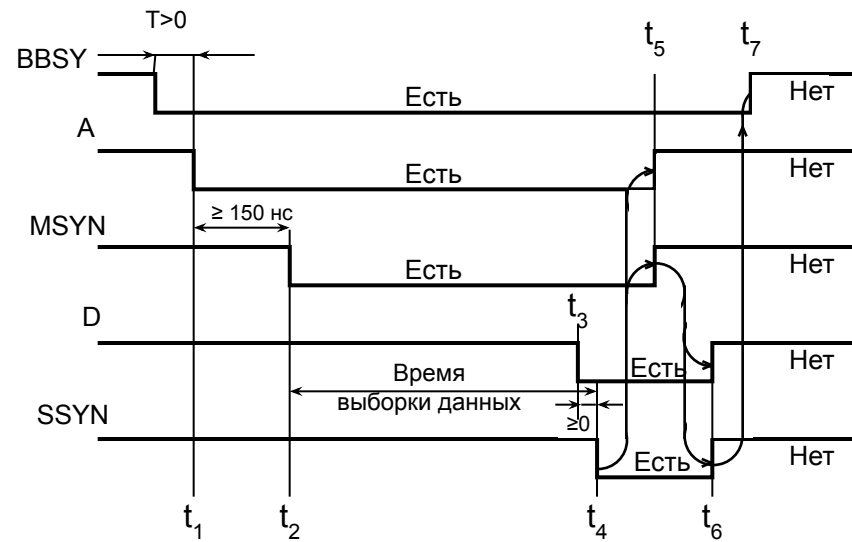
3. ОРГАНИЗАЦИЯ ОБМЕНА ДАННЫМИ ПО ВНУТРЕННЕМУ ИНТЕРФЕЙСУ

3.1. Режим записи



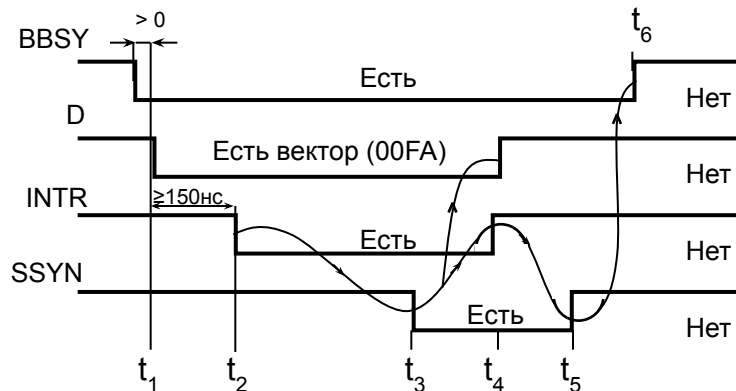
3. ОРГАНИЗАЦИЯ ОБМЕНА ДАННЫМИ ПО ВНУТРЕННЕМУ ИНТЕРФЕЙСУ

3.2. Режим чтения



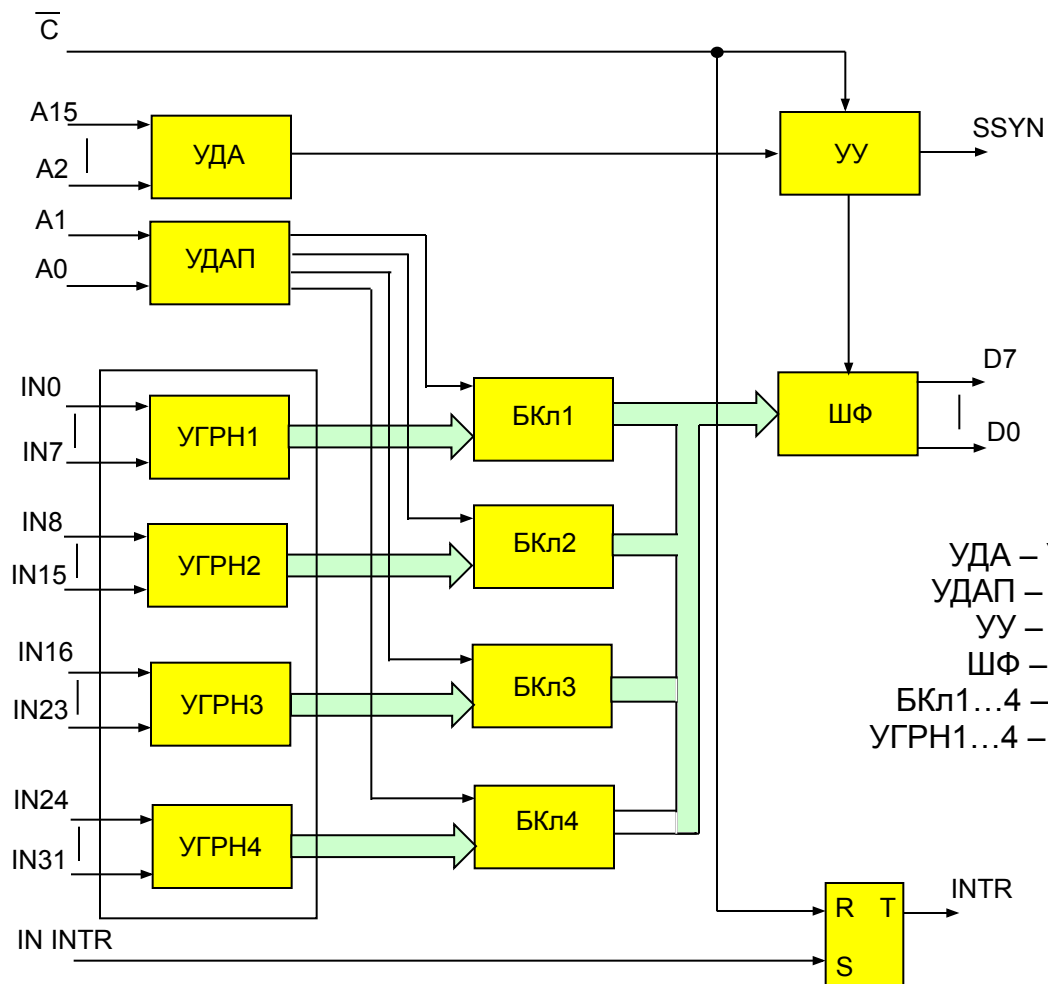
3. ОРГАНИЗАЦИЯ ОБМЕНА ДАННЫМИ ПО ВНУТРЕННЕМУ ИНТЕРФЕЙСУ

3.3. Режим прерывания



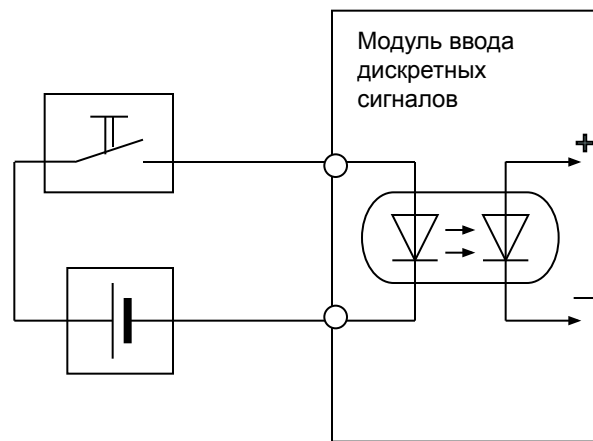
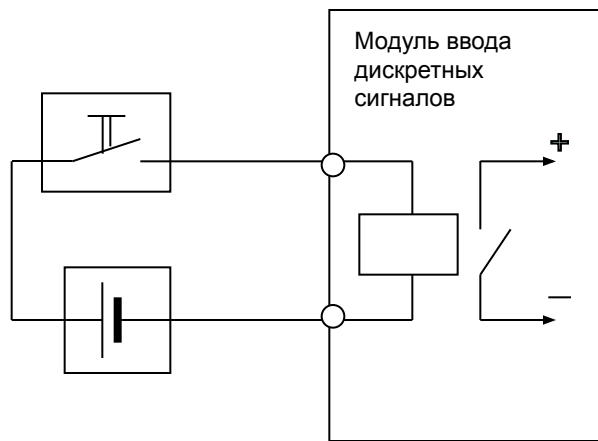
4. УСТРОЙСТВО И ФУНКЦИОНИРОВАНИЕ МОДУЛЕЙ УСО

4.1. ФУНКЦИОНАЛЬНАЯ СХЕМА МОДУЛЯ ВВОДА ДИСКРЕТНЫХ СИГНАЛОВ

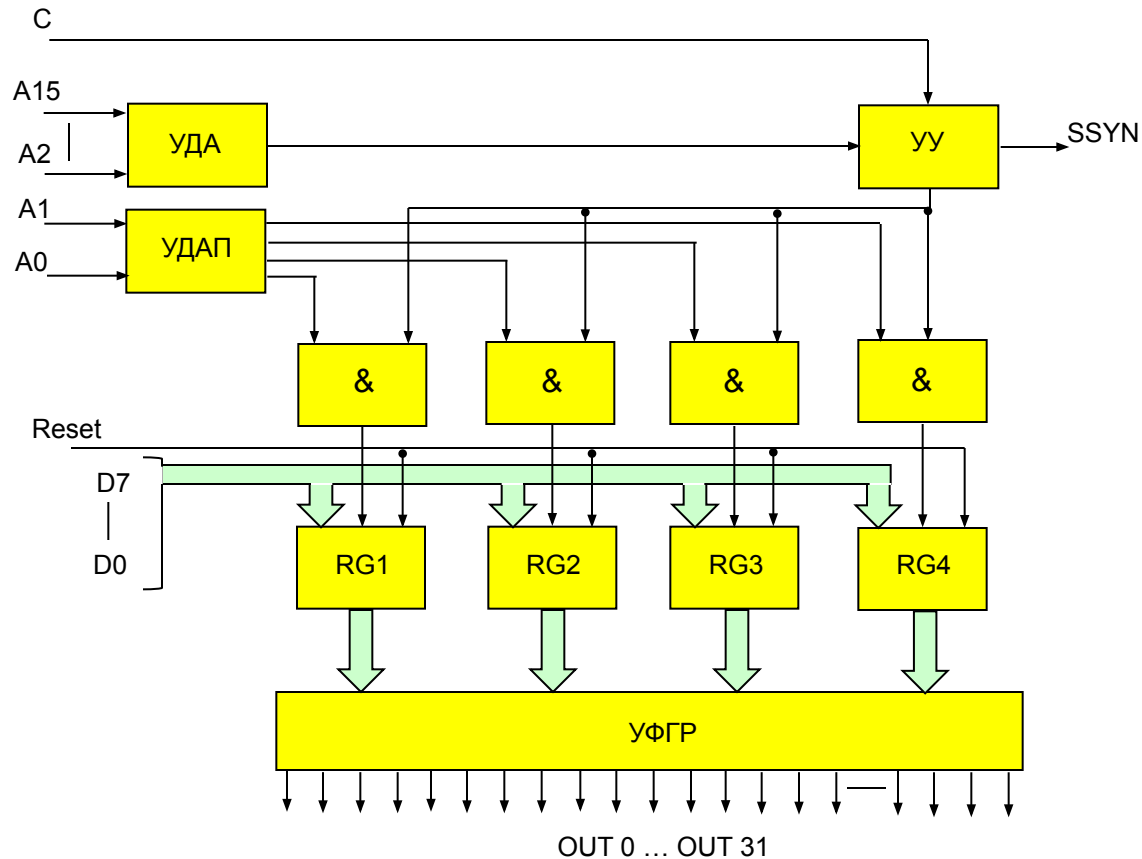


УДА – Узел дешифрации адреса модуля
УДАП – Узел дешифрации адреса порта
УУ – Узел управления
ШФ – Шинный формирователь
БКл1...4 – Блок ключей
УГРН1...4 – Узел гальванического разделения и нормализации сигналов

Узел гальванического разделения и нормализации сигналов

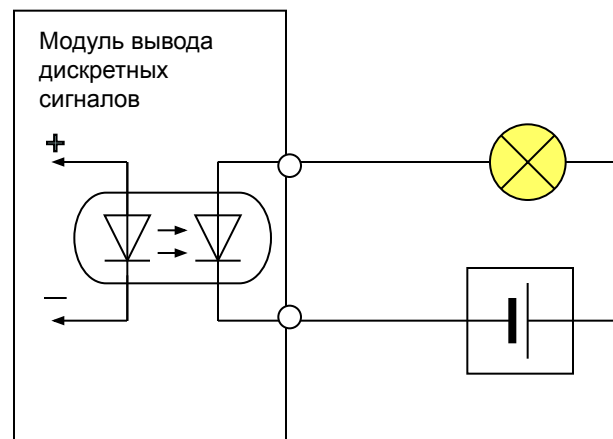
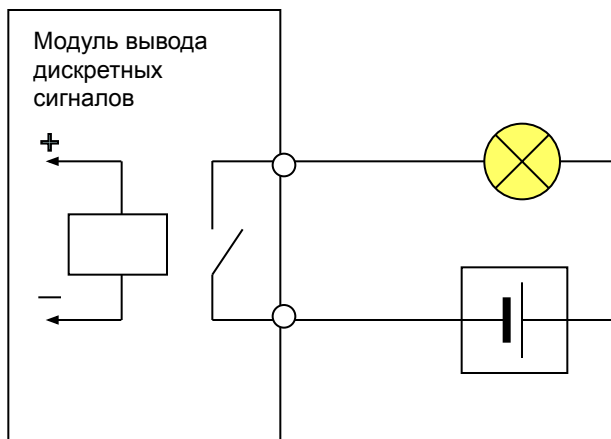


4.2. ФУНКЦИОНАЛЬНАЯ СХЕМА МОДУЛЯ ВЫВОДА ДИСКРЕТНЫХ СИГНАЛОВ

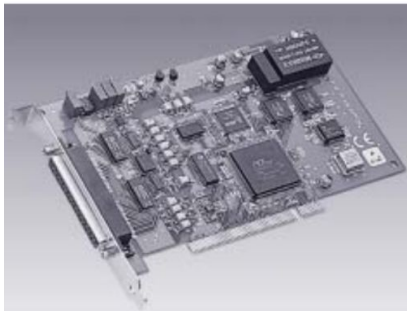
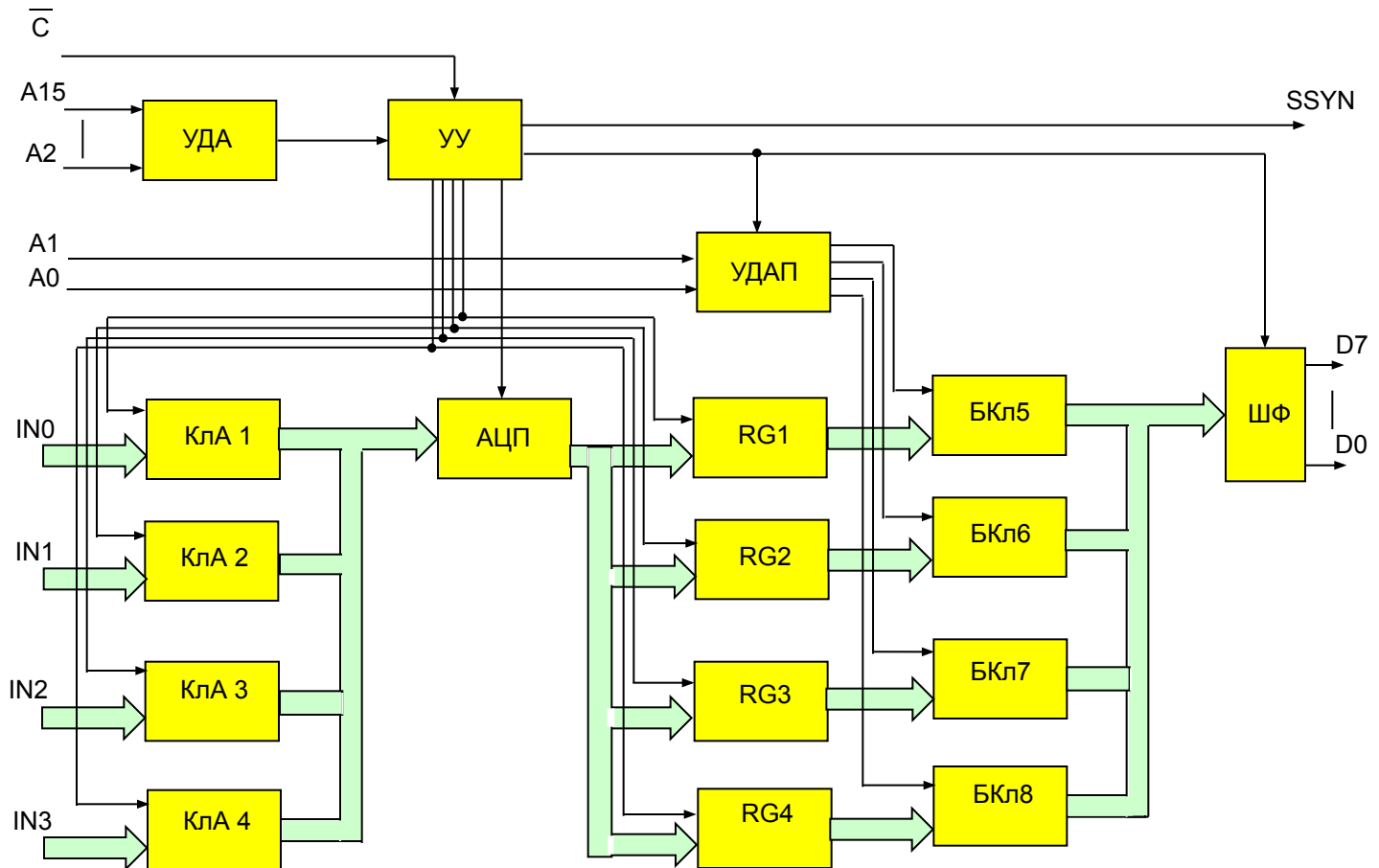


УДА – Узел дешифрации адреса модуля
УДАП – Узел дешифрации адреса порта
УУ – Узел управления
& – Элемент «И» - ключ
RG1 ... RG4 – Цифровые регистры
УФГР – Узел формирования и гальванического
разделения сигналов

Узел формирования и гальванического разделения сигналов

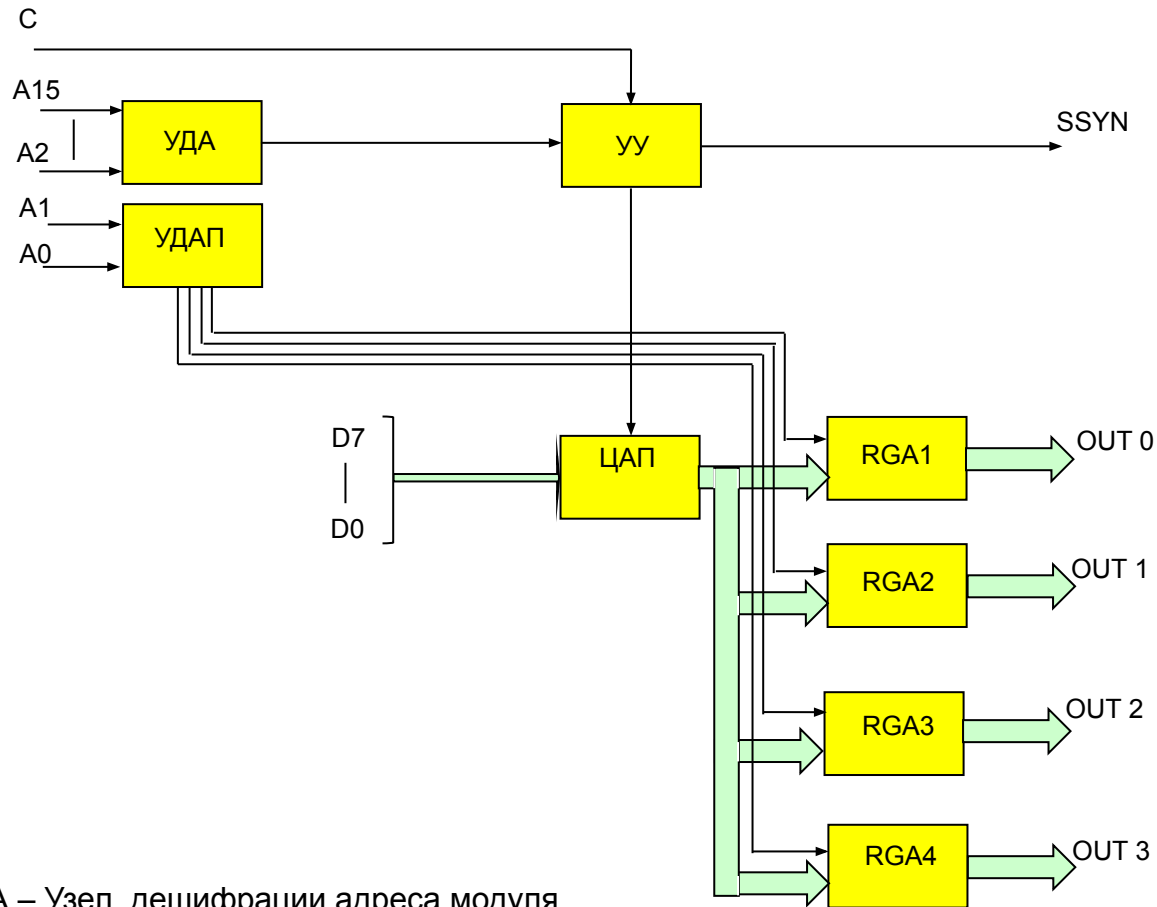


4.3. ФУНКЦИОНАЛЬНАЯ СХЕМА МОДУЛЯ ВВОДА НЕПРЕРЫВНЫХ СИГНАЛОВ



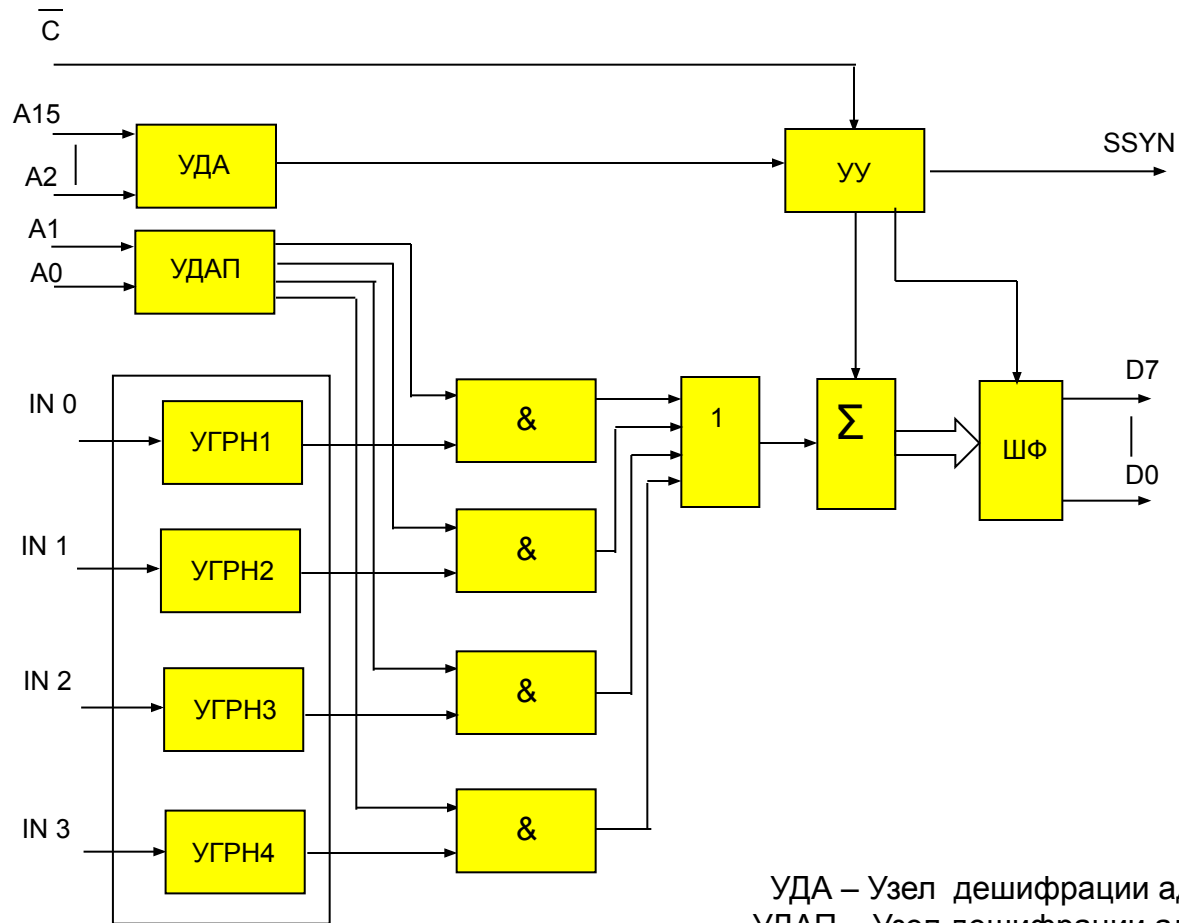
- УДА – Узел дешифрации адреса модуля
- УДАП – Узел дешифрации адреса порта
- УУ – Узел управления
- АЦП – аналого-цифровой преобразователь
- RG1...4 – Цифровые регистры
- КлА1...4 – Аналоговый ключ
- БКл1...4 – Блок ключей
- ШФ – Шинный формирователь

4.4. ФУНКЦИОНАЛЬНАЯ СХЕМА МОДУЛЯ ВЫВОДА НЕПРЕРЫВНЫХ СИГНАЛОВ



УДА – Узел дешифрации адреса модуля
УДАП – Узел дешифрации адреса порта
УУ – Узел управления
ЦАП – цифро-аналоговый преобразователь
RGA1...4 – Аналоговые регистры

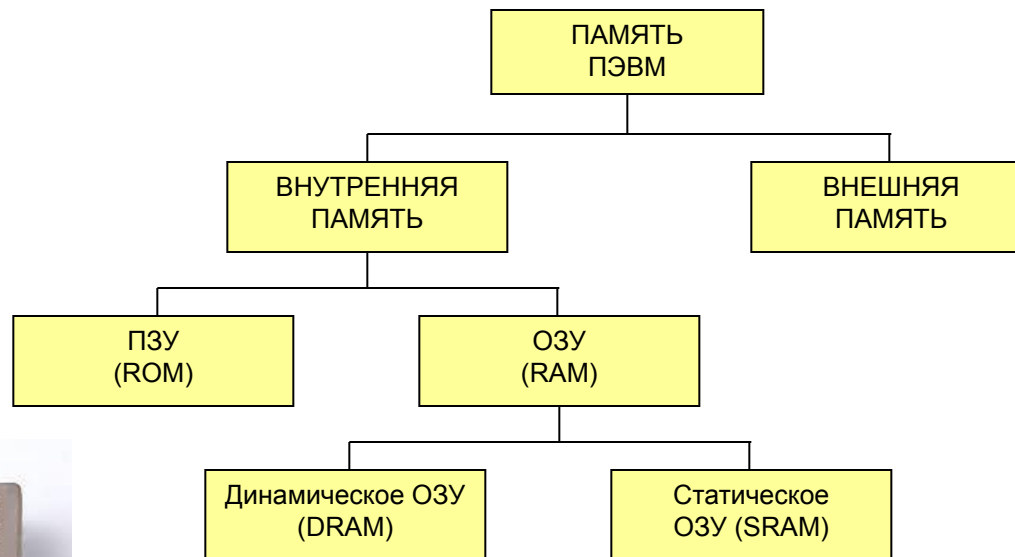
4.5. ФУНКЦИОНАЛЬНАЯ СХЕМА МОДУЛЯ ВВОДА ЧАСТОТНЫХ СИГНАЛОВ



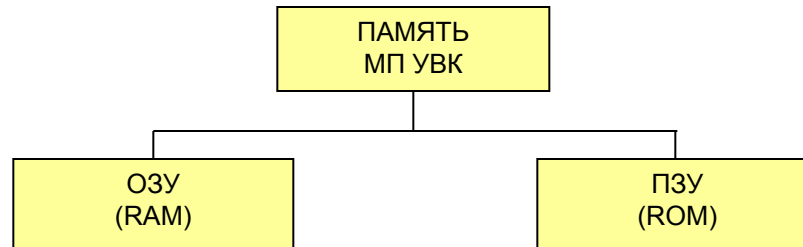
УДА – Узел дешифрации адреса модуля
 УДАП – Узел дешифрации адреса порта
 УУ – Узел управления
 ШФ – Шинный формироваель
 & – Элемент «И» - ключ
 УГРН1...4 – Узел гальванического разделения и нормализации сигналов

5. ОРГАНИЗАЦИЯ ЭЛЕКТРОННОЙ ПАМЯТИ В УВК

5.1. ОРГАНИЗАЦИЯ ЭЛЕКТРОННОЙ ПАМЯТИ В ПЭВМ

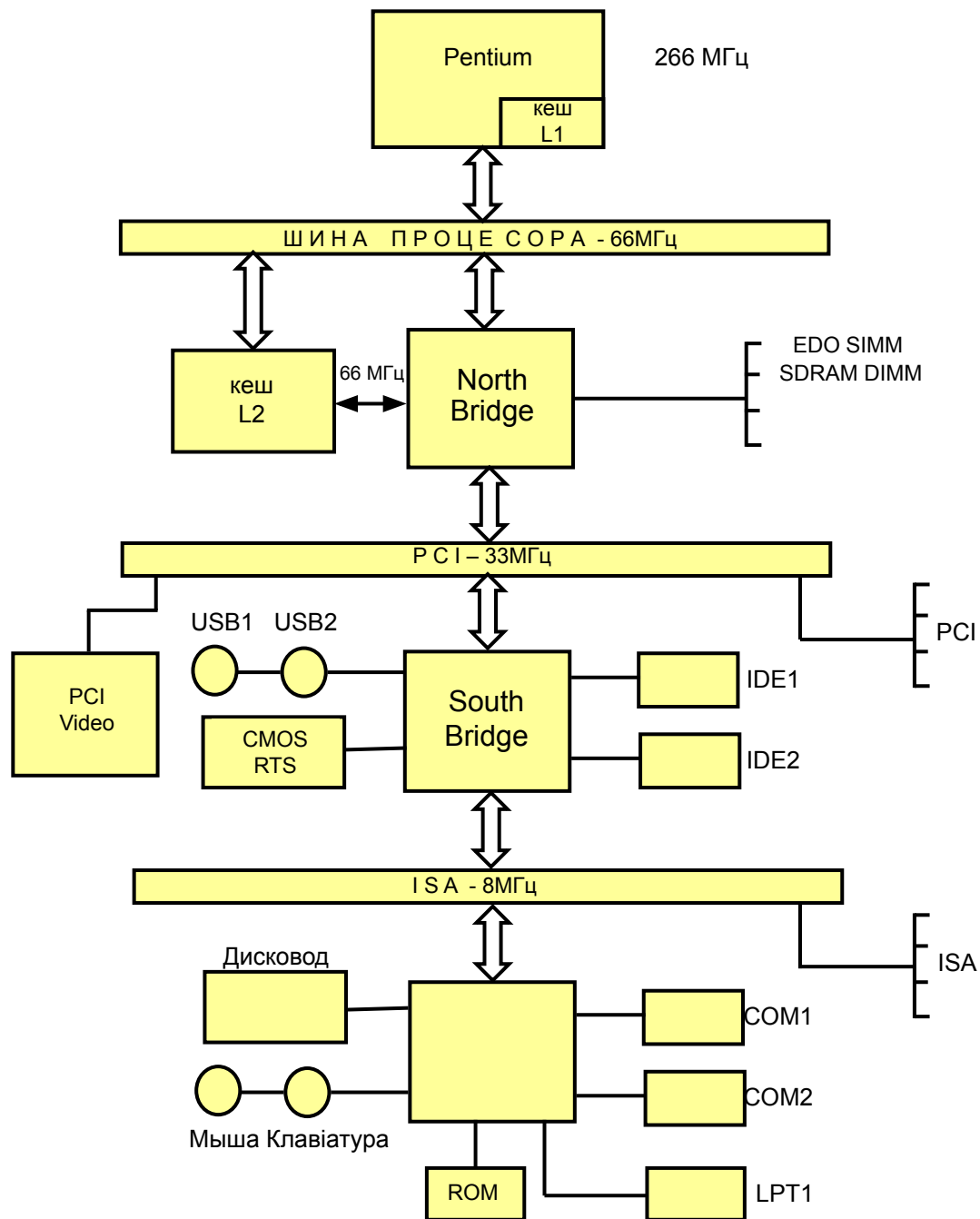


5.2. ОРГАНИЗАЦИЯ ЭЛЕКТРОННОЙ ПАМЯТИ В МП УВК

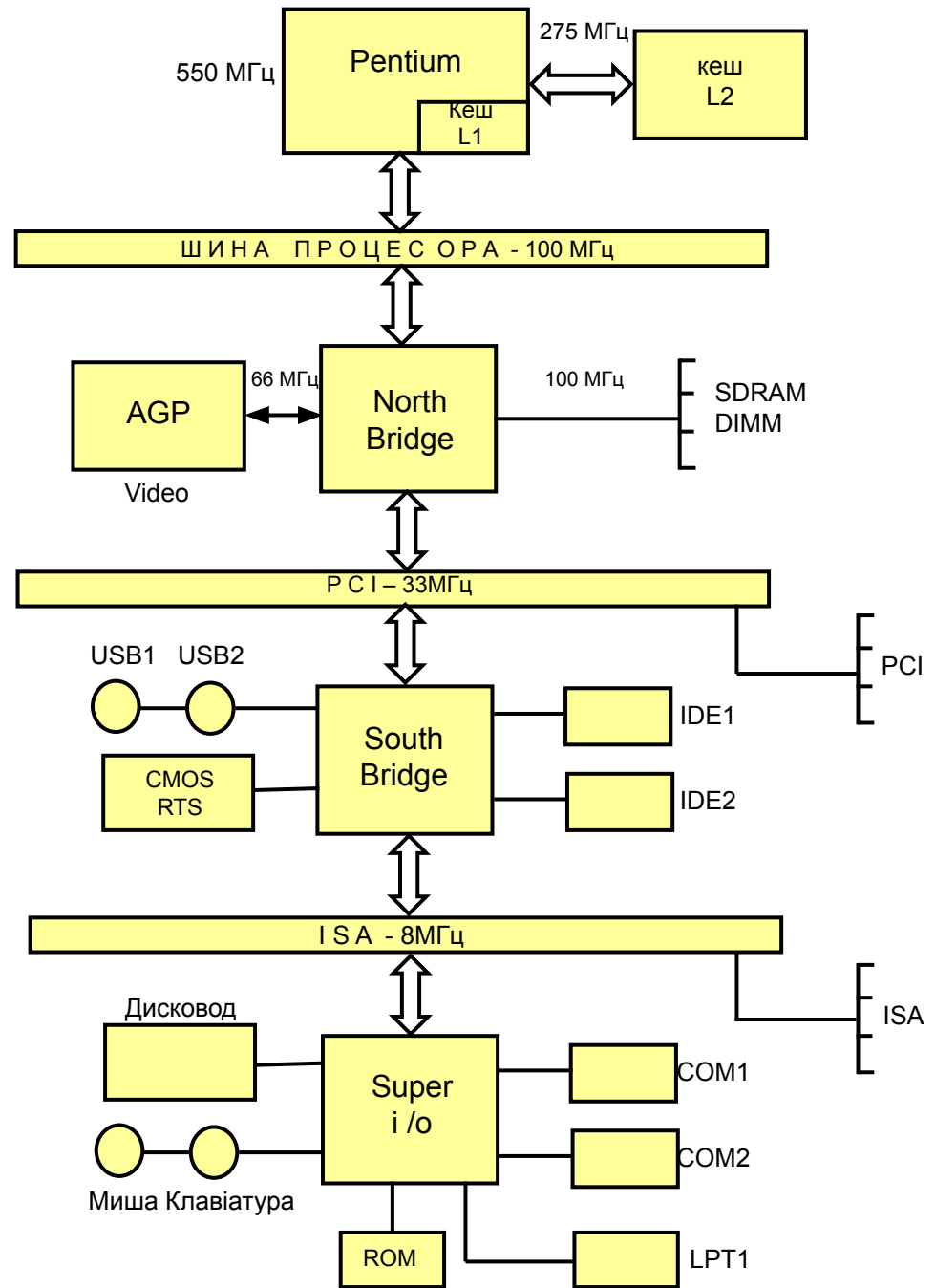


6. СТРУКТУРА МОДУЛЯ ЦПУ

6.1. Структура платы ЦПУ с процессором Pentium



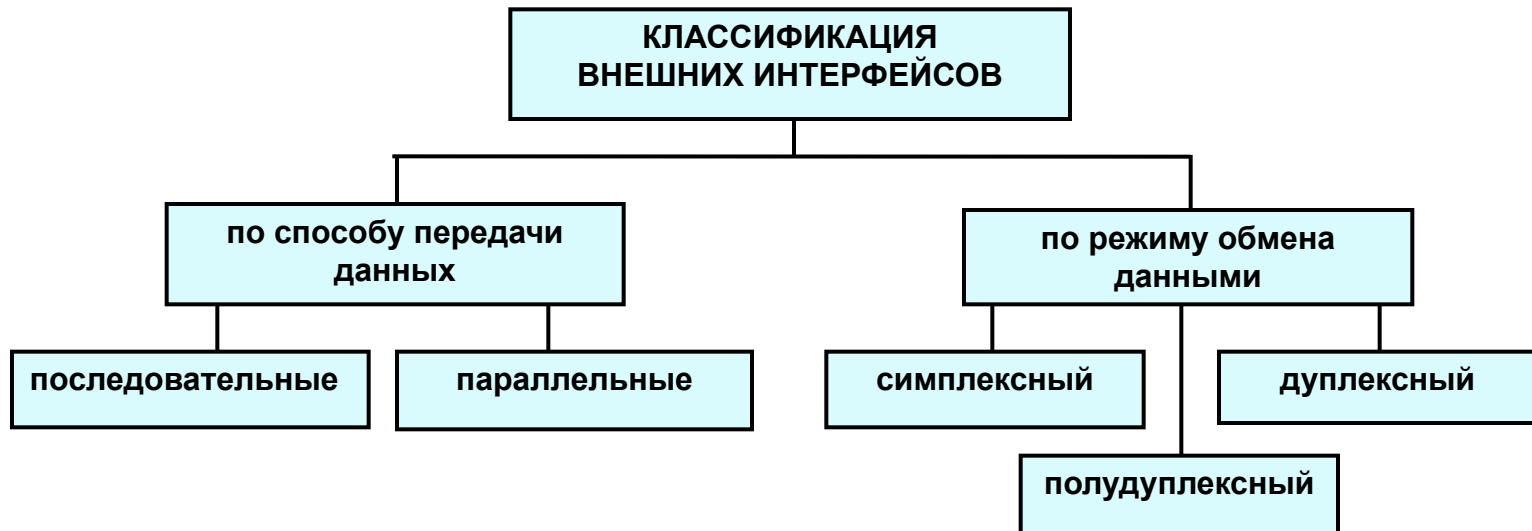
6.2. Структура платы ЦПУ с процессором Pentium III



7. ВНЕШНИЕ ИНТЕРФЕЙСЫ

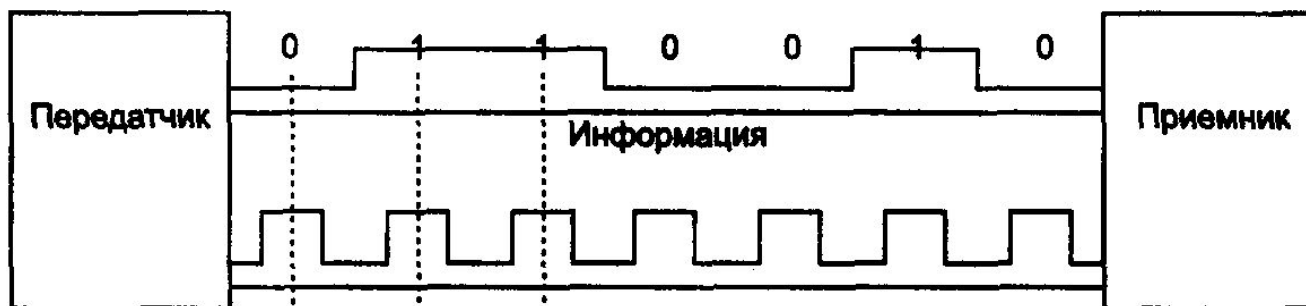
Внешние интерфейсы обеспечивают подключение к УВК периферийного оборудования и других компьютеров

7.1. Основные параметры и характеристики внешних интерфейсов

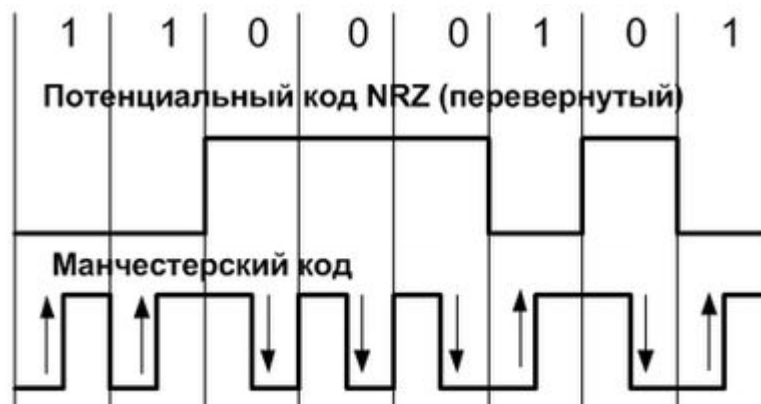


7.2. Синхронизация во внешних интерфейсах

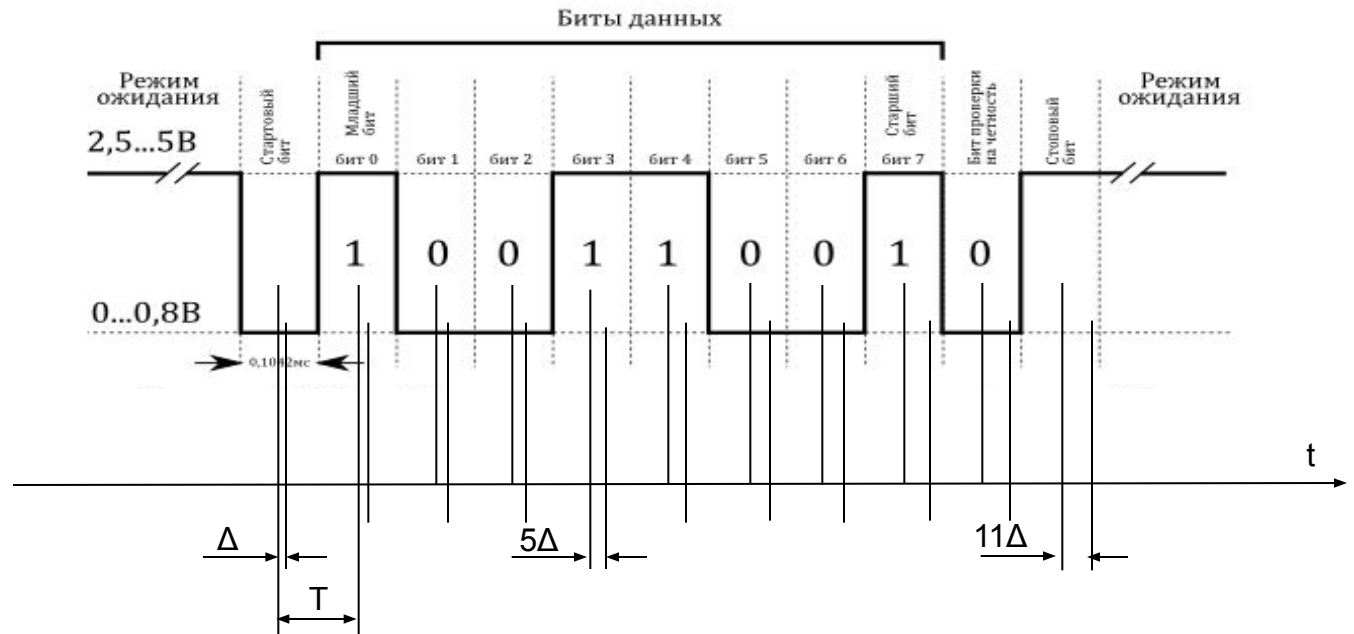
Синхронизирующая линия



Самосинхронизирующиеся коды



Синхронизация с помощью внутренних часов приемника



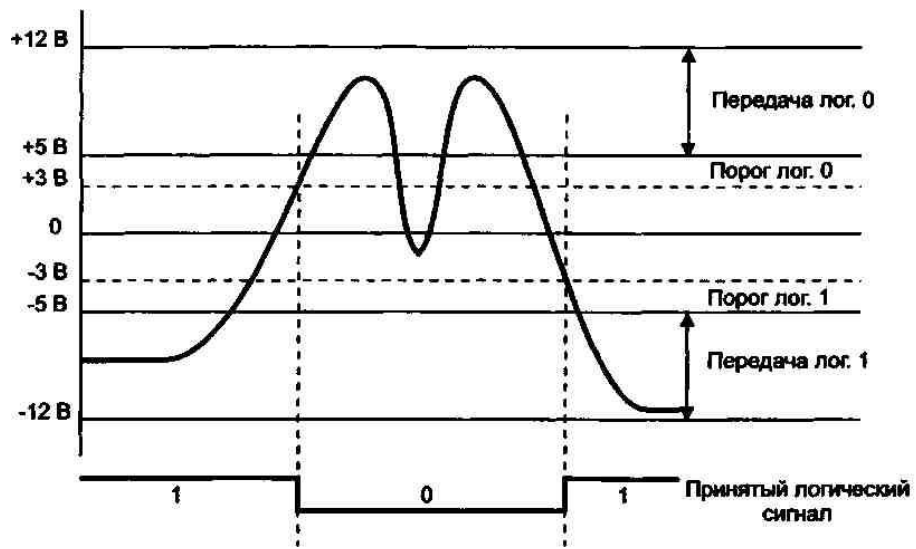
T – битовый интервал

Δ – ошибка хода часов приемника на интервале $\frac{1}{2}T$

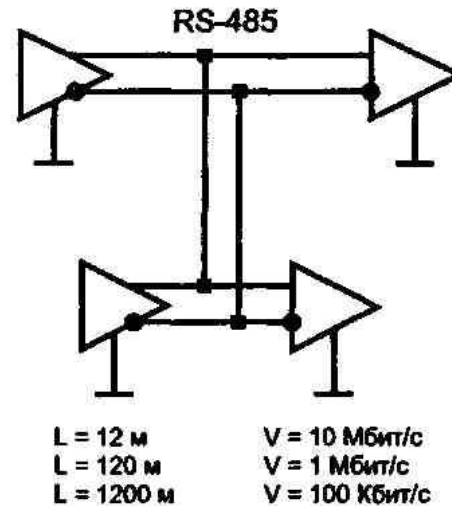
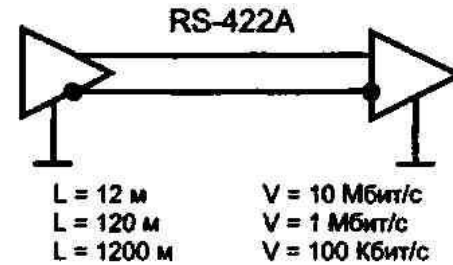
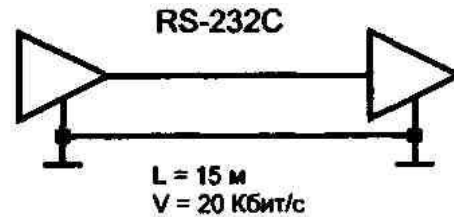
Условие безошибочной передачи данных:

$$11\Delta \leq \frac{1}{2}T$$

$$\Delta \leq T/22$$



7.3. Асинхронные интерфейсы



	RS-232C	RS-422A	RS-485
Режим	Дуплексный	Полу-дуплексный	Симплексный
Передатчиков	1	1	32
Приемников	1	10	32

