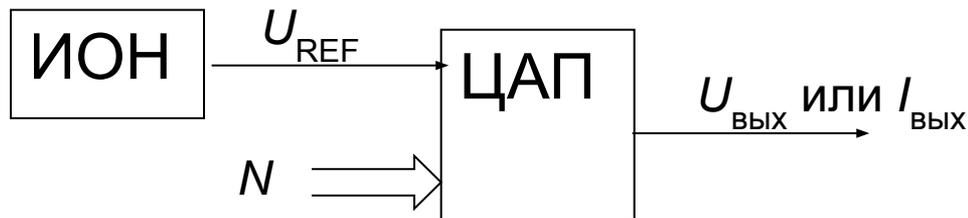


ЦИФРОВАЯ ИЗМЕРИТЕЛЬНАЯ ТЕХНИКА

ГЛАВА 4: ЦИТ В ОБЛАСТИ ЭЛЕКТРИЧЕСКИХ СИГНАЛОВ И ЦЕПЕЙ ЧАСТЬ 2

В.Г. Кнорринг

ЦИФРОАНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ – ЦАП



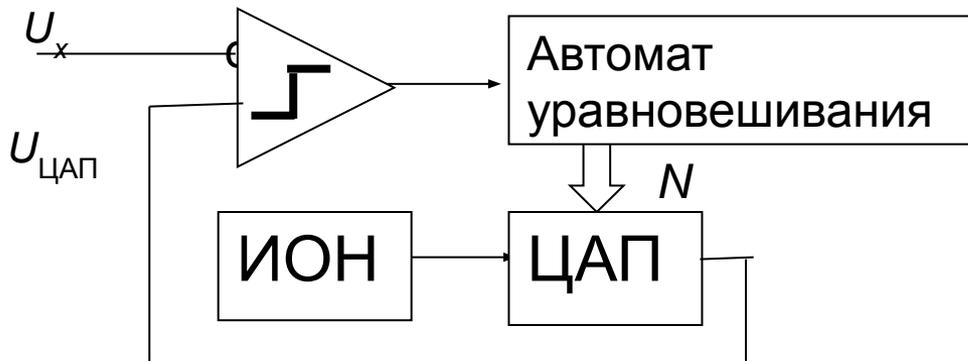
Измерительный ЦАП на основе опорного напряжения U_{REF} , получаемого от источника опорного напряжения ИОН, формирует выходной сигнал, напряжение (или ток) которого связаны заданной, обычно линейной, зависимостью с числовым значением входной кодовой комбинации N .

ВАЖНЕЙШИЕ ПРИМЕНЕНИЯ ЦАП

- Формирование образцовых сигналов для поверки средств измерений в приборах, называемых *калибраторами*.



- Формирование шкалы для сравнения с входным сигналом в АЦП.



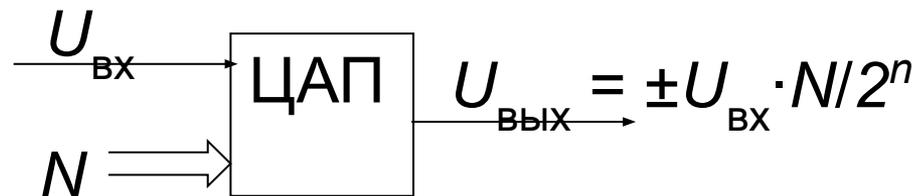
НЕКОТОРЫЕ ДРУГИЕ ПРИМЕНЕНИЯ ЦАП

(Сигнал U_{REF} иногда опускаем)

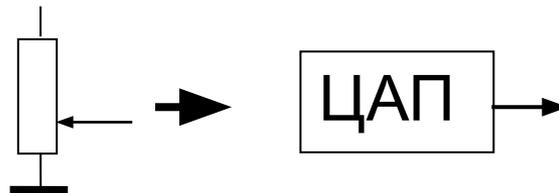
- Формирование сигнала заданной или случайной формы



- Выполнение математических операций; использование ЦАП в качестве кодоуправляемого аттенюатора



- Настройка и регулировка внутренних узлов измерительных устройств



НЕИЗМЕРИТЕЛЬНЫЕ ЦАП

Неизмерительные ЦАП нужны в системах связи, в аудиотехнике. Для качественной передачи звука требуется высокая разрядность и линейность характеристики преобразования.

Требования к аддитивной и мультипликативной погрешностям практически отсутствуют.

ПРИНЦИПЫ ДЕЙСТВИЯ ЦАП

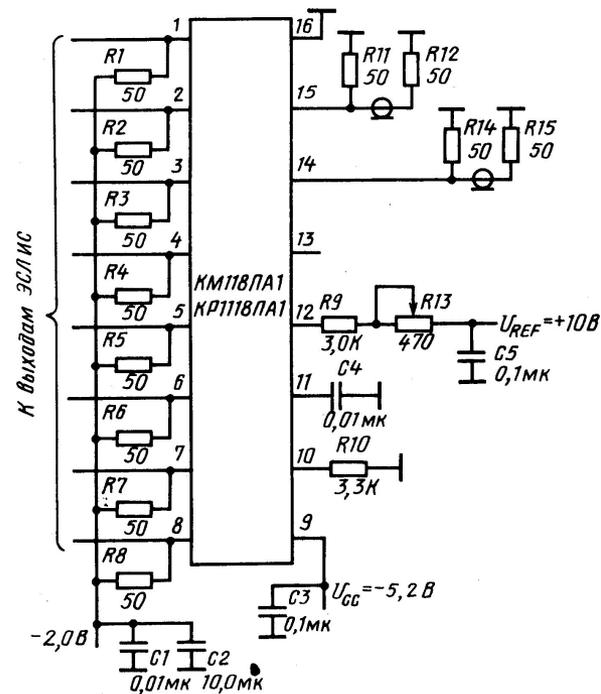
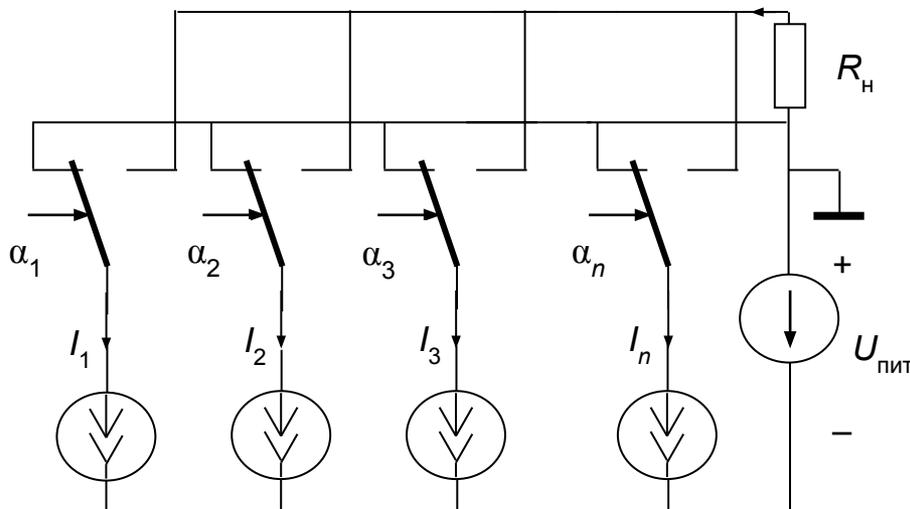
- Суммирование взвешенных токов
- Использование резистивных делителей
 - Тока
 - Напряжения
- Использование трансформаторных делителей
- Использование переключаемых конденсаторов
- Цифровая широтно-импульсная модуляция (ШИМ)
- Использование принципов $\Sigma\Delta$ -модуляции

ЦАП С СУММИРОВАНИЕМ ВЗВЕШЕННЫХ ТОКОВ

Этот принцип обеспечивает наибольшее быстродействие

Ранняя (1983 г.?) реализация принципа суммирования взвешенных токов: ЦАП К1118ПА1 (схема ключа см. слайд 20 части 1).
Схема из книги Марцинкявичюса.
У Федоркова ошибка в номиналах резисторов

Идея преобразования
(повторение структуры
со слайдов 6 и 18 части 1)



Небольшая часть предложений купить 1118ПА1, 11.03.2018

Радиокомплект-ВП склад: г. Санкт-Петербург [показать контакты](#)

Актуальность: **только что**

Отзывы: 2

| Производитель | Наименование | Информация | Цена | Склад | |
|--------------------|------------------|-----------------------------|---|-----------|--|
| "Вента" г. Вильнюс | КС1118ПА1 | Микросхема, КС1118ПА1, 1988 | розн. 16 р. м.опт. 16 р. опт. 16 р. | 32 | |

[склад в черный список](#)

[Запросить условия поставки](#)

РадиоЭлемент склад: г. Санкт-Петербург [показать контакты](#)

Актуальность: **только что**

[Оставить отзыв](#)

| Производитель | Наименование | Информация | Цена | Склад | |
|---------------------------------|---|-------------|--------------|------------|--|
| АО "Вильняус Вента", г. Вильнюс | Микросхема КС1118ПА1 описание | Примечание: | м.опт. 7 р. | 366 | |
| АО "Вильняус Вента", г. Вильнюс | Микросхема С1118ПА1Б описание | Примечание: | м.опт. 12 р. | 75 | |
| АО "Вильняус Вента", г. Вильнюс | Микросхема С1118ПА1Б описание | Примечание: | м.опт. 12 р. | 39 | |

ПРИМЕР СОВРЕМЕННОЙ МИКРОСХЕМЫ ЦАП С СУММИРОВАНИЕМ ВЗВЕШЕННЫХ ТОКОВ



12-Bit, 210 MSPS TxDAC Digital-to-Analog Converter

Data Sheet

AD9742

FEATURES

- High performance member of pin-compatible TxDAC product family
- Excellent spurious-free dynamic range performance
- SNR at 5 MHz output, 125 MSPS: 70 dB
- Twos complement or straight binary data format
- Differential current outputs: 2 mA to 20 mA
- Power dissipation: 135 mW at 3.3 V
- Power-down mode: 15 mW at 3.3 V
- On-chip 1.2 V Reference
- CMOS compatible digital interface
- 28-lead SOIC, 28-lead TSSOP, and 32-lead LFCSP
- Edge-triggered latches

FUNCTIONAL BLOCK DIAGRAM

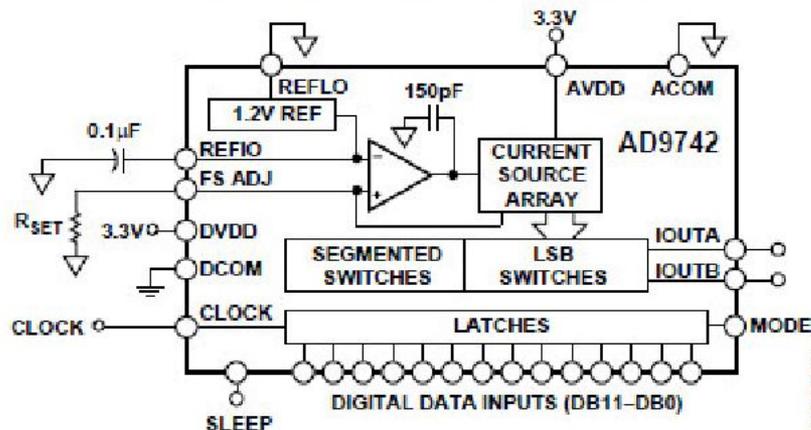


Figure 1.

НЕКОТОРЫЕ ПАРАМЕТРЫ МИКРОСХЕМЫ AD9742

DC SPECIFICATIONS

T_{MIN} to T_{MAX} , $AVDD = 3.3$ V, $DVDD = 3.3$ V, $CLKVDD = 3.3$ V, $I_{OUTFS} = 20$ mA, unless otherwise noted.

Table 1.

| Parameter | Min | Typ | Max | Unit |
|---|-------|------|-------|----------|
| RESOLUTION | 12 | | | Bits |
| DC ACCURACY ¹ | | | | |
| Integral Linearity Error (INL) | -2.5 | ±0.5 | +2.5 | LSB |
| Differential Nonlinearity (DNL) | -1.3 | ±0.4 | +1.3 | LSB |
| ANALOG OUTPUT | | | | |
| Offset Error | -0.02 | | +0.02 | % of FSR |
| Gain Error (Without Internal Reference) | -0.5 | ±0.1 | +0.5 | % of FSR |
| Gain Error (With Internal Reference) | -0.5 | ±0.1 | +0.5 | % of FSR |
| Full-Scale Output Current ² | 2 | | 20 | mA |
| Output Compliance Range | -1 | | +1.25 | V |
| Output Resistance | | 100 | | kΩ |
| Output Capacitance | | 5 | | pF |

²Диапазон выходного тока микросхемы $32 \times I_{REF}$

СХЕМЫ ВКЛЮЧЕНИЯ МИКРОСХЕМЫ AD9742

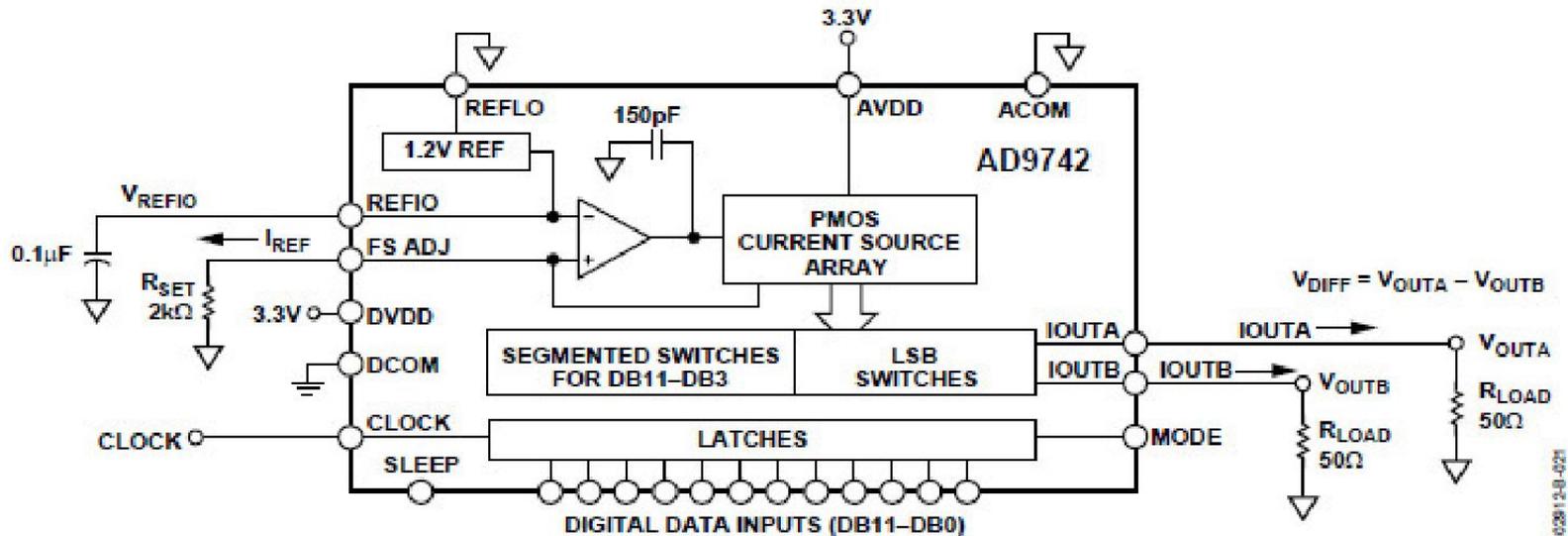


Figure 21. Simplified Block Diagram (SOIC/TSSOP Packages)

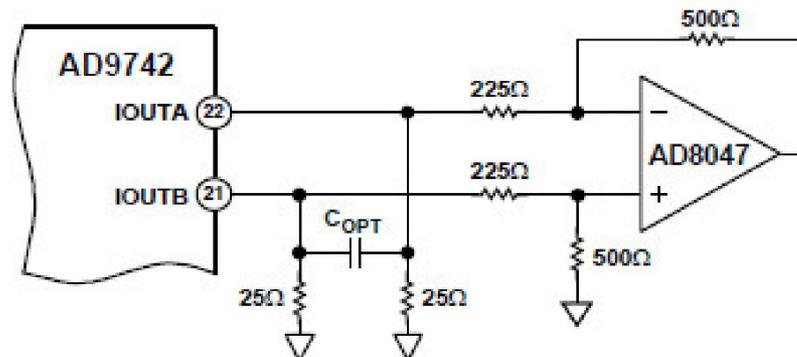


Figure 32. DC Differential Coupling Using an Op Amp

СОВЕТСКИЙ ДВЕНАДЦАТИРАЗРЯДНЫЙ ЦАП СРЕДНЕГО БЫСТРОДЕЙСТВИЯ К594ПА1

(по книге Марцинкявичюса)

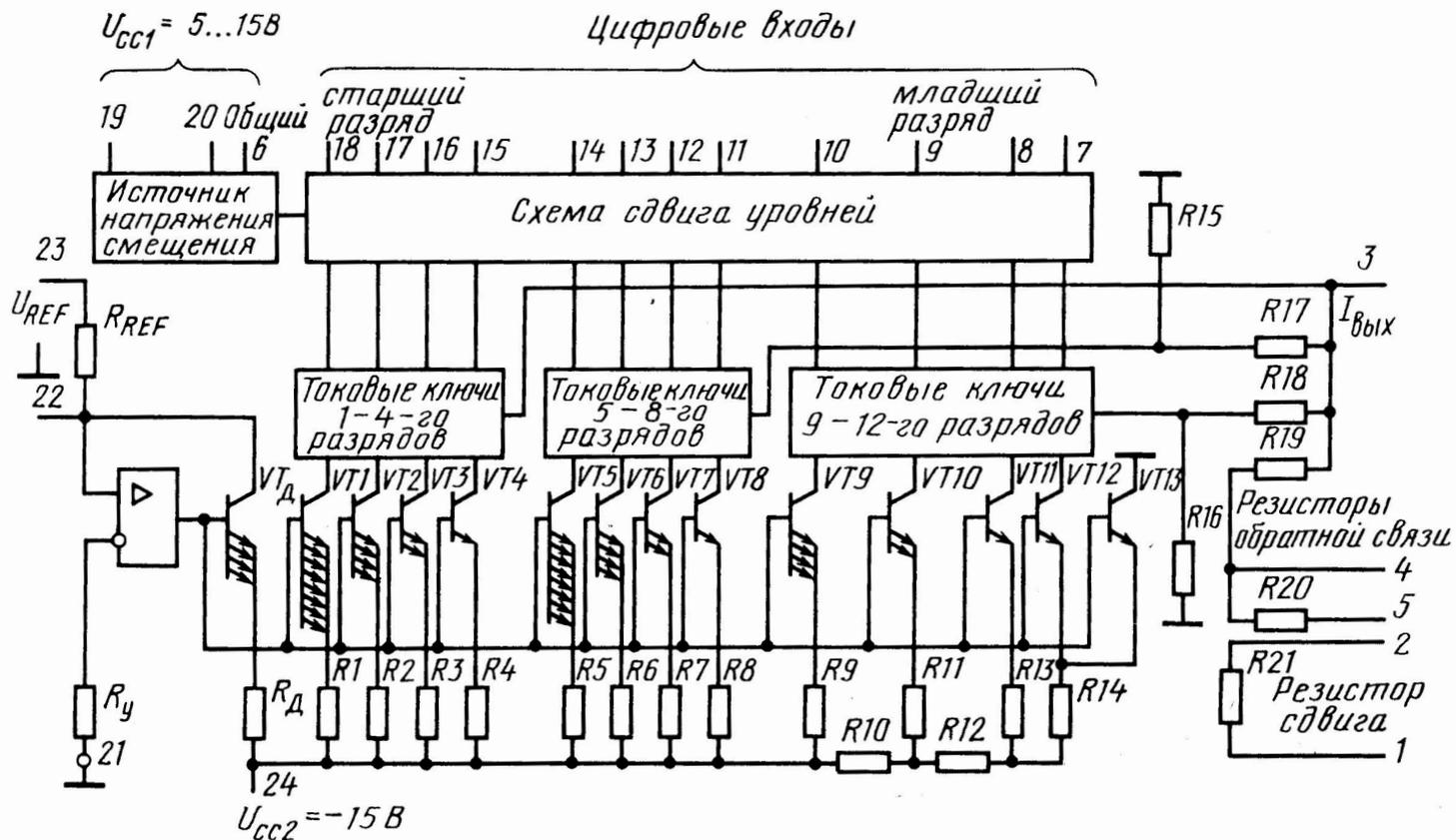
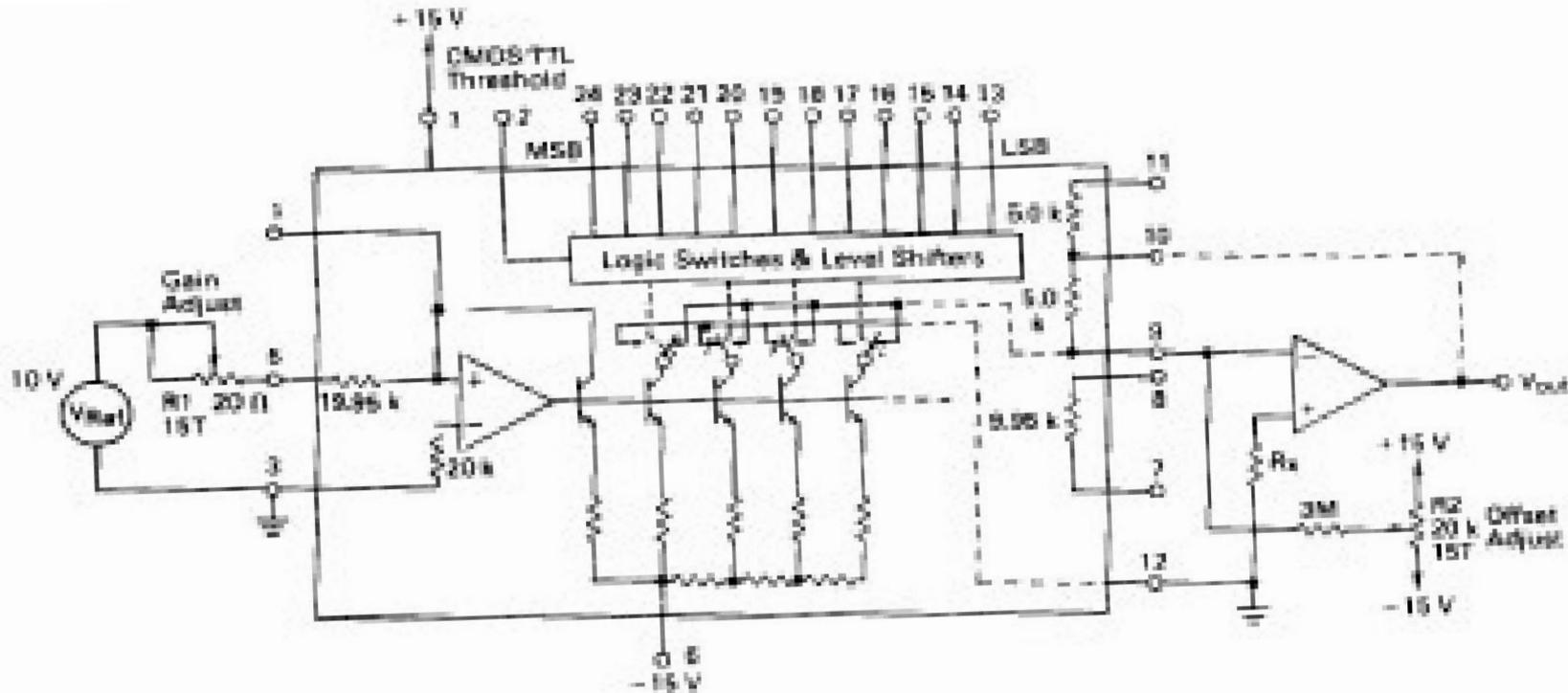


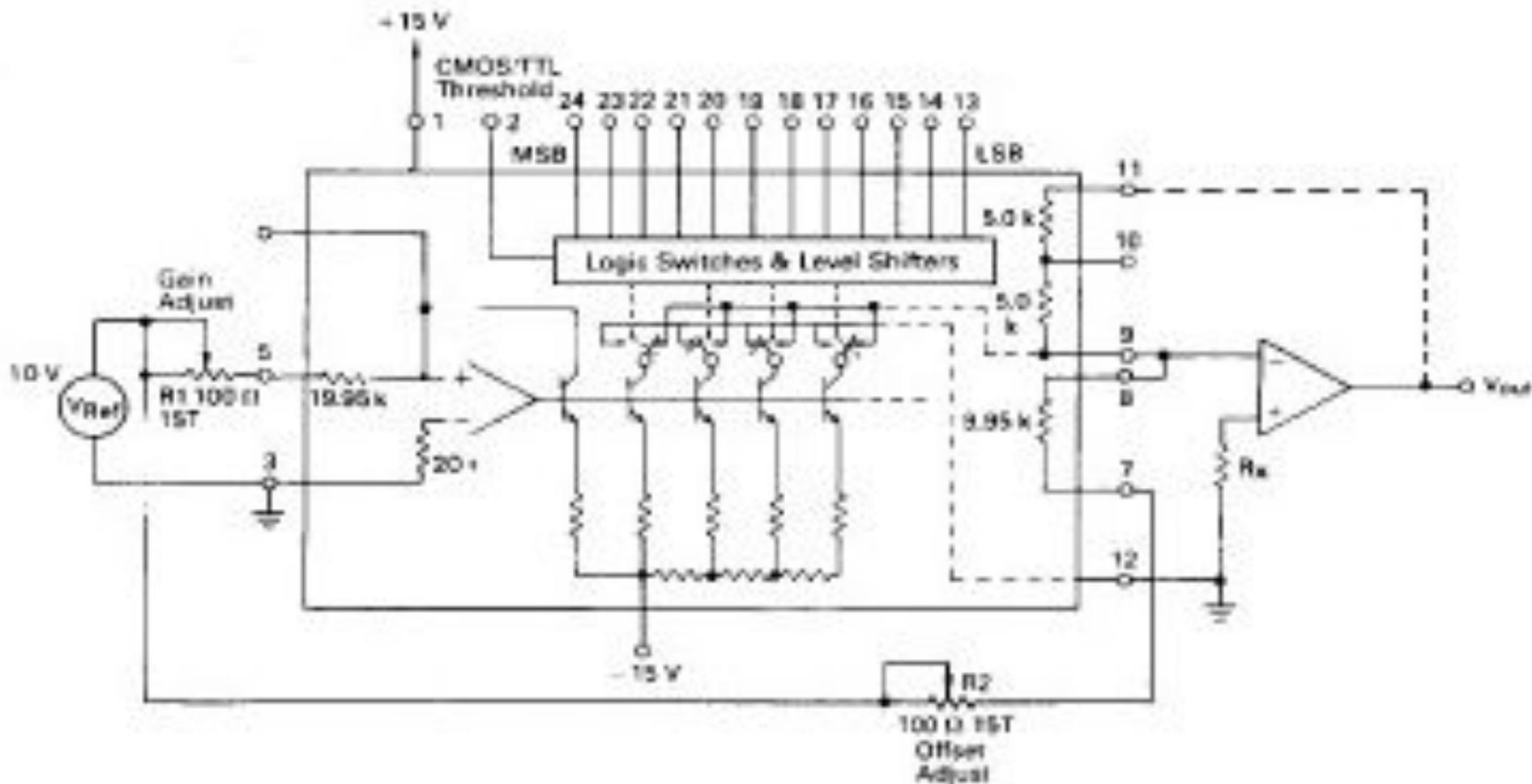
Рис. 3.1. Функциональная схема ЦАП К594ПА1

СХЕМЫ ВКЛЮЧЕНИЯ МИКРОСХЕМЫ ЦАП AD562 – ПРОТОТИПА СОВЕТСКОГО 594ПА1

*Схема с униполярным выходным сигналом
(по документации фирмы Motorola)*

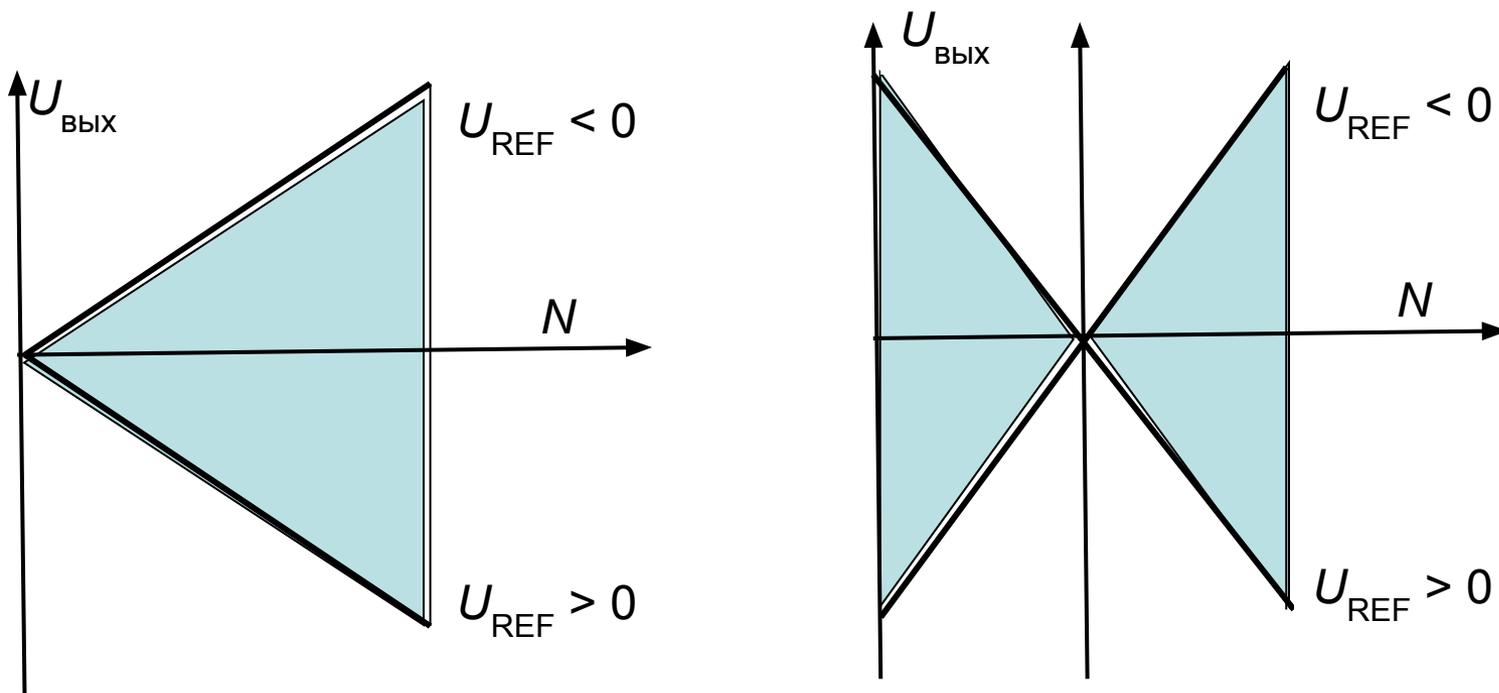


***То же, схема с биполярным выходным сигналом
(по документации фирмы Motorola)***



ЦАП С РЕЗИСТИВНЫМИ ДЕЛИТЕЛЯМИ ТОКА – МНОЖИТЕЛЬНЫЕ ЦАП

Характеристики заполняют области заливки



*Двухквadrантное перемножение
(натуральный код)*

*Четырёхквadrантное перемножение
(смещённый код)*

ПРЕИМУЩЕСТВЕННО ИСПОЛЬЗУЮТСЯ ДЕЛИТЕЛИ $R - 2R$

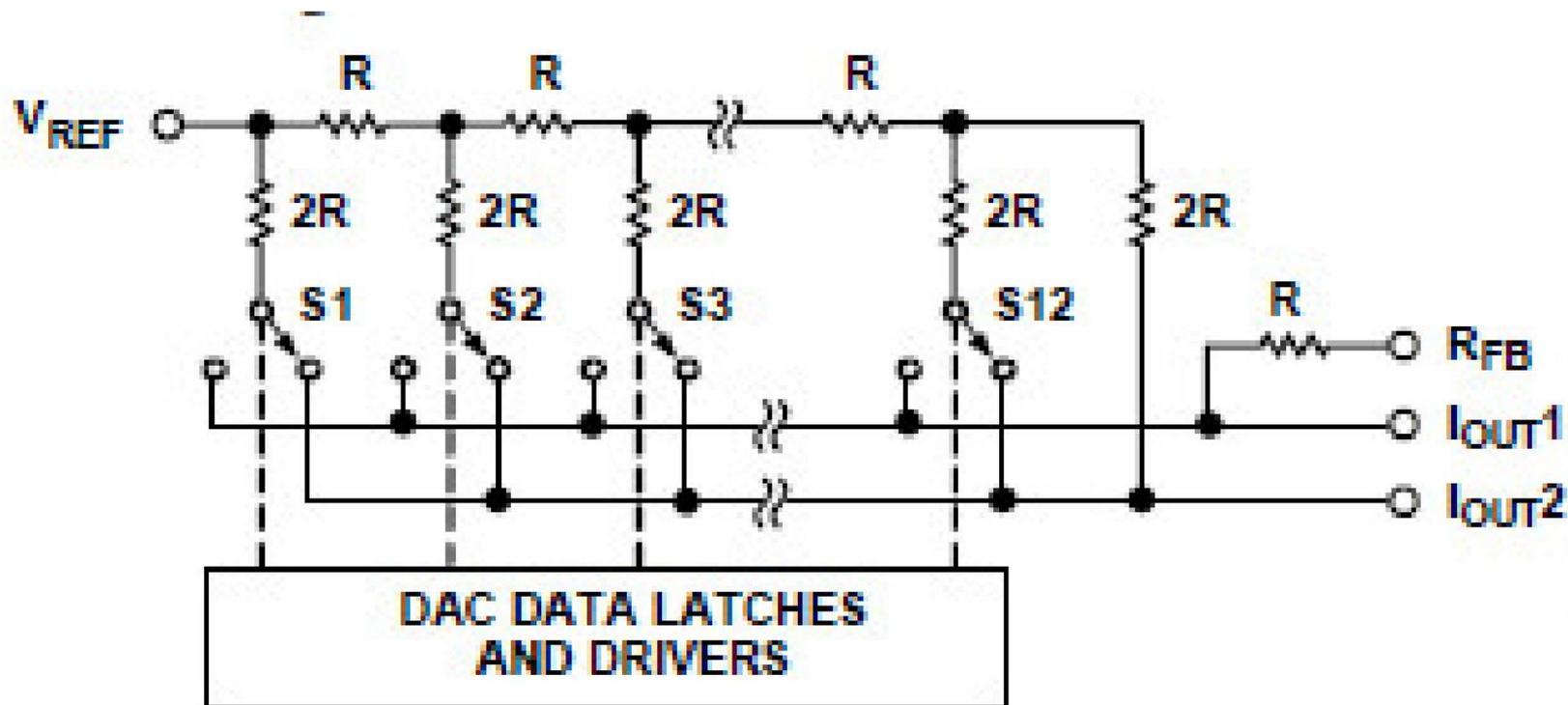
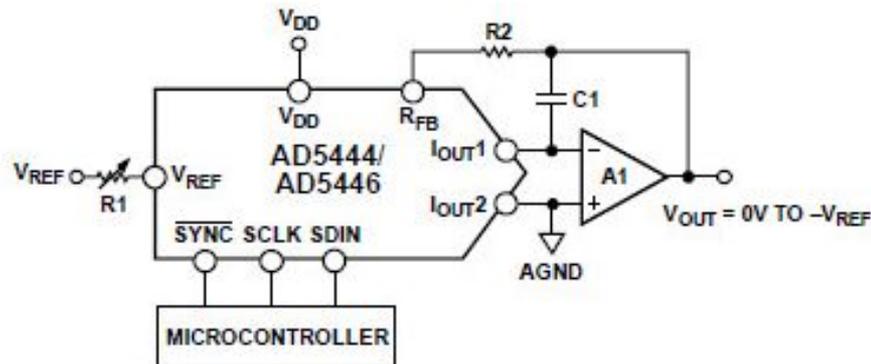


Figure 37. Simplified Ladder

Иллюстрация из описания микросхем AD5444/AD5446.

Условие правильной работы делителя – нулевые потенциалы выводов I_{out1} и I_{out2} .

СХЕМЫ ВКЛЮЧЕНИЯ МИКРОСХЕМ AD5444/AD5446

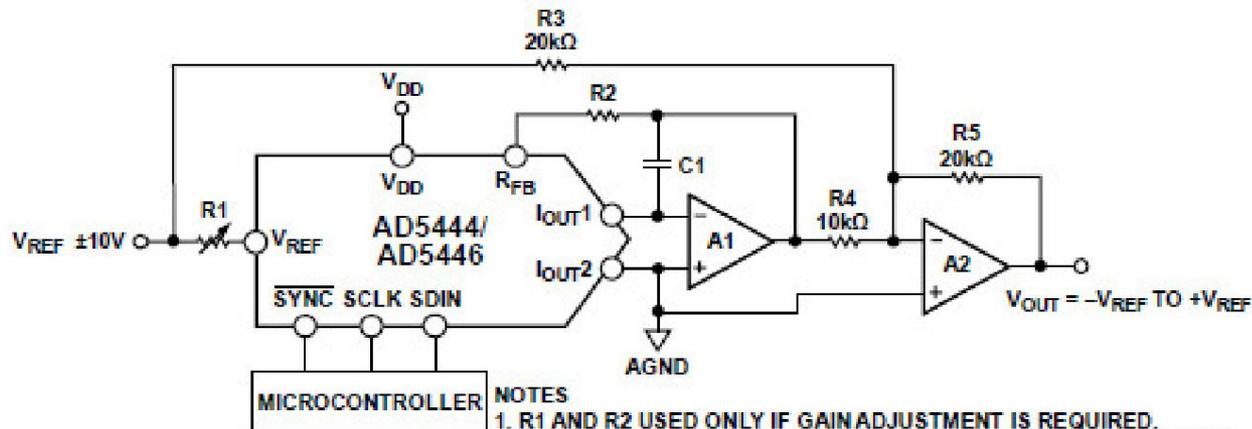


NOTES

1. R1 AND R2 USED ONLY IF GAIN ADJUSTMENT IS REQUIRED.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED, IF A1 IS A HIGH SPEED AMPLIFIER.

0-6888-0130

Figure 38. Unipolar Operation



NOTES

1. R1 AND R2 USED ONLY IF GAIN ADJUSTMENT IS REQUIRED. ADJUST R1 FOR $V_{OUT} = 0V$ WITH CODE 10000000 LOADED TO DAC.
2. MATCHING AND TRACKING IS ESSENTIAL FOR RESISTOR PAIRS R3 AND R4.
3. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED, IF A1/A2 IS A HIGH SPEED AMPLIFIER.

0-6888-0131

Figure 39. Bipolar Operation (4-Quadrant Multiplication)

СХЕМЫ ВКЛЮЧЕНИЯ МИКРОСХЕМЫ К572ПА1 С ДЕЛИТЕЛЕМ ТОКА R – 2R ПО ФЕДОРКОВУ

(ПОДПИСИ К РИСУНКАМ В КНИГЕ ФЕДОРКОВА ПЕРЕПУТАНЫ!)

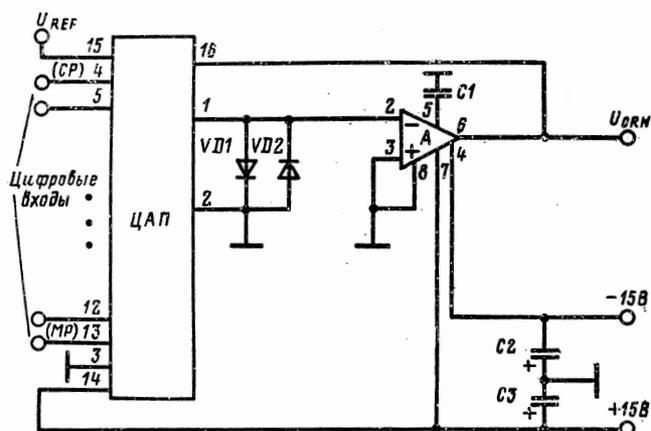


Рис. 2.4. Принципиальная электрическая схема включения ИС ЦАП К572ПА1 в режиме четырехквadrантного умножения

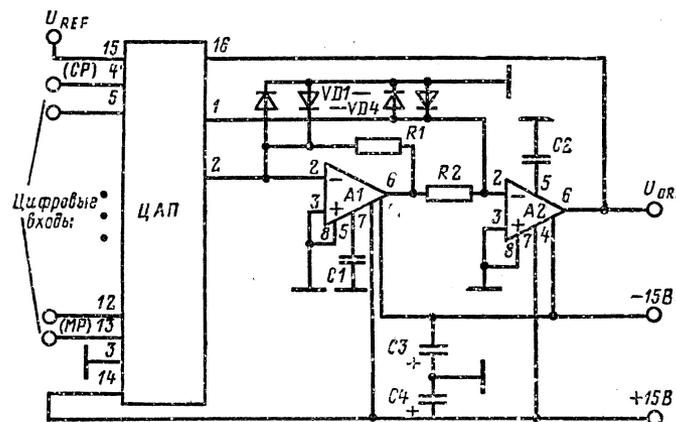
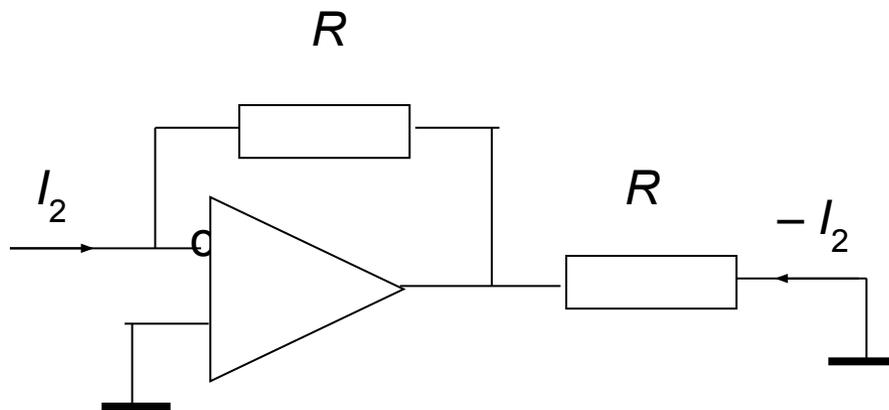


Рис. 2.3. Принципиальная электрическая схема включения ИС К572ПА1 в режиме двухквadrантного умножения

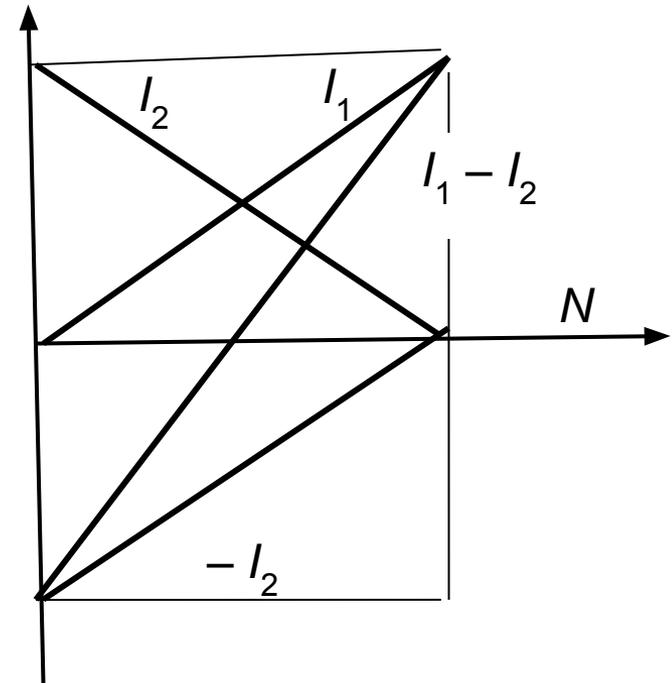
Двухквadrантное перемножение

Четырёхквadrантное перемножение. Оригинальная схема, не встречающаяся в документации аналогичных ЦАП фирмы Analog Devices

ОБЪЯСНЕНИЕ ЧЕТЫРЁХКВАДРАНТНОГО ПЕРЕМНОЖЕНИЯ «ПО ФЕДОРКОВУ»

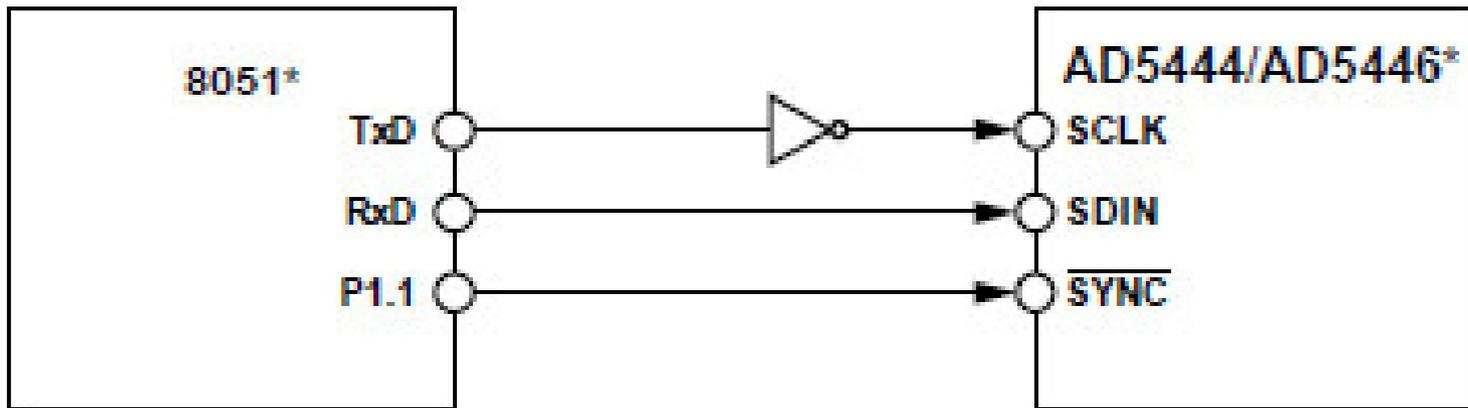


Инвертор тока



$$U_{\text{ВЫХ}} = R_{\text{ос}} (I_1 - I_2)$$

СОПРЯЖЕНИЕ МИКРОКОНТРОЛЛЕРА 8051 С МИКРОСХЕМАМИ ЦАП AD5444/AD5446



*ADDITIONAL PINS OMITTED FOR CLARITY

0-45513-0411

Figure 49. 80C51/80L51 to AD5444/AD5446 Interface

НЕОБЫЧНАЯ РЕАЛИЗАЦИЯ МНОЖИТЕЛЬНОГО ЦАП – МИКРОСХЕМЫ AD5546/AD5556

- В обычных микросхемах множительных ЦАП исходно предусматривается двухквадрантное перемножение, а четырёхквадрантное перемножение получается добавлением операционного усилителя *на выходе ЦАП*.
- В микросхемах AD5546/AD5556 имеются резистивные цепочки, предназначенные для работы с операционным усилителем, размещённым *на входе ЦАП*. Это обеспечивает некоторые дополнительные возможности.

СТРУКТУРА 16-РАЗРЯДНОГО МНОЖИТЕЛЬНОГО ЦАП AD5546/AD5556

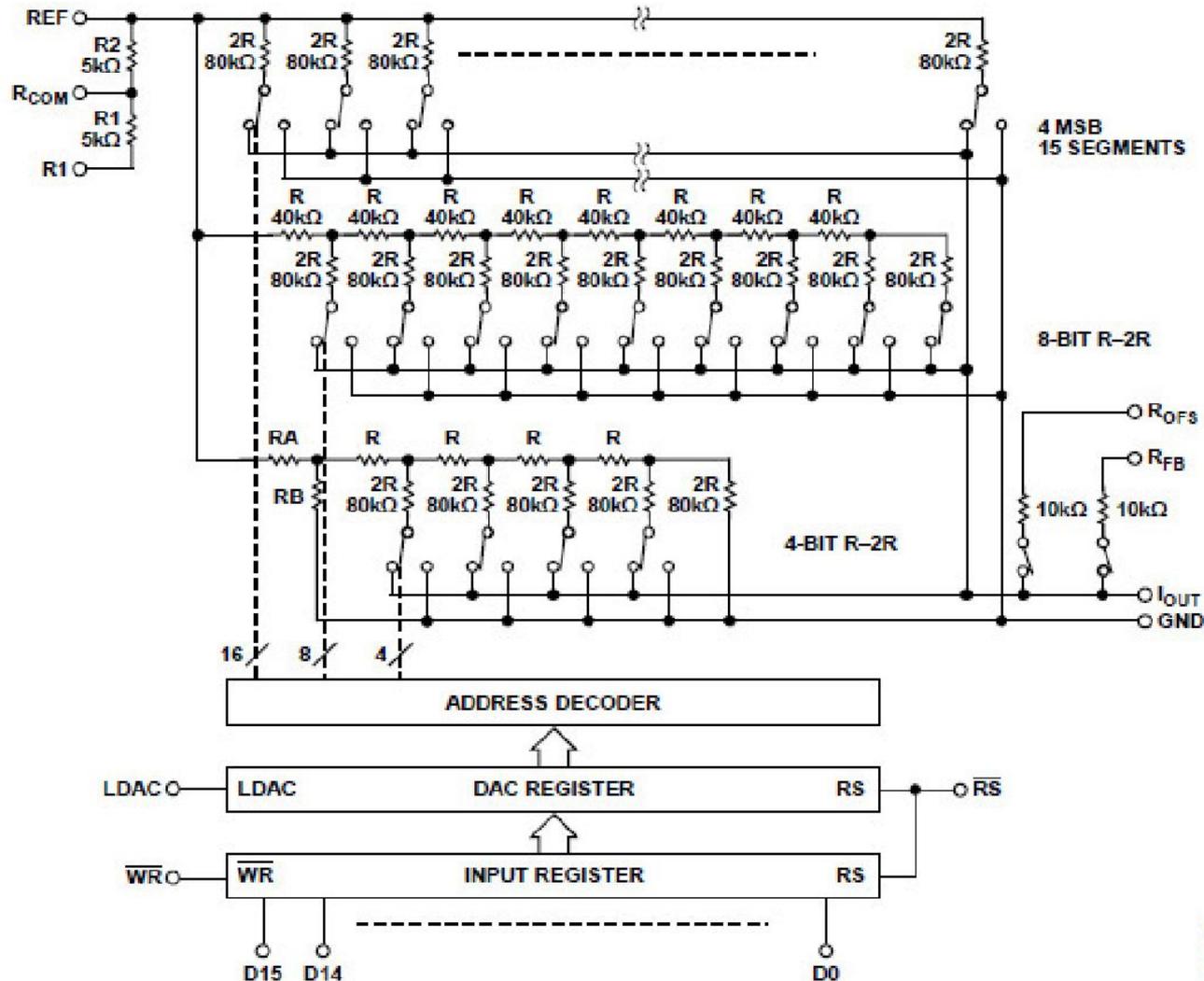


Figure 17. 16-Bit AD5546 Equivalent R-2R DAC Circuit with Digital Section

ЦАП AD5546/AD5556: ИНВЕРТИРУЮЩЕЕ ДВУХКВАДРАНТНОЕ ПЕРЕМНОЖЕНИЕ

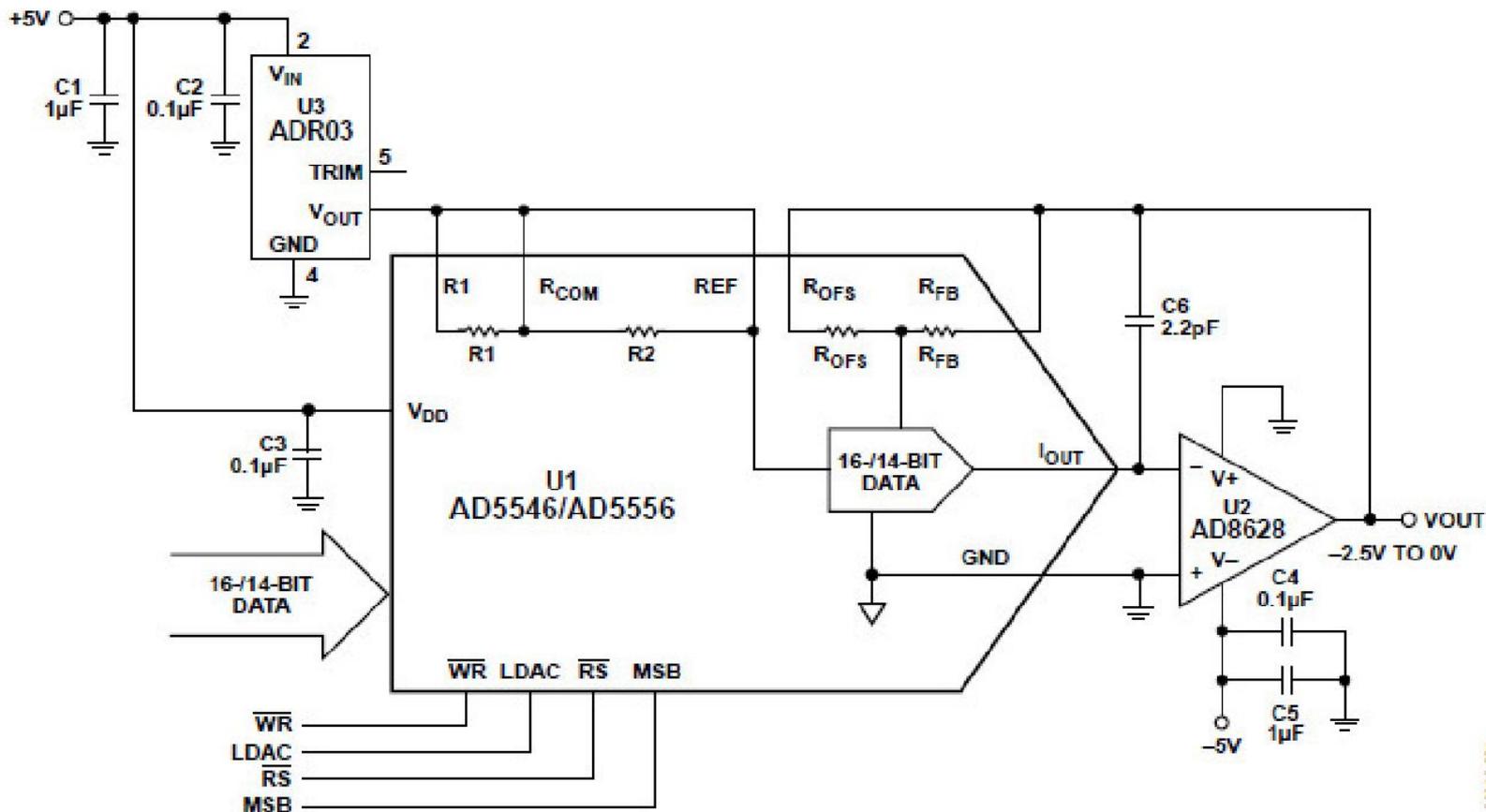


Figure 19. Unipolar Two-Quadrant Multiplying Mode, $V_{OUT} = 0$ to $-V_{REF}$

ЦАП AD5546/AD5556: НЕИНВЕРТИРУЮЩЕЕ ДВУХКВАДРАНТНОЕ ПЕРЕМНОЖЕНИЕ

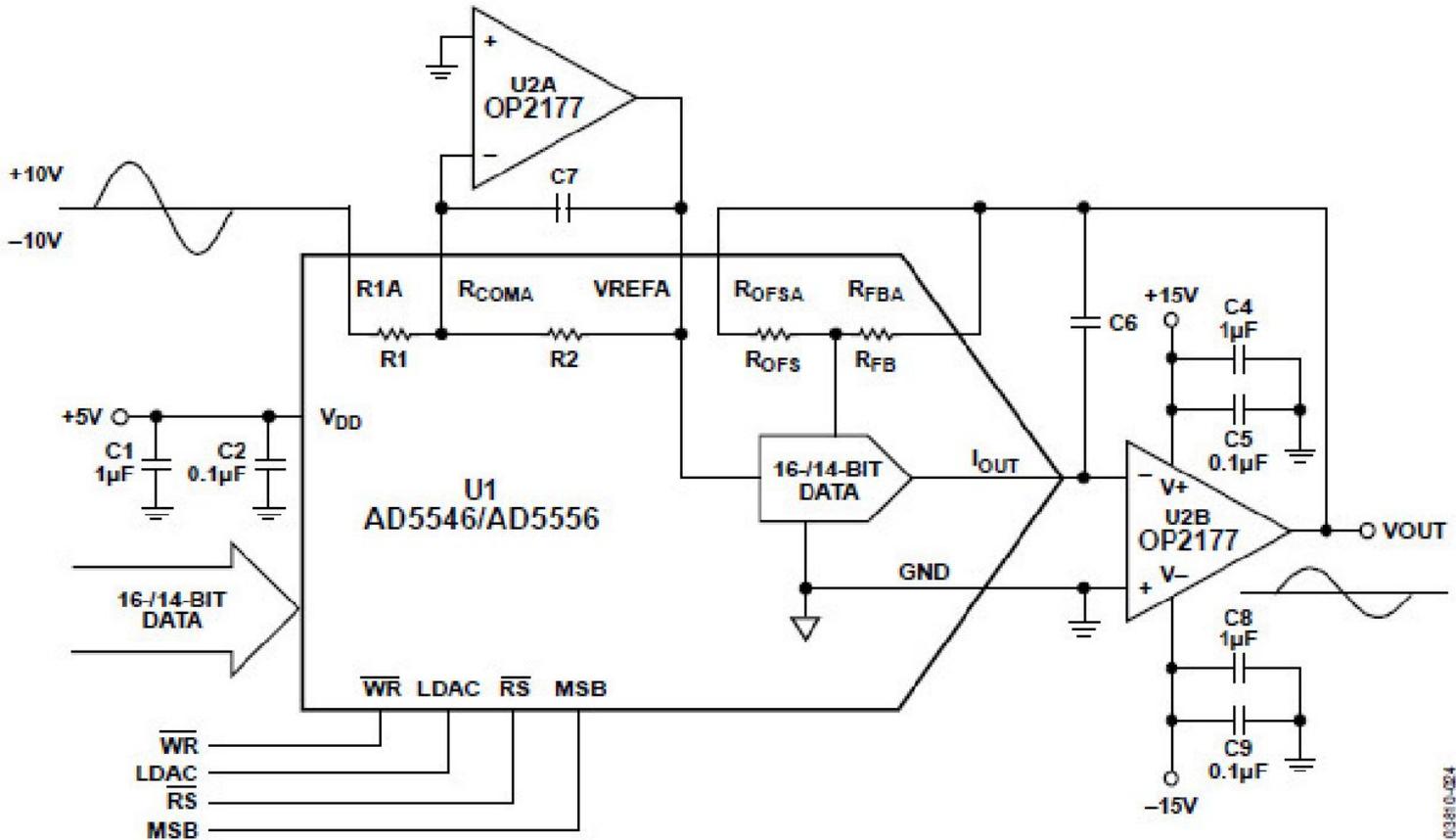


Figure 20. Unipolar Two-Quadrant Multiplying Mode, $V_{OUT} = 0$ to $+V_{REF}$

ЛОГАРИФМИЧЕСКИЙ ЦАП – АТТЕНЮАТОР



LC²MOS LOGDAC
Logarithmic D/A Converter

AD7111/AD7111A

FEATURES

Dynamic Range: 88.5 dB
Resolution: 0.375 dB
On-Chip Data Latches
+5 V Operation
AD7111A Pin Compatible with AD7524
Low Power

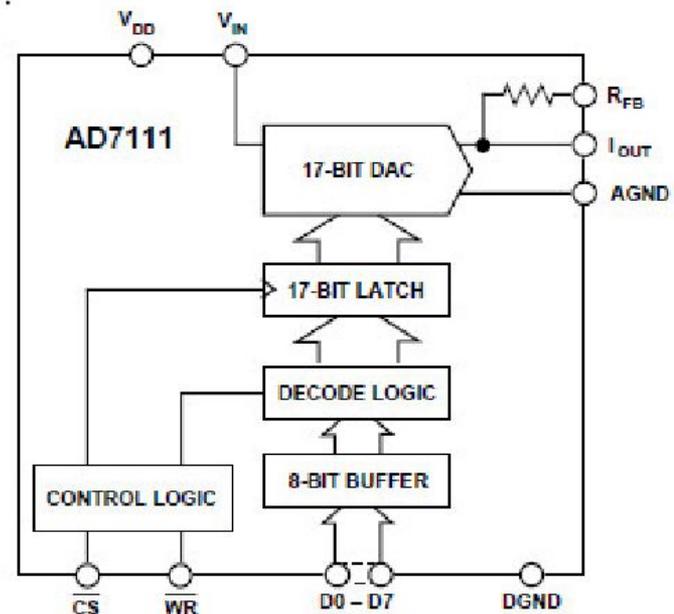
APPLICATIONS

Audio Attenuators
Sonar Systems
Function Generators
Digitally Controlled AGC System

GENERAL DESCRIPTION

The LOGDAC[®] AD7111/AD7111A are monolithic multiplying D/A converters featuring wide dynamic range in a small package. Both DACs can attenuate an analog input signal over the range 0 dB to 88.5 dB in 0.375 dB steps. They are available in

FUNCTIONAL BLOCK DIAGRAMS



ОПИСАНИЕ ЛОГАРИФМИЧЕСКОГО ЦАП

GENERAL CIRCUIT DESCRIPTION

The AD7111/AD7111A consists of a 17-bit R-2R CMOS multiplying D/A converter with extensive digital logic. The logic translates the 8-bit binary input into a 17-bit word which is used to drive the D/A converter. Input data on the D7-D0 bus is loaded into the input data latches using \overline{CS} and \overline{WR} control signals. When using the AD7111, the rising edge of \overline{WR} latches the input data and initiates the internal data transfer to the decoder. A minimum time t_{REFSH} , the refresh time, is required for the data to propagate through the decoder before a new data write is attempted.

In contrast, the AD7111A \overline{WR} input is level triggered to allow transparent operation of the latches if required.

СХЕМА ВКЛЮЧЕНИЯ ЛОГАРИФМИЧЕСКОГО ЦАП

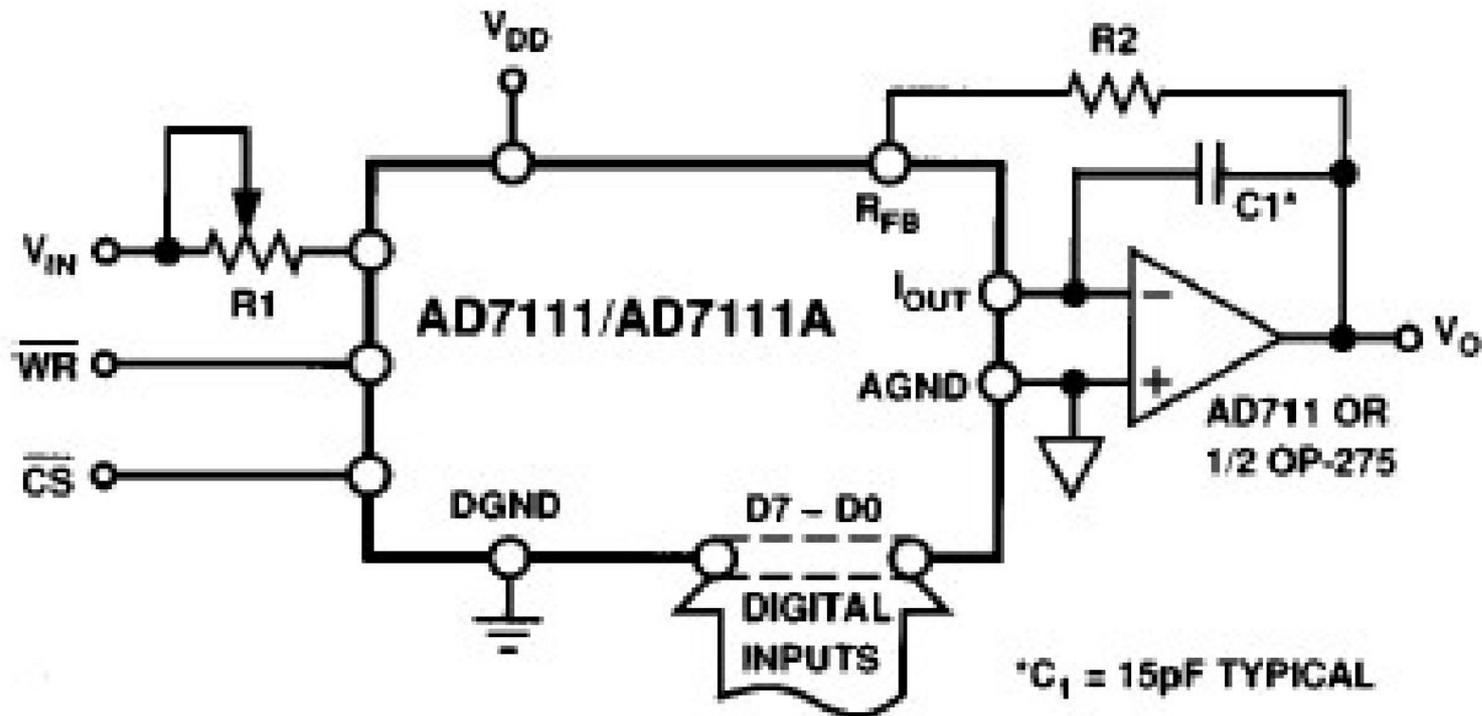


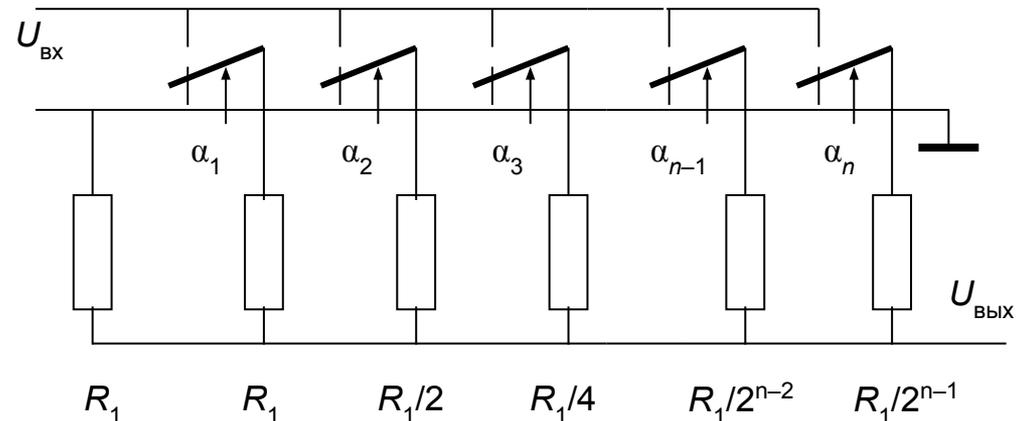
Figure 1. Typical Circuit Configuration

ЦАП С РЕЗИСТИВНЫМИ ДЕЛИТЕЛЯМИ НАПРЯЖЕНИЯ

Две распространённые разновидности делителей:

- Делители на резисторах одного номинала (используются, в частности, в **цифровых потенциометрах**)
- Параллельные делители $R - 2R$

Звздообразные делители на резисторах, взвешенных по двоичному закону (слайд 7) сейчас применяются редко.



ПРОСТЫЕ ЦИФРОВЫЕ ПОТЕНЦИОМЕТРЫ



1-/2-/4-Channel Digital Potentiometers

AD8400/AD8402/AD8403

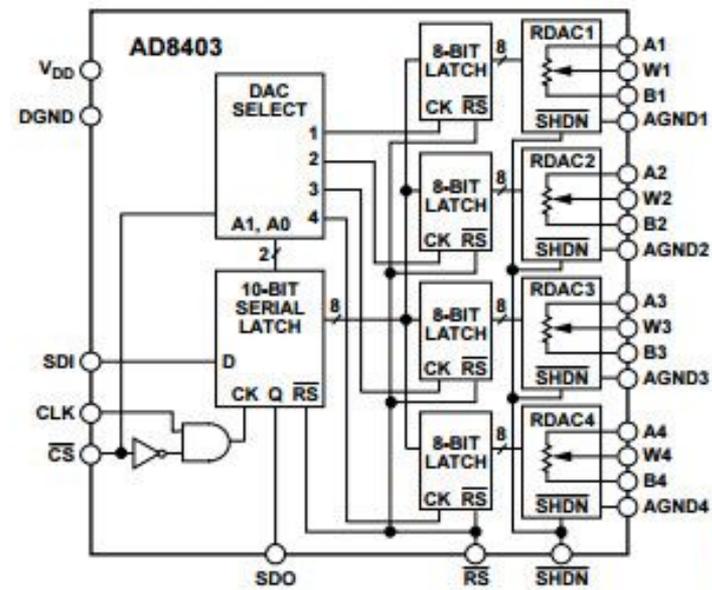
FEATURES

- 256-position variable resistance device
- Replaces 1, 2, or 4 potentiometers
- 1 k Ω , 10 k Ω , 50 k Ω , 100 k Ω
- Power shutdown—less than 5 μ A
- 3-wire, SPI-compatible serial data input
- 10 MHz update data loading rate
- 2.7 V to 5.5 V single-supply operation
- Qualified for automotive applications

APPLICATIONS

- Mechanical potentiometer replacement
- Programmable filters, delays, time constants
- Volume control, panning
- Line impedance matching
- Power supply adjustment

FUNCTIONAL BLOCK DIAGRAM



СТРУКТУРА ЦАП ПРОСТОГО ЦИФРОВОГО ПОТЕНЦИОМЕТРА

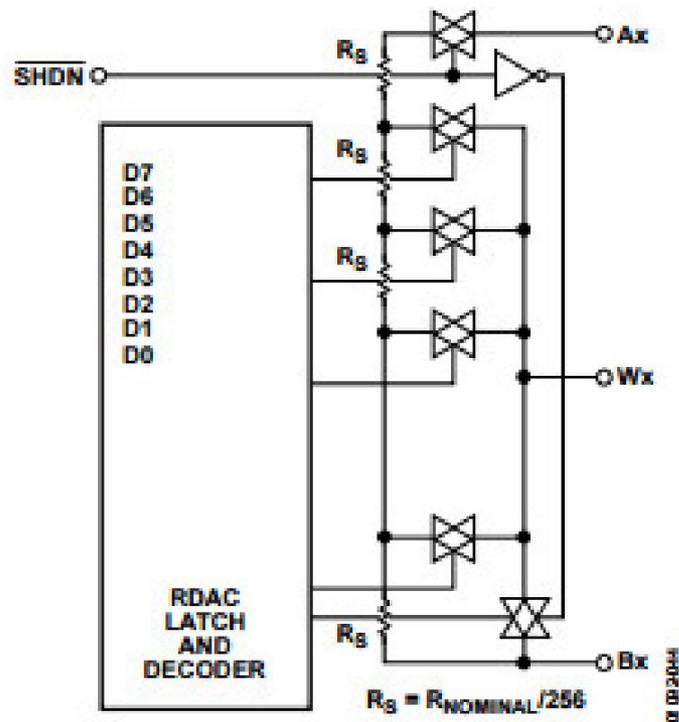


Figure 45. AD8402/AD8403 Equivalent VR (RDAC) Circuit

Отметим непривычное для нас обозначение ключей

ЦИФРОВЫЕ ПОТЕНЦИОМЕТРЫ С ЭНЕРГОНЕЗАВИСИМОЙ ПАМЯТЬЮ



Quad Channel, 128-/256-Position, I²C/SPI,
Nonvolatile Digital Potentiometer

Data Sheet

AD5124/AD5144/AD5144A

FEATURES

- 10 k Ω and 100 k Ω resistance options
- Resistor tolerance: 8% maximum
- Wiper current: ± 6 mA
- Low temperature coefficient: 35 ppm/ $^{\circ}$ C
- Wide bandwidth: 3 MHz
- Fast start-up time < 75 μ s
- Linear gain setting mode
- Single- and dual-supply operation
- Independent logic supply: 1.8 V to 5.5 V
- Wide operating temperature: -40° C to $+125^{\circ}$ C
- 4 mm \times 4 mm package option

APPLICATIONS

- Portable electronics level adjustment
- LCD panel brightness and contrast controls
- Programmable filters, delays, and time constants
- Programmable power supplies

FUNCTIONAL BLOCK DIAGRAM

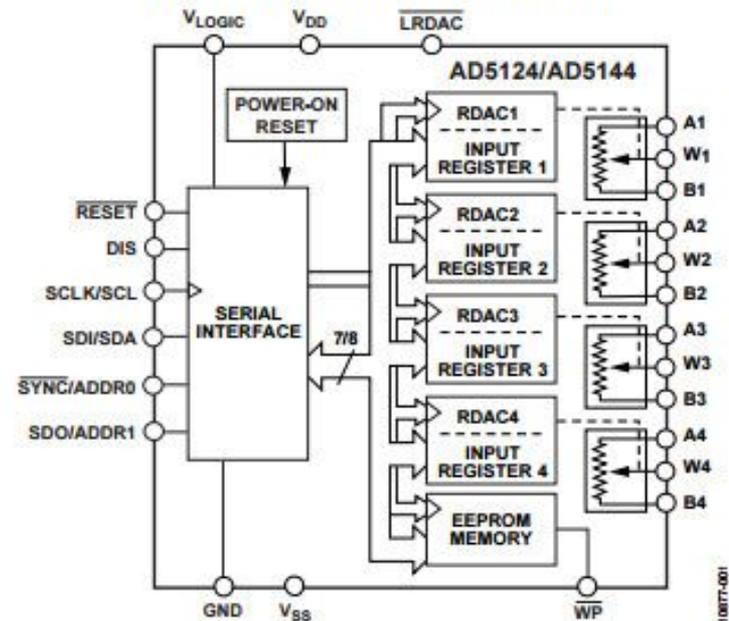


Figure 1. AD5124/AD5144 24-Lead LFCSP

ТРЕХСТУПЕНЧАТАЯ СТРУКТУРА ЦИФРОВЫХ ПОТЕНЦИОМЕТРОВ AD5124/ AD5144/ AD5144A

RDAC ARCHITECTURE

To achieve optimum performance, Analog Devices, Inc., has proprietary RDAC segmentation architecture for all the digital potentiometers. In particular, the AD5124/AD5144 employ a three-stage segmentation approach, as shown in Figure 46. The AD5124/AD5144/AD5144A wiper switch is designed with the transmission gate CMOS topology and with the gate voltage derived from V_{DD} and V_{SS} .

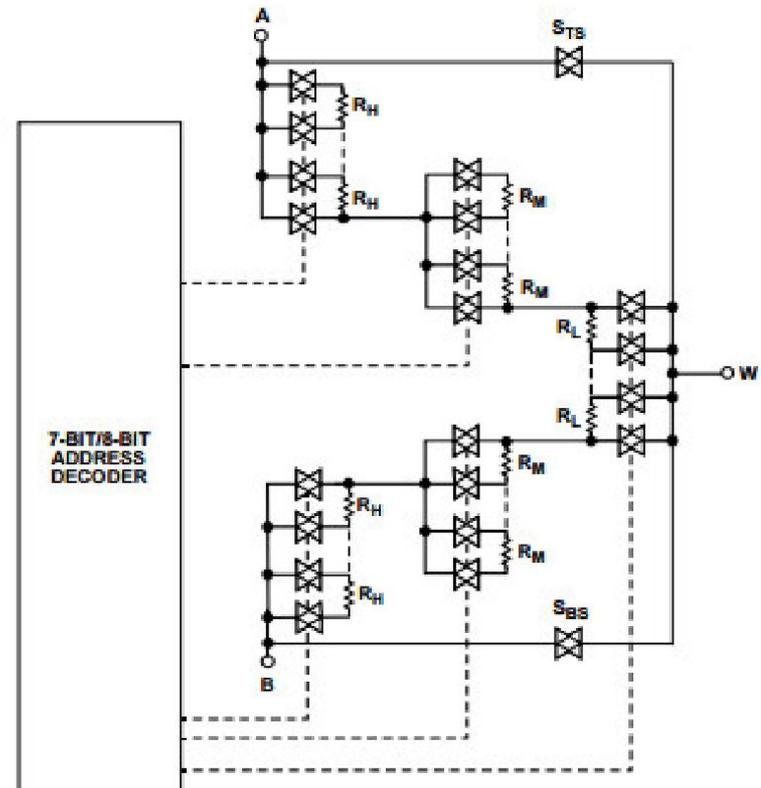


Figure 46. AD5124/AD5144/AD5144A Simplified RDAC Circuit

100TT-040

РЕЖИМЫ И ПАРАМЕТРЫ ЦИФРОВЫХ ПОТЕНЦИОМЕТРОВ

TEST CIRCUITS

Figure 39 to Figure 43 define the test conditions used in the Specifications section.

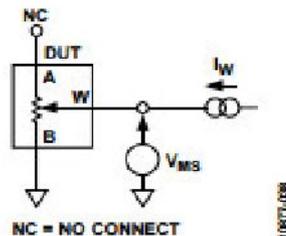


Figure 39. Resistor Integral Nonlinearity Error (Rheostat Operation; R-INL, R-DNL)

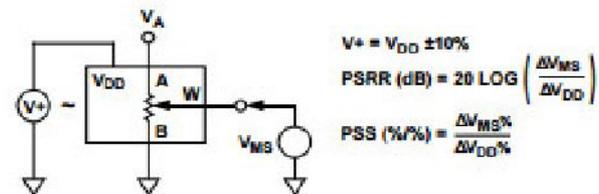


Figure 42. Power Supply Sensitivity and Power Supply Rejection Ratio (PSS and PSRR)

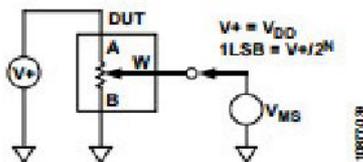


Figure 40. Potentiometer Divider Nonlinearity Error (INL, DNL)

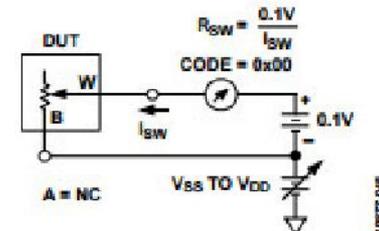


Figure 43. Incremental On Resistance

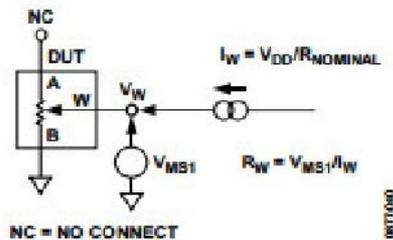


Figure 41. Wiper Resistance

ЦИФРОВЫЕ ПОТЕНЦИОМЕТРЫ С ИНКРЕМЕНТНЫМ УПРАВЛЕНИЕМ



Single-Channel, 128-/64-/32-Position, Up/Down, $\pm 8\%$ Resistor Tolerance, Nonvolatile Digital Potentiometer

Data Sheet

AD5111/AD5113/AD5115

FEATURES

- Nominal resistor tolerance error: $\pm 8\%$ maximum
- Wiper current: ± 6 mA
- Rheostat mode temperature coefficient: 35 ppm/ $^{\circ}$ C
- Low power consumption: 2.5 μ A max @ 2.7 V and 125 $^{\circ}$ C
- Wide bandwidth: 4 MHz (5 k Ω option)
- Power-on EEPROM refresh time < 50 μ s
- 50-year typical data retention at 125 $^{\circ}$ C
- 1 million write cycles
- 2.3 V to 5.5 V supply operation
- Chip select enable multiple device operation
- Wide operating temperature: -40 $^{\circ}$ C to +125 $^{\circ}$ C
- Thin, 2 mm \times 2 mm \times 0.55 mm 8-lead LFCSP package

APPLICATIONS

- Mechanical potentiometer replacement
- Portable electronics level adjustment
- Audio volume control
- Low resolution DAC
- LCD panel brightness and contrast control
- Programmable voltage to current conversion
- Programmable filters, delays, time constants
- Feedback resistor programmable power supply
- Sensor calibration

FUNCTIONAL BLOCK DIAGRAM

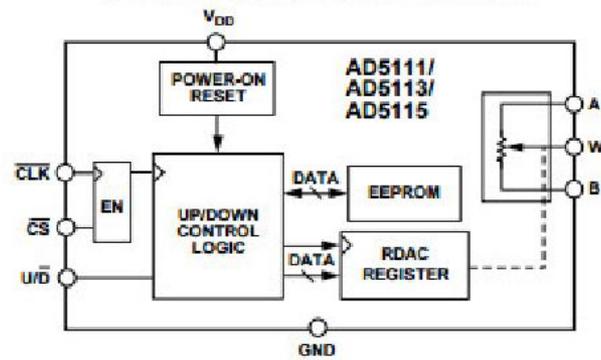


Figure 1.

Table 1. $\pm 8\%$ Resistance Tolerance Family

| Model | Resistance (k Ω) | Position | Interface |
|--------|--------------------------|----------|------------------|
| AD5110 | 10, 80 | 128 | I ² C |
| AD5111 | 10, 80 | 128 | Up/down |
| AD5112 | 5, 10, 80 | 64 | I ² C |
| AD5113 | 5, 10, 80 | 64 | Up/down |
| AD5116 | 5, 10, 80 | 64 | Push-button |
| AD5114 | 10, 80 | 32 | I ² C |
| AD5115 | 10, 80 | 32 | Up/down |

ЦИФРОВОЙ ПОТЕНЦИОМЕТР С КНОПОЧНЫМ УПРАВЛЕНИЕМ



Single-Channel, 64-Position, Push Button,
±8% Resistor Tolerance, Nonvolatile Digital Potentiometer

Data Sheet

AD5116

FEATURES

- Nominal resistor tolerance error: ±8% maximum
- Wiper current: ±6 mA
- Rheostat mode temperature coefficient: 35 ppm/°C
- Low power consumption: 2.5 µA max @ 2.7 V and 125°C
- Wide bandwidth: 4 MHz (5 kΩ option)
- Power-on EEPROM refresh time < 50 µs
- 50-year typical data retention at 125°C
- 1 million write cycles
- 2.3 V to 5.5 V supply operation
- Built-in adaptive debouncer
- Wide operating temperature: -40°C to +125°C
- Thin, 2 mm × 2 mm × 0.55 mm 8-lead LFCSP package

APPLICATIONS

- Mechanical potentiometer replacement
- Portable electronics level adjustment
- Audio volume control
- Low resolution DAC
- LCD panel brightness and contrast control
- Programmable voltage to current conversion
- Programmable filters, delays, time constants
- Feedback resistor programmable power supply
- Sensor calibration

FUNCTIONAL BLOCK DIAGRAM

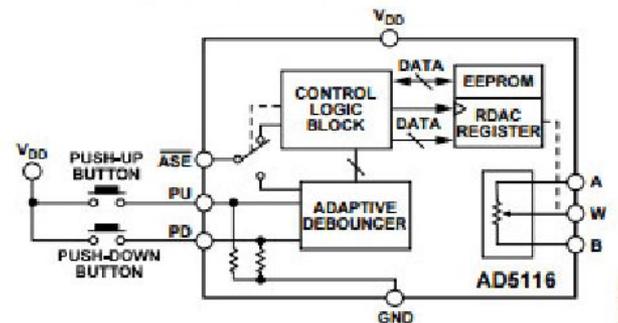


Figure 1.

Table 1. NVM ±8% Resistance Tolerance Family

| Model | Resistance (kΩ) | Position | Interface |
|--------|-----------------|----------|------------------|
| AD5110 | 10, 80 | 128 | I ² C |
| AD5111 | 10, 80 | 128 | Up/down |
| AD5112 | 5, 10, 80 | 64 | I ² C |
| AD5113 | 5, 10, 80 | 64 | Up/down |
| AD5116 | 5, 10, 80 | 64 | Push button |
| AD5114 | 10, 80 | 32 | I ² C |
| AD5115 | 10, 80 | 32 | Up/down |

РЕЖИМЫ КНОПОЧНОГО УПРАВЛЕНИЯ

TIMING DIAGRAMS

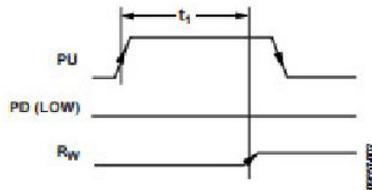


Figure 2. Manual Increment Mode Timing

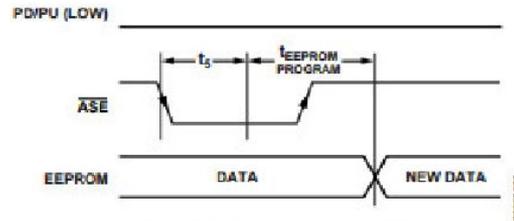


Figure 5. Manual Save Mode Timing

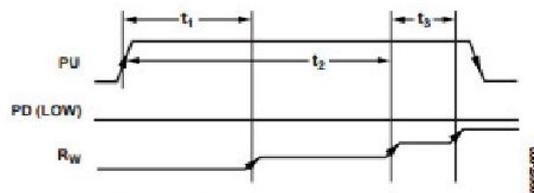


Figure 3. Auto Increment Mode Timing

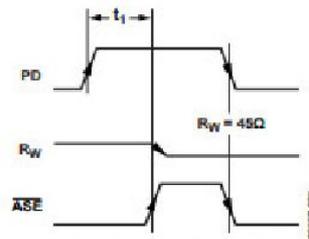


Figure 6. End Scale Indication Timing

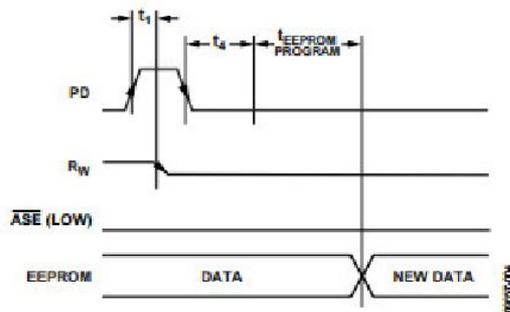


Figure 4. Auto Save Mode Timing

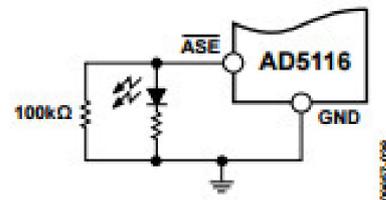


Figure 40. Typical End Scale Indicator Circuit

ЦАП С ВЫХОДОМ ПО НАПРЯЖЕНИЮ

Делитель на резисторах одного номинала

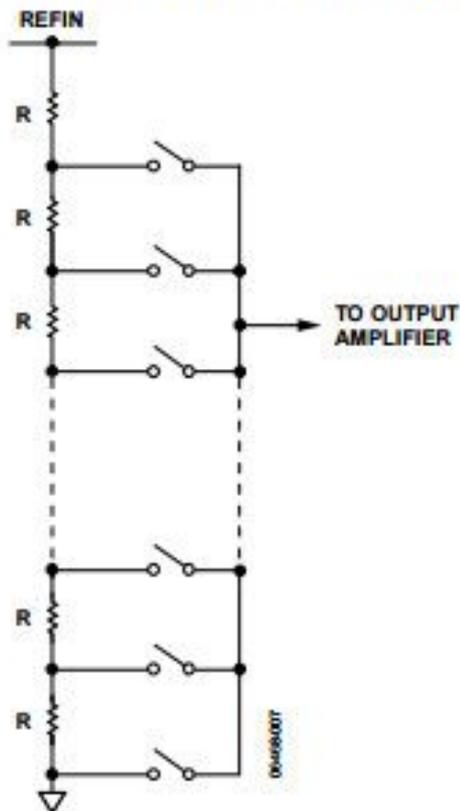


Figure 39. Resistor String Structure

Лестничная цепь R – 2R со звездообразным делителем на резисторах одного номинала в старших шести разрядах (AD5761 и другие микросхемы)

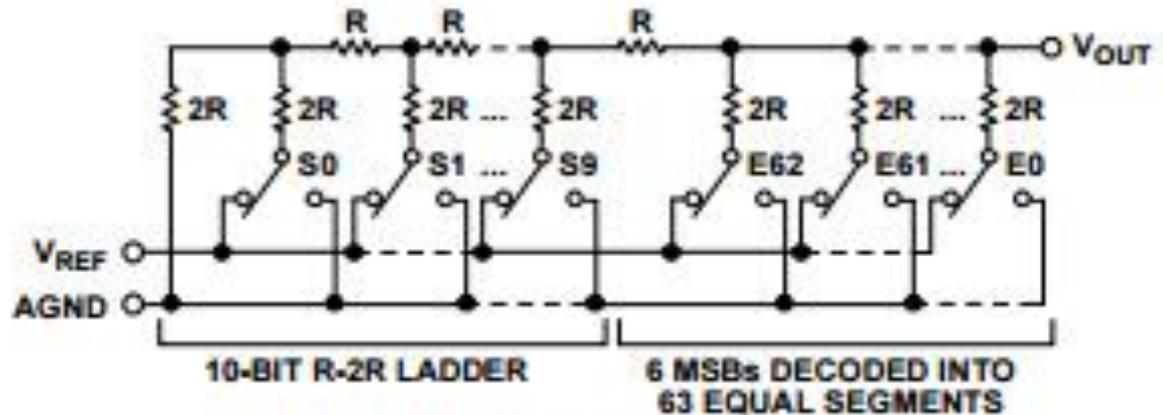
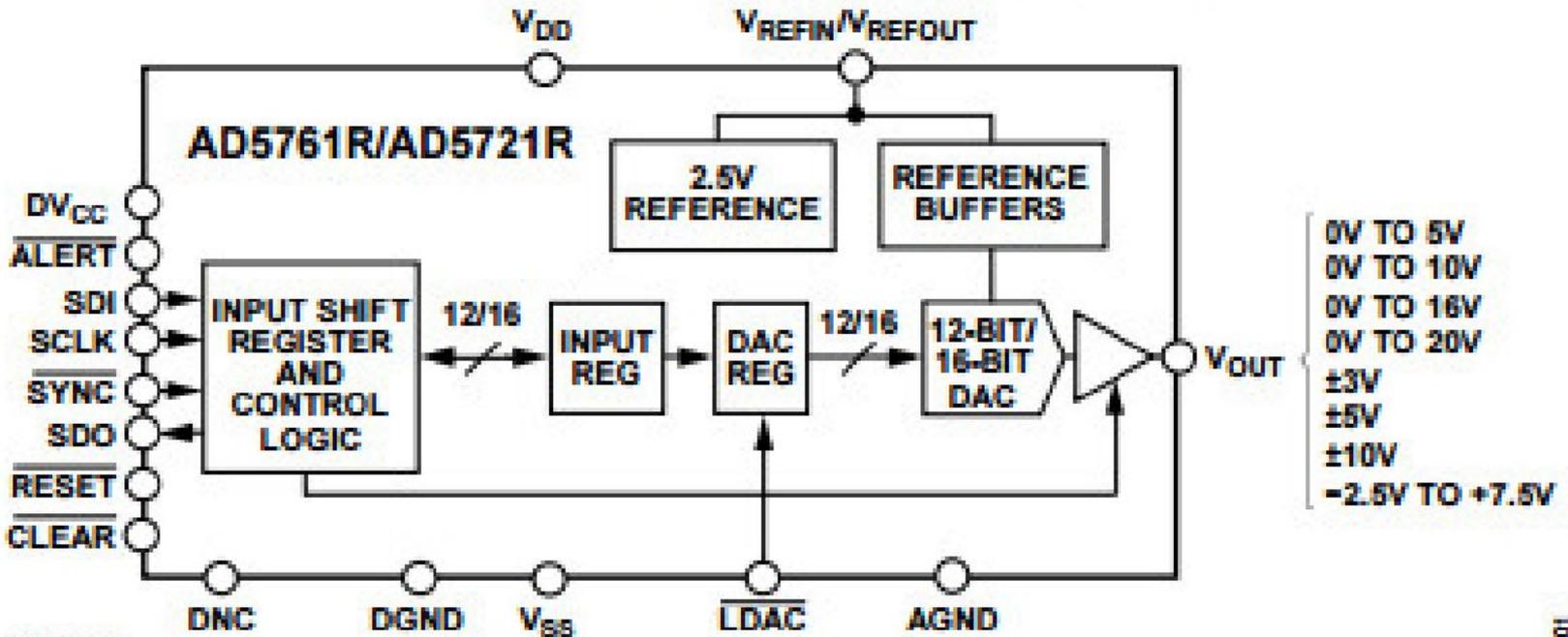


Figure 73. DAC Ladder Structure

В отличие от цифровых потенциометров, микросхемы ЦАП с выходом по напряжению имеют выходной буфер (см. следующий слайд).

ИДЕОЛОГИЯ «СДЕЛАЙ САМ» ОКОНЧАТЕЛЬНО УШЛА В ПРОШЛОЕ.

FUNCTIONAL BLOCK DIAGRAM



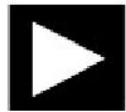
NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.

Figure 1.

Ещё недавно диапазон выходного сигнала ЦАП выбирался распайкой выводов микросхемы. Теперь всё делается программно и скрытно от пользователя.

Общее описание типичных микросхем ЦАП с выходом по напряжению



**ANALOG
DEVICES**

**Multiple Range, 16-/12-Bit, Bipolar/Unipolar
Voltage Output DACs with 2 ppm/°C Reference**

Data Sheet

AD5761R/AD5721R

FEATURES

8 software-programmable output ranges: 0 V to +5 V, 0 V to +10 V, 0 V to +16 V, 0 V to +20 V, ±3 V, ±5 V, ±10 V, and -2.5 V to +7.5 V; 5% overrange

Low drift 2.5 V reference: ±2 ppm/°C typical

Total unadjusted error (TUE): 0.1% FSR maximum

16-bit resolution: ±2 LSB maximum INL

Guaranteed monotonicity: ±1 LSB maximum

Single channel, 16-/12-bit DACs

Settling time: 7.5 μs typical

Integrated reference buffers

Low noise: 35 nV/√Hz

Low glitch: 1 nV-sec (0 V to 5 V range)

1.7 V to 5.5 V digital supply range

Asynchronous updating via LDAC

Asynchronous RESET to zero scale/midscale

DSP-/microcontroller-compatible serial interface

Robust 4 kV HBM ESD rating

16-lead, 3 mm × 3 mm LFCSP package

16-lead TSSOP package

Operating temperature range: -40°C to +125°C

APPLICATIONS

Industrial automation

Instrumentation, data acquisition

Open-/closed-loop servo control, process control

Programmable logic controllers

GENERAL DESCRIPTION

The **AD5761R/AD5721R** are single channel, 16-/12-bit serial input, voltage output, digital-to-analog converters (DACs). They operate from single supply voltages from +4.75 V to +30 V or dual supply voltages from -16.5 V to 0 V V_{SS} and +4.75 V to +16.5 V V_{DD} . The integrated output amplifier, reference buffer, and reference provide a very easy to use, universal solution.

The devices offer guaranteed monotonicity, integral nonlinearity (INL) of ±2 LSB maximum, 35 nV/√Hz noise, and 7.5 μs settling time on selected ranges.

The **AD5761R/AD5721R** use a serial interface that operates at clock rates of up to 50 MHz and are compatible with DSP and microcontroller interface standards. Double buffering allows the asynchronous updating of the DAC output. The input coding is user-selectable twos complement or straight binary. The asynchronous reset function resets all registers to their default state. The output range is user selectable, via the RA[2:0] bits in the control register.

The devices available in a 3 mm × 3 mm LFCSP package and a 16-lead TSSOP package offer guaranteed specifications over the -40°C to +125°C industrial temperature range.

ОБЩИЙ ВИД ПЕРЕДАТОЧНОЙ ФУНКЦИИ ЦАП AD5761R/ AD5721R

TRANSFER FUNCTION

The internal reference is on by default. The input coding to the DAC can be straight binary or twos complement (bipolar ranges case only). Therefore, the transfer function is given by

$$V_{OUT} = V_{REF} \times \left[\left(M \times \frac{D}{2^N} \right) - C \right]$$

where:

V_{REF} is 2.5 V.

M is the slope for a given output range.

D is the decimal equivalent of the code loaded to the DAC register as follows:

0 to 4095 for the 12-bit device.

0 to 65,535 for the 16-bit device.

N is the number of bits. N is 12 for the [AD5721R](#) and 16 for the [AD5761R](#).

C is the offset for a given output range.

The values for M and C are as shown in Table 7.

Table 7. M and C Values for Various Output Ranges

| Range | M | C |
|------------------|-----|-----|
| ±10 V | 8 | 4 |
| ±5 V | 4 | 2 |
| ±3 V | 2.4 | 1.2 |
| -2.5 V to +7.5 V | 4 | 1 |
| 0 V to 20 V | 8 | 0 |
| 0 V to 16 V | 6.4 | 0 |
| 0 V to 10 V | 4 | 0 |
| 0 V to 5 V | 2 | 0 |

КОДИРОВАНИЕ ДИАПАЗОНОВ ЦАП 5761R/AD5721R

Output range. Before an output range configuration, the device must be reset.

000: -10 V to $+10\text{ V}$.

001: 0 V to $+10\text{ V}$.

010: -5 V to $+5\text{ V}$.

011: 0 V to 5 V .

100: -2.5 V to $+7.5\text{ V}$.

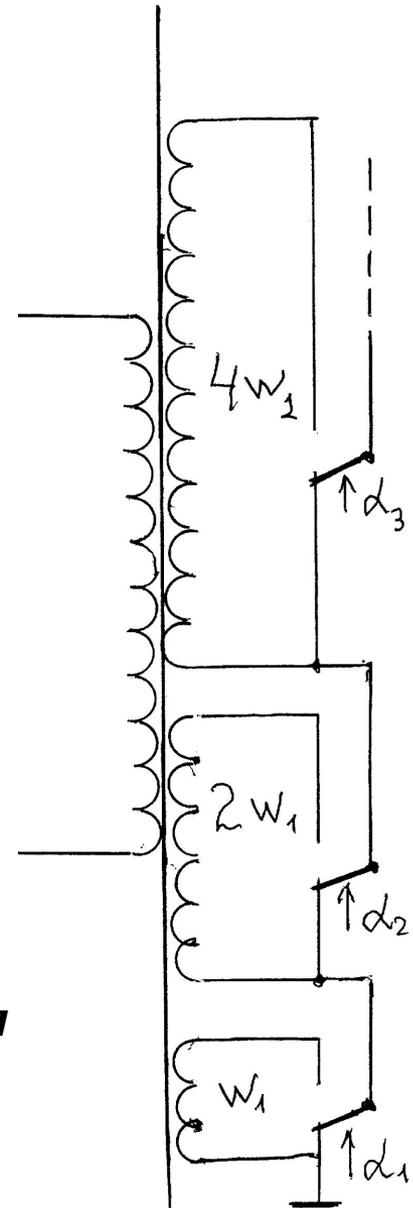
101: -3 V to $+3\text{ V}$.

110: 0 V to 16 V .

111: 0 V to 20 V .

ТРАНСФОРМАТОРНЫЙ ЦАП: ПРИМЕРНАЯ СХЕМА ПЕРЕКЛЮЧЕНИЯ ОБМОТОК

Трансформаторные ЦАП обеспечивают высокую точность и могут использоваться в калибраторах переменного тока.



ТРАНСФОРМАТОРНЫЕ ЦАП (W2 и W7) В ЦИФРОВОМ МОСТЕ ПЕРЕМЕННОГО ТОКА

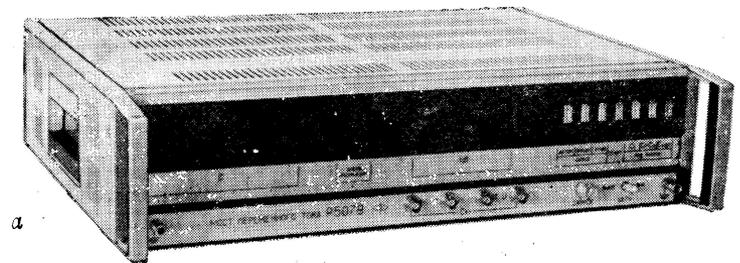
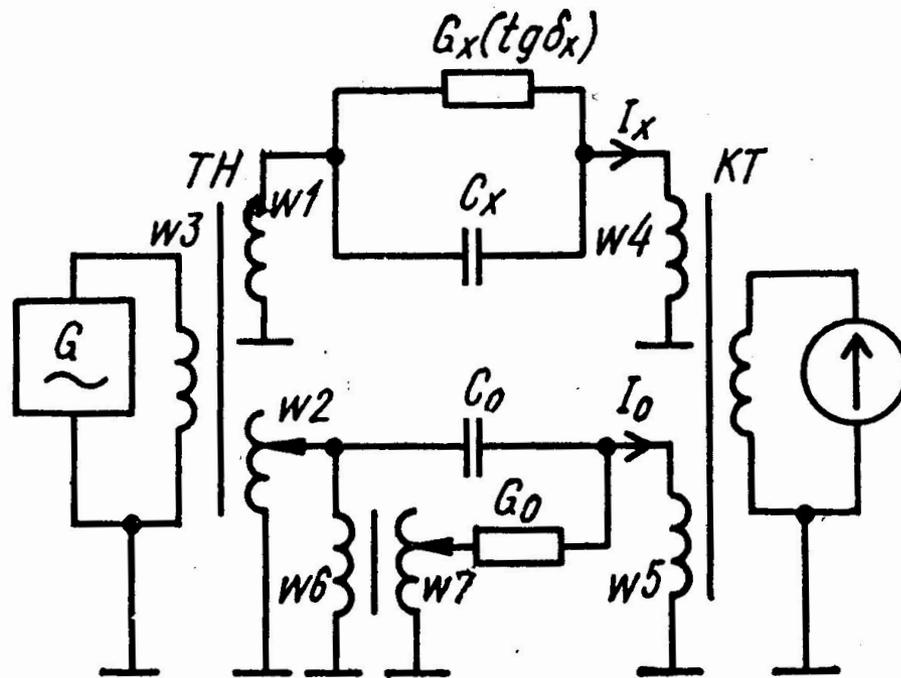


Рис. 9.9. Устройство сравнения цифрового моста P 5079.

По книге: Орнатский П.П. Автоматические измерения и приборы (аналоговые и цифровые). – Киев: Вища школа, 1986. – С. 406–407.
Далее – Орнатский.

КОНДЕНСАТОРНЫЙ ЦАП В СТРУКТУРЕ СОВРЕМЕННОГО АЦП (МИКРОСХЕМА AD4002)

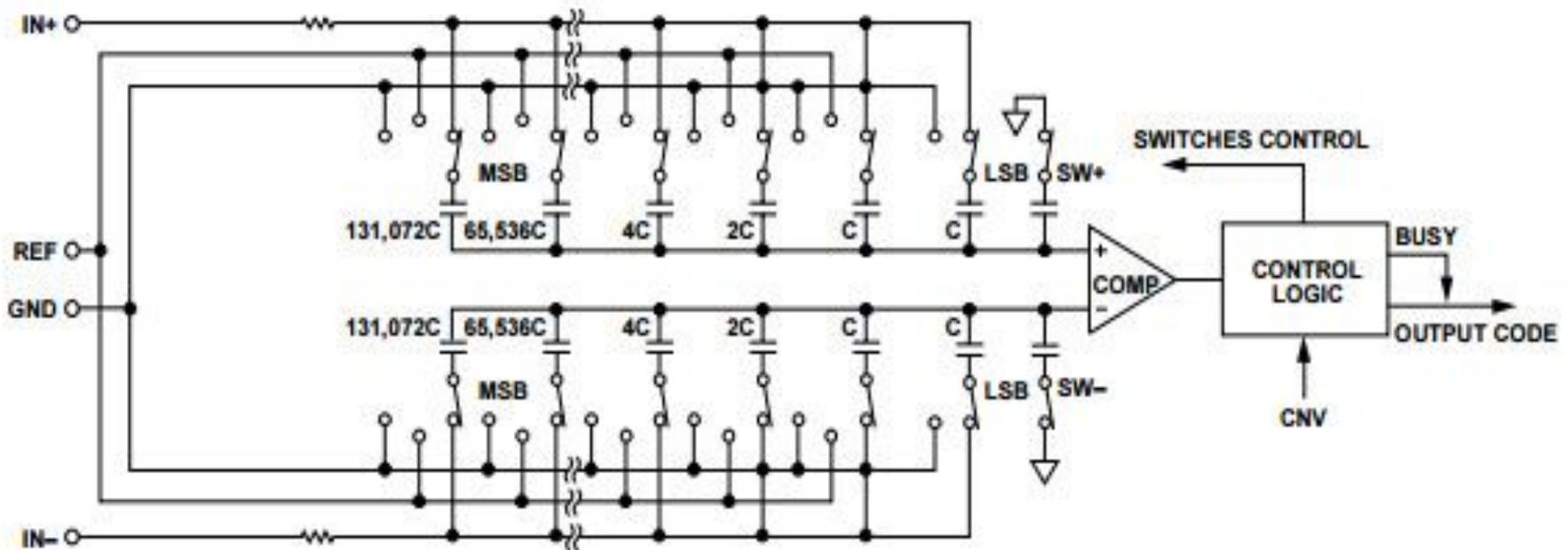
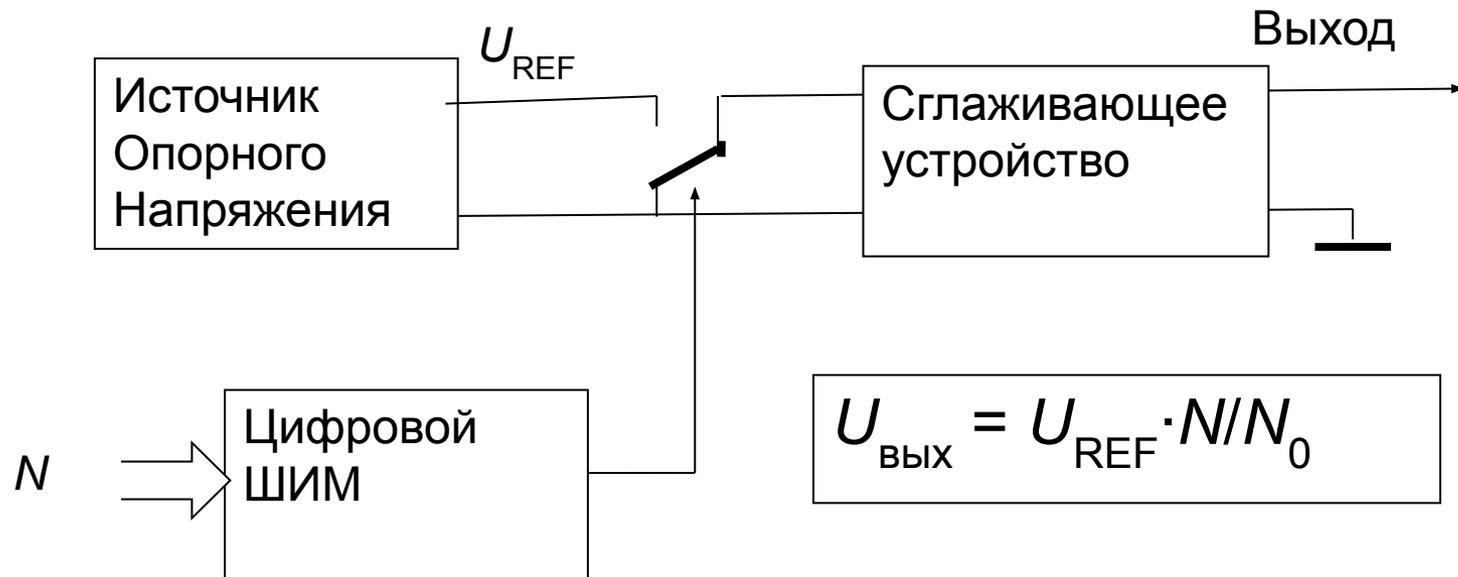


Figure 31. ADC Simplified Schematic

СТРУКТУРА ЦАП С ВЫХОДОМ ПО НАПРЯЖЕНИЮ НА ОСНОВЕ ЦИФРОВОГО ШИМ

(Повторение схемы из главы 2)



Аналогично, с заменой ИОН на стабилизатор тока, а переключателя напряжения на переключатель тока, строятся ЦАП с выходом по току.

ДОСТОИНСТВА ЦАП НА ОСНОВЕ ЦИФРОВОГО ШИМ

- Возможность достижения высокой точности (применение в калибраторах)
- Возможность получения большого выходного тока (например, в цифровых весах с силовым уравниванием)
- Простота получения выходного тока, *вытекающего* из ЦАП на общую шину
- При отсутствии высоких требований к точности – минимальное число элементов (можно использовать встроенный ШИМ микроконтроллера)

НЕДОСТАТКИ ЦАП НА ОСНОВЕ ЦИФРОВОГО ШИМ

- Низкое быстродействие
- Трудность (если требуется высокая точность) сглаживания пульсаций выходного напряжения, исходно колеблющегося между нулём и максимумом с невысокой частотой

СПОСОБЫ ОБЛЕГЧЕНИЯ ФИЛЬТРАЦИИ ВЫХОДНОГО СИГНАЛА ЦАП НА ОСНОВЕ ШИМ

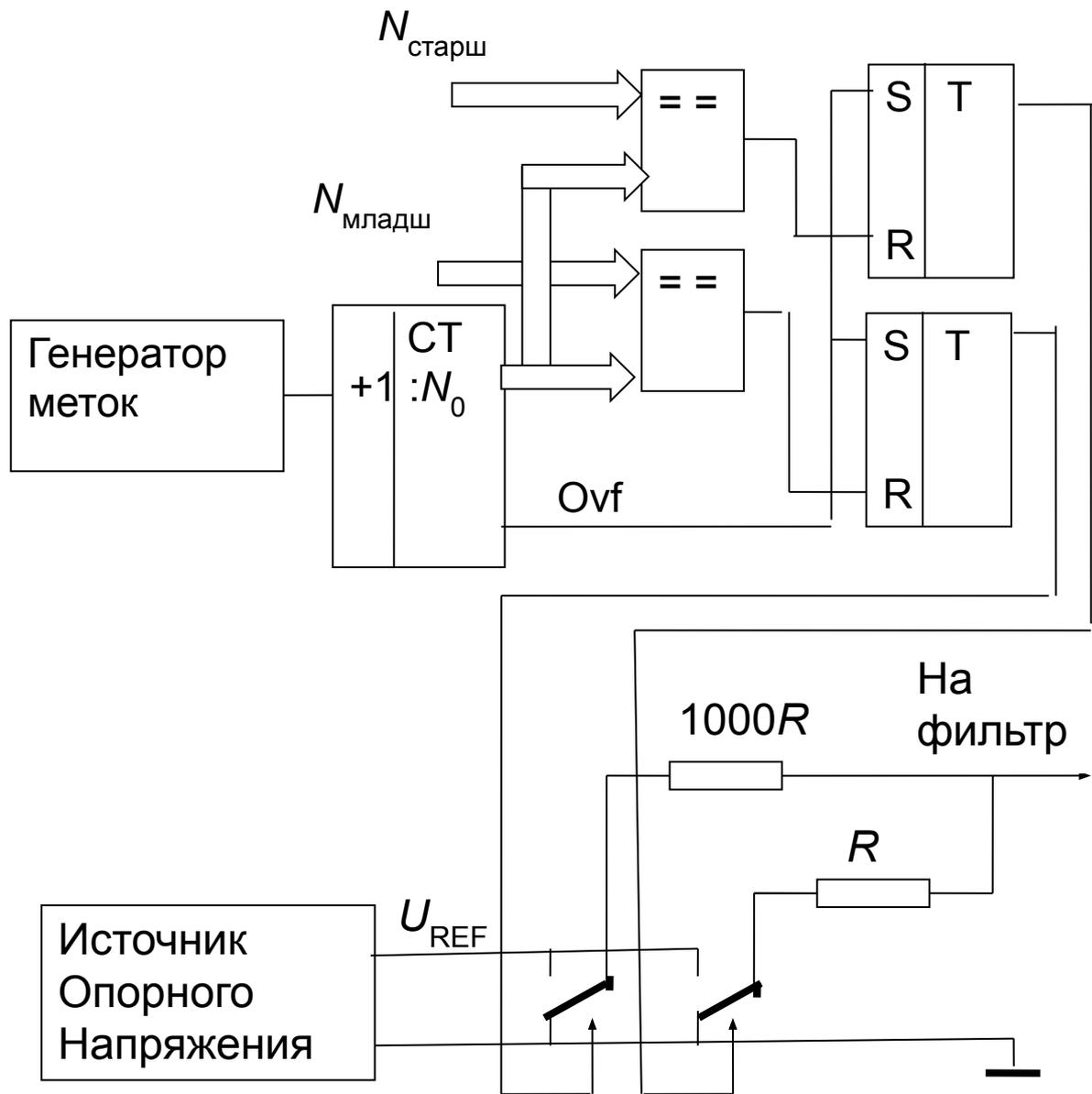
- ***Разделение управляющей кодовой комбинации на две части.***

Если вместо шестидекадного ШИМ применить два трёхдекадных (с взвешенным суммированием выходных сигналов), частота пульсаций возрастёт в 1000 раз.

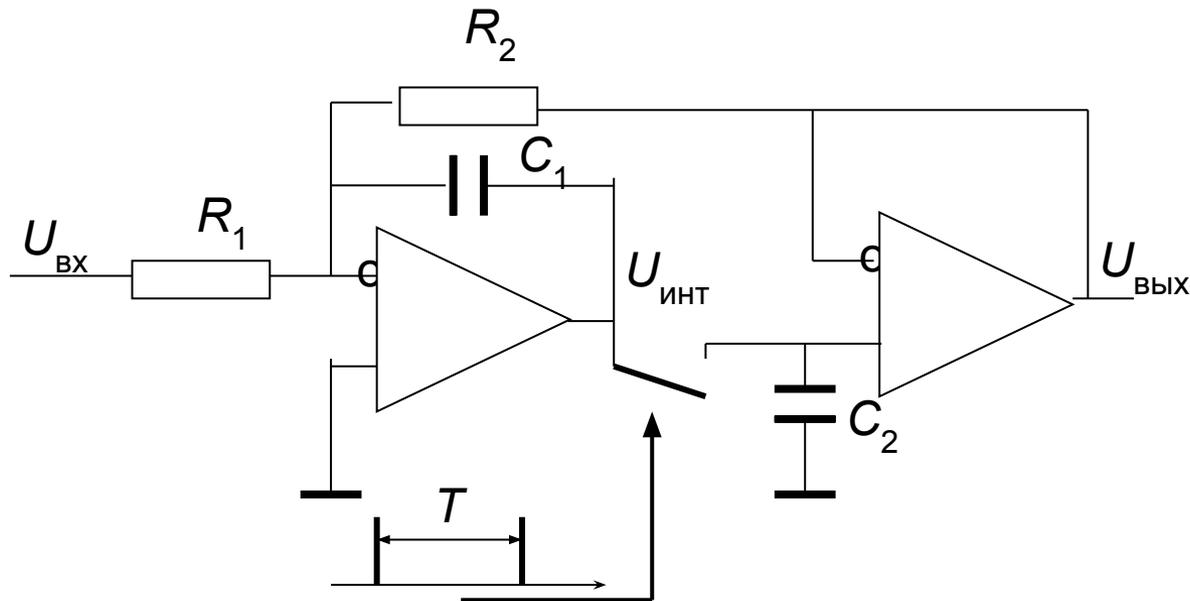
- ***Формирование нескольких импульсов ШИМ-сигнала, равномерно сдвинутых по фазе в пределах периода.***

В одном из калибраторов фирмы Hewlett-Packard формировалось 12 импульсов, которые суммировались звездобразной цепью из одинаковых резисторов. Независимо этот метод предложил Ю.Пасынков в Новосибирске в своей докторской диссертации

**Структура
калибратора
с разделением
шестидекадной
управляющей
кодовой
комбинации
на две
трёхдекадные
комбинации**



ТЕОРЕТИЧЕСКИ ПОЛНОЕ УСТРАНЕНИЕ ПУЛЬСАЦИЙ ШИМ-СИГНАЛА ОБЕСПЕЧИВАЕТ *ИНТЕГРИРУЮЩИЙ* *ДИСКРЕТИЗАТОР*



$$U_{\text{вых.}i} = U_{\text{инт.}i} = U_{\text{вых.}(i-1)} - \frac{T}{R_2 C_1} U_{\text{вых.}(i-1)} - \frac{1}{R_1 C_1} \int_{t_{i-1}}^{t_i} U_{\text{вх}} dt.$$

ПРЕОБРАЗОВАНИЕ РАЗНОСТНОГО УРАВНЕНИЯ

$$U_{\text{вых}.i} = U_{\text{инт}.i} = U_{\text{вых}.(i-1)} - \frac{T}{R_2 C_1} U_{\text{вых}.(i-1)} - \frac{1}{R_1 C_1} \int_{t_{i-1}}^{t_i} U_{\text{вх}} dt.$$

Обозначим $\frac{1}{T} \int_{t_{i-1}}^{t_i} U_{\text{вх}} dt = U_{\text{вх.ср.}(i-1)}.$

тогда $U_{\text{вых}.i} = \left(1 - \frac{T}{R_2 C_1}\right) U_{\text{вых}.(i-1)} - \frac{T}{R_1 C_1} U_{\text{вх.ср.}(i-1)}.$

Если

$$T = R_2 C_1$$

то

$$U_{\text{вых}.i} = -\frac{R_2}{R_1} U_{\text{вх.ср.}(i-1)}.$$

ЦАП НА ОСНОВЕ $\Sigma\Delta$ -МОДУЛЯЦИИ

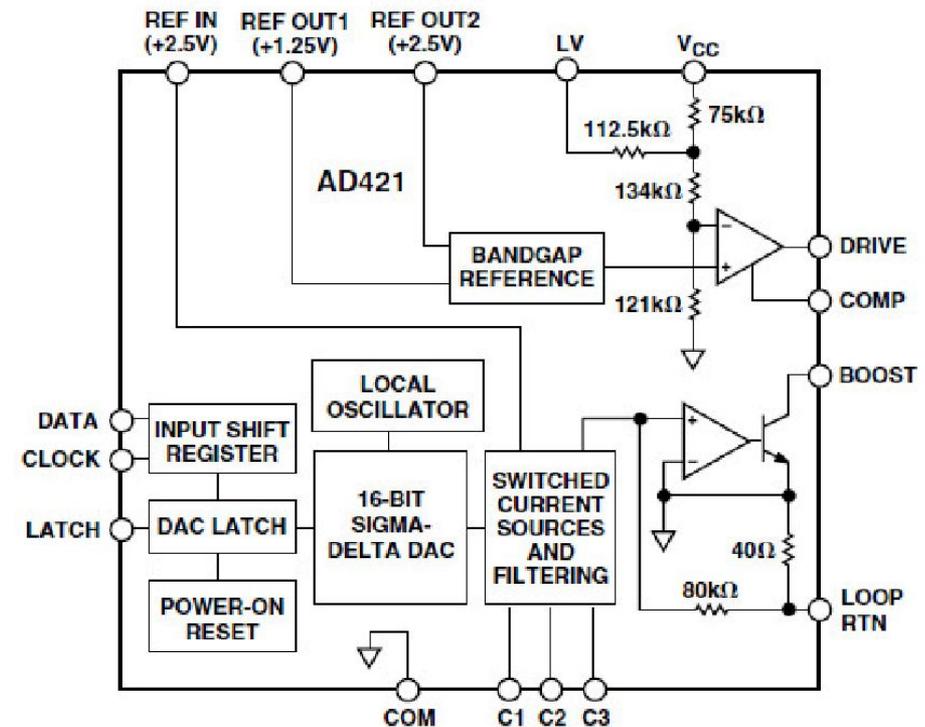
- $\Sigma\Delta$ -модуляция, при которой информативным параметром сигнала является плотность единиц в потоке единиц и нулей, широко применяется в *аудиотехнике*, где обеспечивает высокую разрядность и линейность.
- *Измерительные* ЦАП на основе $\Sigma\Delta$ -модуляции встречаются редко.

ПРИМЕР ИЗМЕРИТЕЛЬНОГО ЦАП С ИСПОЛЬЗОВАНИЕМ ΣΔ-МОДУЛЯЦИИ

Loop-Powered 4 mA to 20 mA DAC

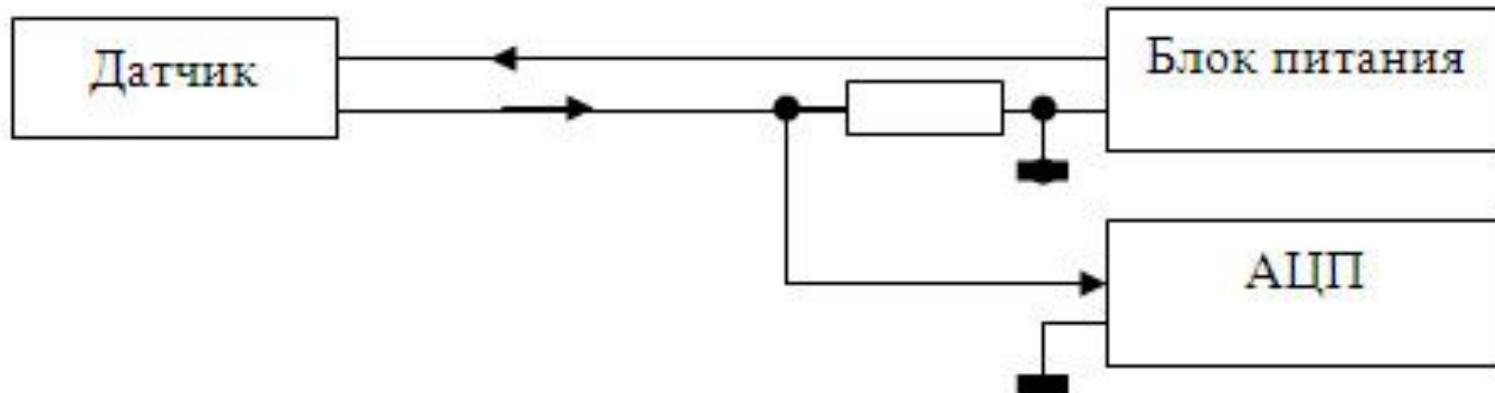
AD421

FUNCTIONAL BLOCK DIAGRAM



На примере этого ЦАП, предназначенного для датчиков с петлевым питанием, предлагается рассмотреть само понятие петлевого питания, а также затронуть связанные с ним вопросы

ДАТЧИК С ПЕТЛЕВЫМ ПИТАНИЕМ



При петлевом питании датчик закладывает информацию об измеряемой величине в избыток потребляемого им тока над некоторым минимальным током, в данном случае над током 4 мА. В этот диапазон 4 мА должно уложиться потребление всей электроники датчика.

Блок питания может изменять напряжение на линии, но не может изменить ток. Датчик изменяет ток, но не может влиять на напряжение питания.

АЦП получает информацию от шунта, включённого в аналоговую токовую петлю.

ФОРМИРОВАНИЕ ТОКА ПЕТЛИ

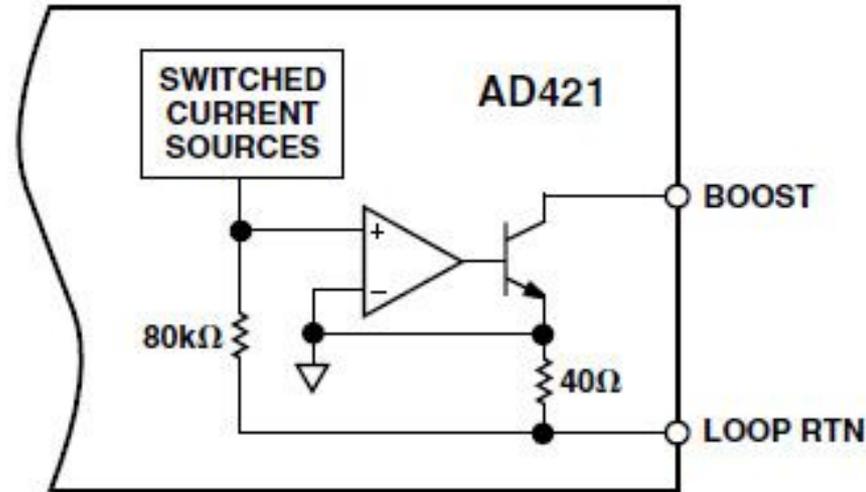


Figure 4. Current Amplifier

- Выходной ток $\Sigma\Delta$ -ЦАП микросхемы AD421 создаёт падение напряжения на резисторе 80 кОм. С ним сравнивается падение напряжения на резисторе 40 Ом от текущего на вывод COM тока всей электроники датчика и самой микросхемы AD421. Ток этого резистора уходит на *выход* петли из датчика (LOOP RETURN).
- Вывод BOOST поглощает избыточный ток на *входе* петли в микросхему AD421.

ПЕТЛЕВОЕ ПИТАНИЕ ДОПУСКАЕТ ПОЛУДУПЛЕКСНУЮ ПЕРЕДАЧУ ЦИФРОВОГО СИГНАЛА, НАКЛАДЫВАЕМОГО НА АНАЛОГОВЫЙ, ПО СТАНДАРТУ HART

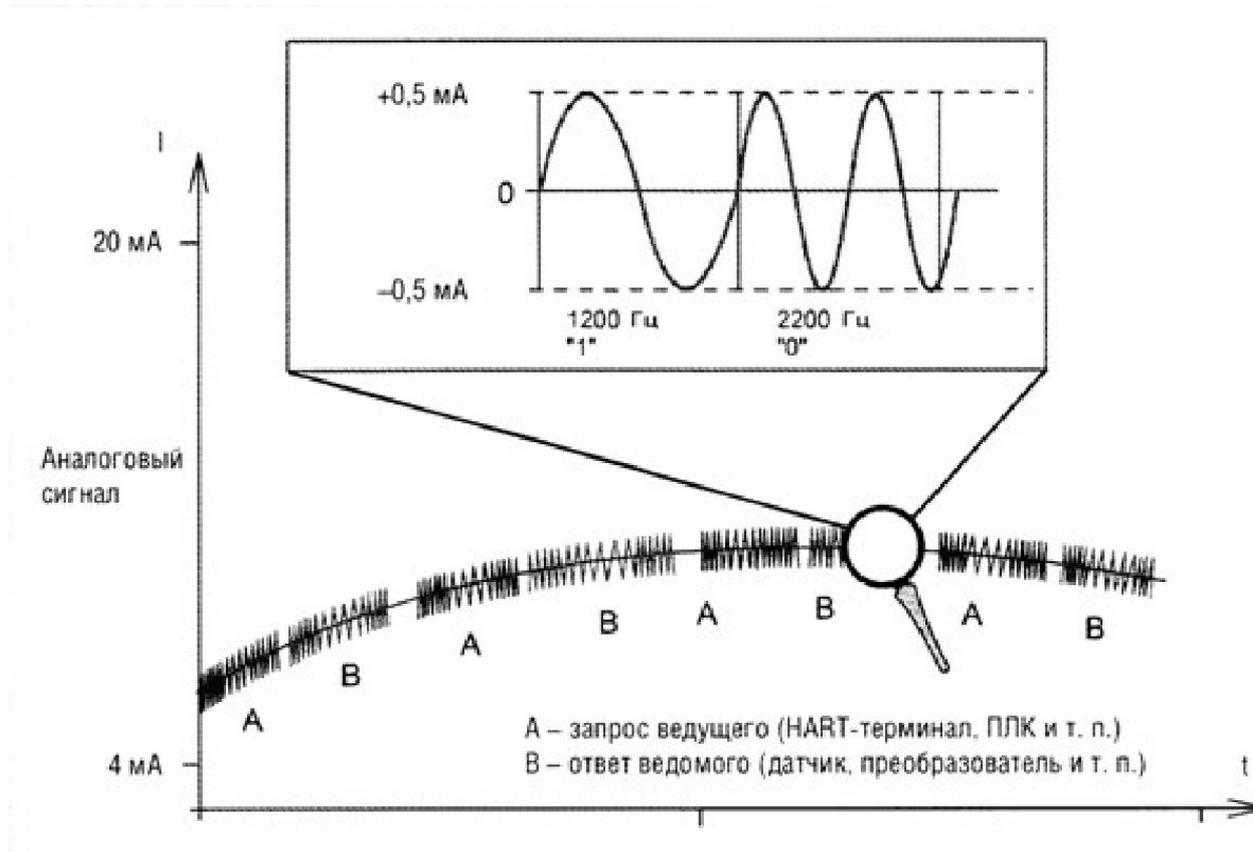


Рисунок ошибочен: сигнал запроса А передаётся напряжением и не должен быть виден на осциллограмме тока датчика

БОЛЕЕ СОВРЕМЕННЫЙ ЦАП ДЛЯ ДАТЧИКОВ С ПЕТЛЕВЫМ ПИТАНИЕМ И РЕКОМЕНДУЕМЫЕ СОПУТСТВУЮЩИЕ МИКРОСХЕМЫ

APPLICATIONS

Industrial process control
4 mA to 20 mA loop-powered transmitters
Smart transmitters
HART network connectivity

COMPANION LOW POWER PRODUCTS

HART Modem: [AD5700](#), [AD5700-1](#)
Microcontroller: [ADuCM360](#)

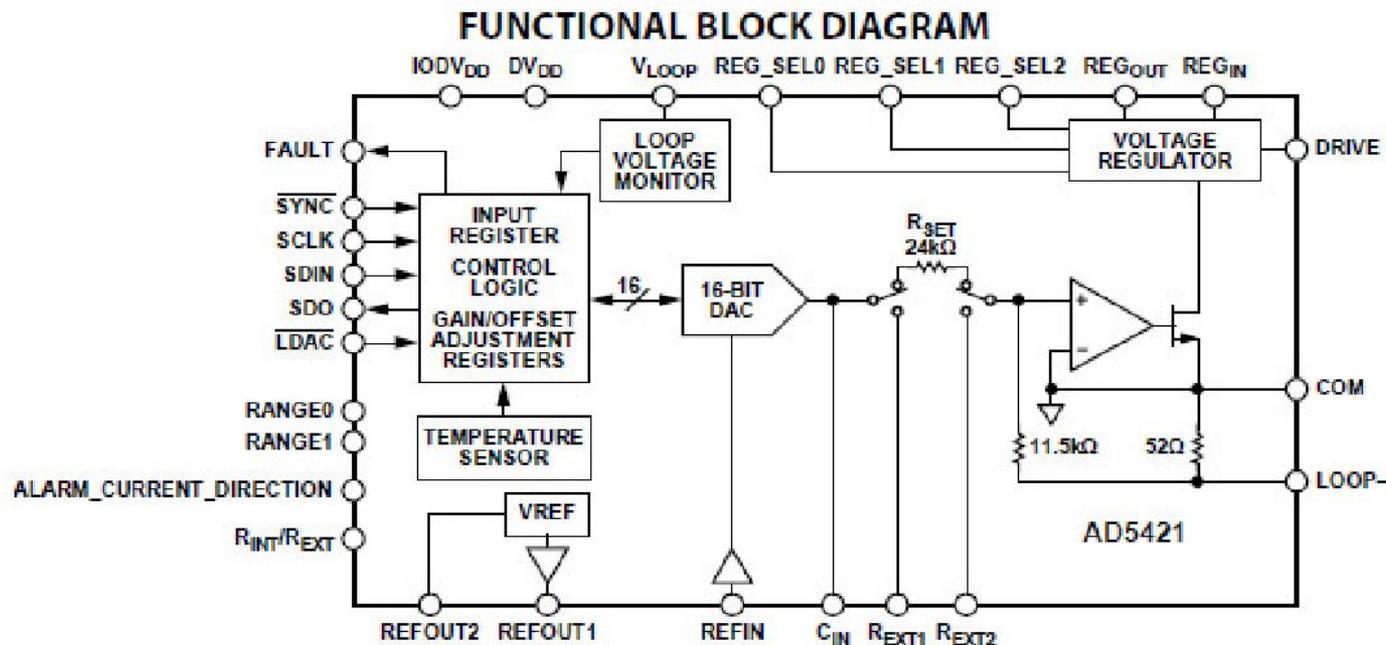


Figure 1.

ПРИНЦИП СОЕДИНЕНИЯ ЦАП С HART-МОДЕМОМ

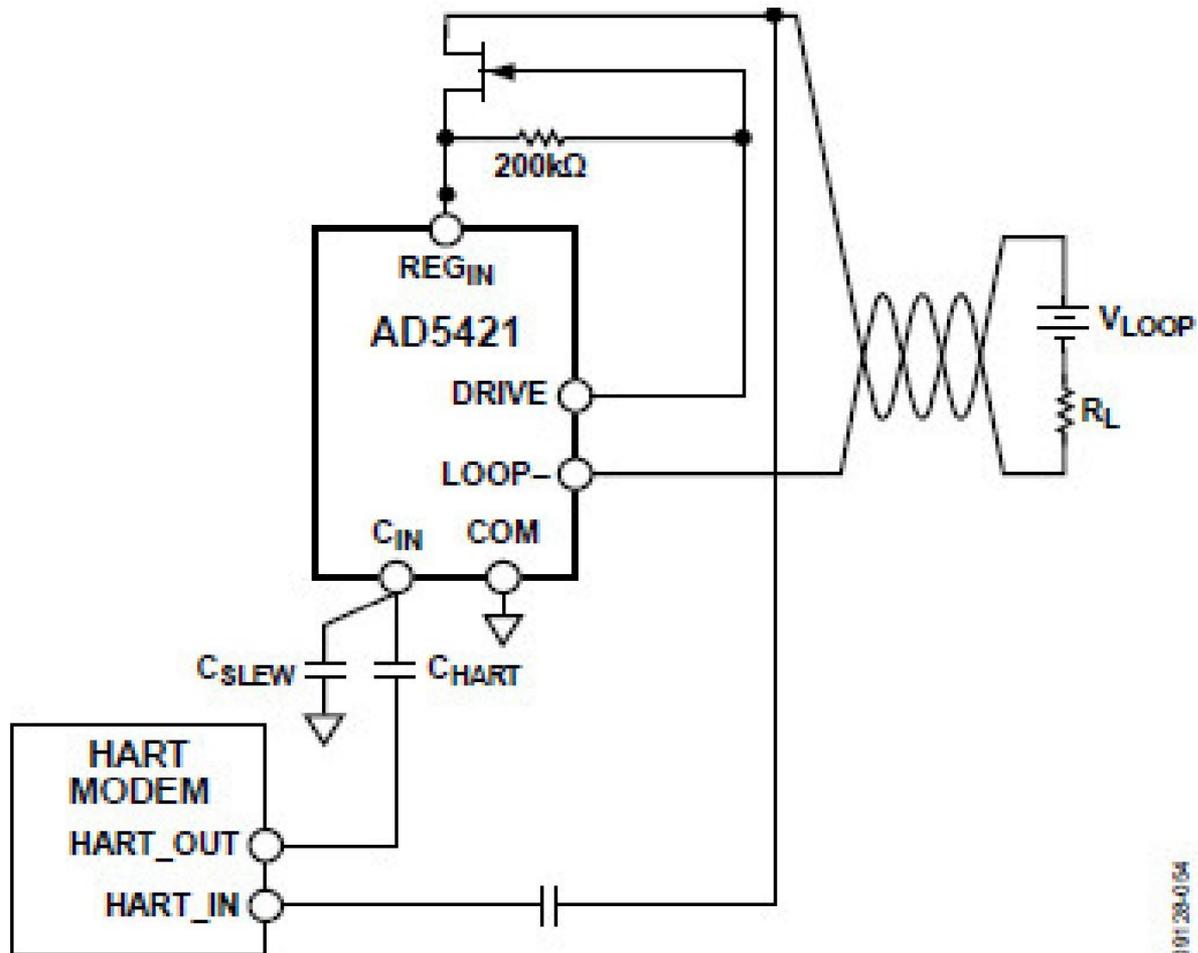


Figure 47. Connecting a HART Modem to the AD5421

РЕКОМЕНДУЕМАЯ СТРУКТУРА ДАТЧИКА

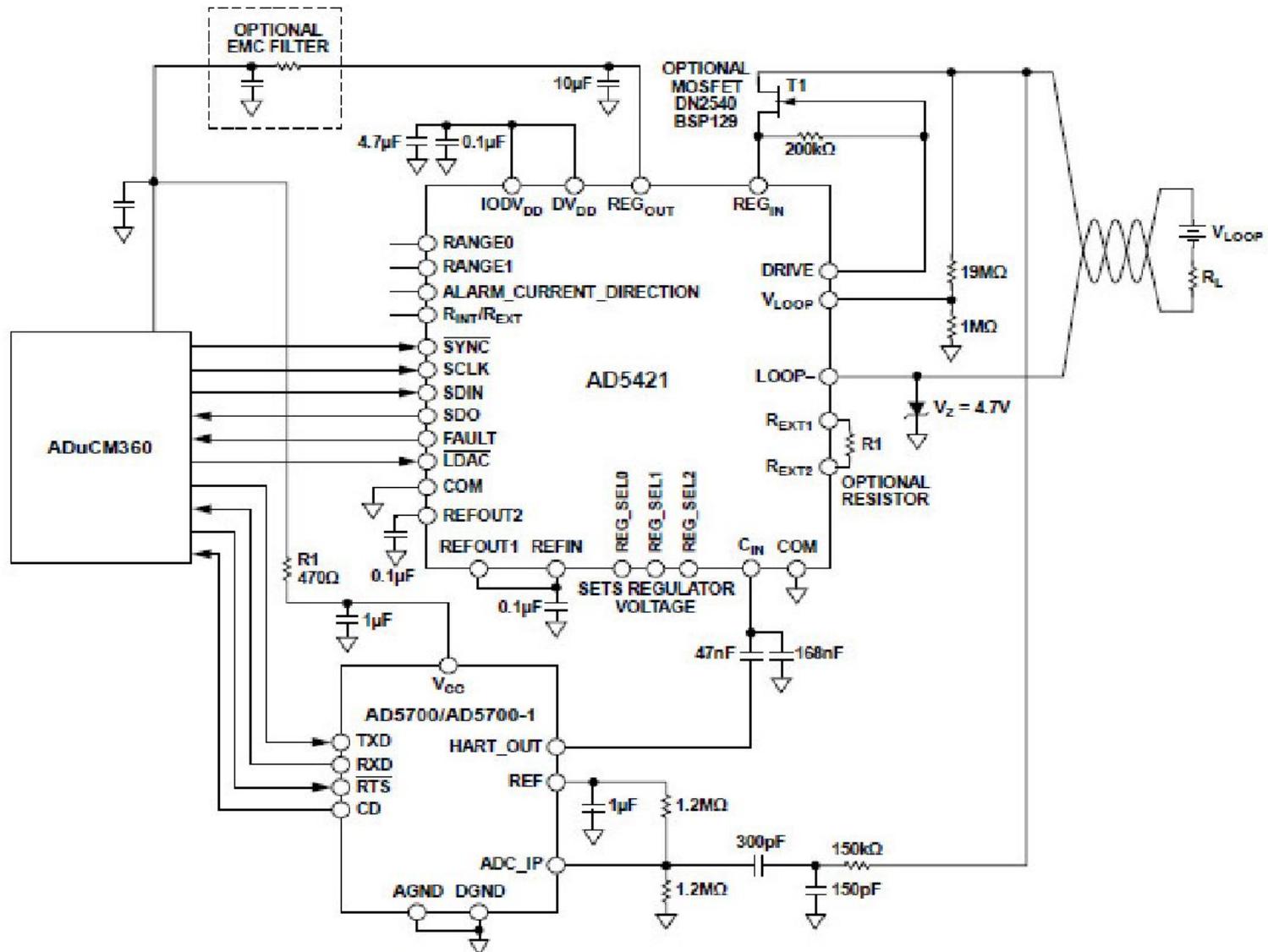


Figure 50. AD5421 Application Diagram for HART Capable Smart Transmitter

ОБЩЕЕ ОПИСАНИЕ HART-МОДЕМА



Low Power HART Modem

Data Sheet

AD5700/AD5700-1

FEATURES

- HART-compliant fully integrated FSK modem
- 1200 Hz and 2200 Hz sinusoidal shift frequencies
- 115 μ A maximum supply current in receive mode
- Suitable for intrinsically safe applications
- Integrated receive band-pass filter
 - Minimal external components required
- Clocking optimized for various system configurations
 - Ultralow power crystal oscillator (60 μ A maximum)
 - External CMOS clock source
 - Precision internal oscillator (AD5700-1 only)
- Buffered HART output—extra drive capability
- 8 kV HBM ESD rating
- 1.71 V to 5.5 V power supply
- 1.71 V to 5.5 V interface
- 40°C to +125°C operation
- 4 mm \times 4 mm LFCSP package
- HART physical layer compliant
- UART interface

APPLICATIONS

- Field transmitters
- HART multiplexers
- PLC and DCS analog I/O modules
- HART network connectivity

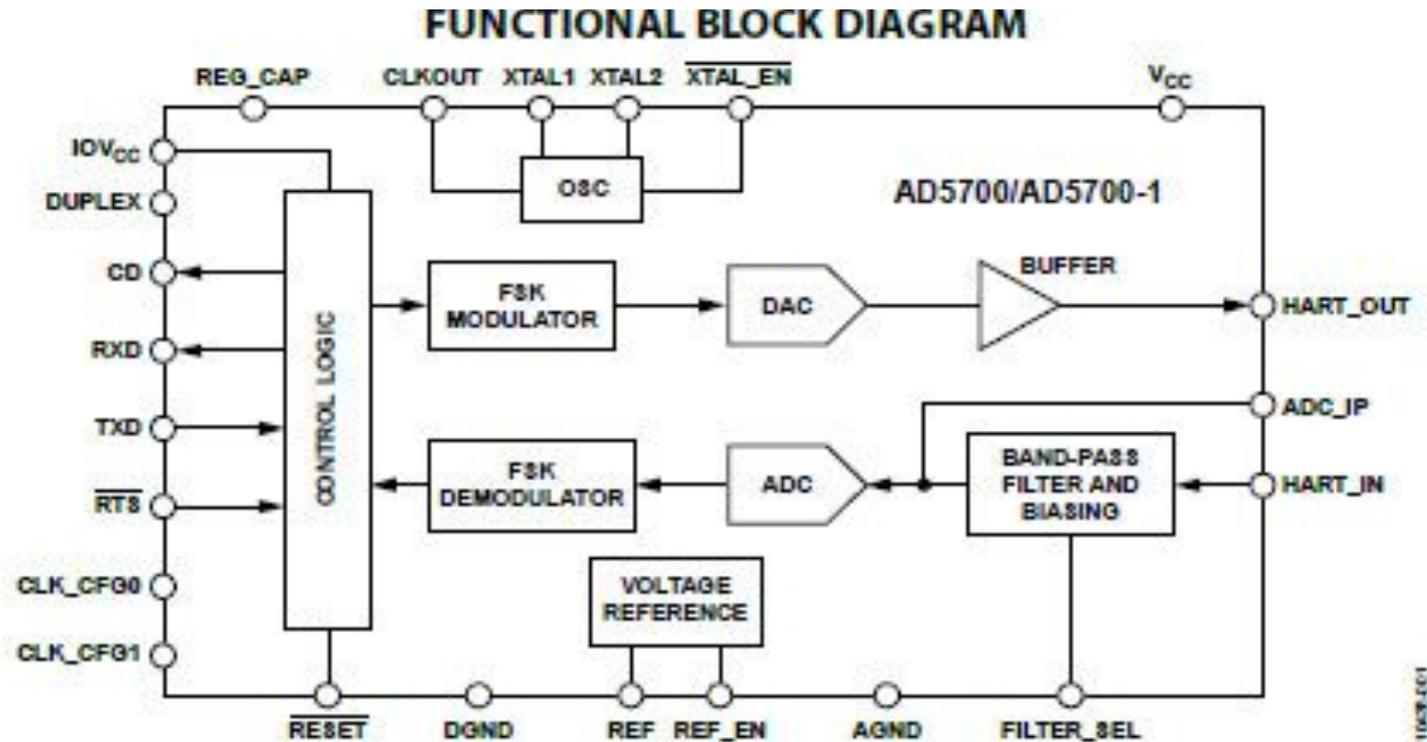
GENERAL DESCRIPTION

The AD5700/AD5700-1 are single-chip solutions, designed and specified to operate as a HART[®] FSK half-duplex modem, complying with the HART physical layer requirements. The AD5700/AD5700-1 integrate all of the necessary filtering, signal detection, modulating, demodulating and signal generation functions, thus requiring few external components. The 0.5% precision internal oscillator on the AD5700-1 greatly reduces the board space requirements, making it ideal for line-powered applications in both master and slave configurations. The maximum supply current consumption is 115 μ A, making the AD5700/AD5700-1 an optimal choice for low-power loop-powered applications. Transmit waveforms are phase continuous 1200 Hz and 2200 Hz sinusoids. The AD5700/AD5700-1 contain accurate carrier detect circuitry and use a standard UART interface.

Table 1. Related Products

| Part No. | Description |
|-------------------|--|
| AD5755-1 | Quad-channel, 16-bit, serial input, 4 mA to 20 mA and voltage output DAC, dynamic power control, HART connectivity |
| AD5421 | 16-bit, serial input, loop powered, 4 mA to 20 mA DAC |
| AD5410/ AD5420 | Single-channel, 12-bit/16-bit, serial input, 4 mA to 20 mA current source DACs |
| AD5412/ AD5422 | Single-channel, 12-bit/16-bit, serial input, current source and voltage output DACs |

СТРУКТУРА HART-МОДЕМА



НАЧАЛЬНАЯ ЧАСТЬ ТАБЛИЦЫ МИКРОСХЕМ ЦАП 4...20 мА ФИРМЫ ANALOG DEVICES

| Part# | Converter Primary Function | # of Channels | Resolution (bits) | DAC Type | Current Output Ranges | TUE Iout (typ) (%) | Vref Source | Temp Range | Features | Vs Type | US Price 1000 to 4999 (\$ US) |
|---|----------------------------|---------------|-------------------|--------------------------|--|--------------------|-------------|--------------|--|---------|-------------------------------|
| AD5755  | 4-20 Loop Interface | 4 | 16 | Current Out, Voltage Out | 0 to 20 mA, 0 to 24 mA, 4 to 20 mA | 0.009 | Int/Ext | -40 to 105°C | 4-20ma, CLR Pin, Double-Buffered, LDAC Pin, Read-Back, Reset/Clear, SDO Pin | Dual | \$13.65 |
| AD5737 | 4-20 Loop Interface | 4 | 12 | Current Out | 0 to 20 mA, 0 to 24 mA, 4 to 20 mA | 0.022 | Int/Ext | -40 to 105°C | 4-20ma, CLR Pin, Double-Buffered, LDAC Pin, Read-Back, Reset/Clear, SDO Pin | Single | \$8.93 |
| AD5735 | 4-20 Loop Interface | 4 | 12 | Current Out, Voltage Out | 0 to 20 mA, 0 to 24 mA, 4 to 20 mA | 0.022 | Int/Ext | -40 to 105°C | 4-20ma, CLR Pin, Double-Buffered, LDAC Pin, Read-Back, Reset/Clear, SDO Pin | Dual | \$10.85 |
| AD5757 | 4-20 Loop Interface | 4 | 16 | Current Out | 0 to 20 mA, 0 to 24 mA, 4 to 20 mA | 0.009 | Int/Ext | -40 to 105°C | 4-20ma, CLR Pin, Double-Buffered, LDAC Pin, Read-Back, Reset/Clear, SDO Pin | Single | \$13.65 |
| AD5755-1  | 4-20 Loop Interface | 4 | 16 | Current Out, Voltage Out | 0 to 20 mA, 0 to 24 mA, 4 to 20 mA | 0.009 | Int/Ext | -40 to 105°C | 4-20ma, CLR Pin, Double-Buffered, LDAC Pin, Read-Back, Reset/Clear, SDO Pin | Dual | \$15.88 |
| AD5421  | 4-20 Loop Interface | 1 | 16 | Current Out | 3.2 to 24 mA, 3.8 to 21 mA, 4 to 20 mA | 0.064 | Int/Ext | -40 to 105°C | 4-20ma, Double-Buffered, LDAC Pin, Loop Powered, On Chip Temp Sensor, Read-Back, SDO Pin | Single | \$4.85 |

Наряду с микросхемами AD421 и AD5421, в таблице помещён ряд цифроаналоговых преобразователей,

- не предназначенных для петлевого питания, а требующих отдельных источников напряжения;
- формирующих выходной ток 4...20 мА, который *вытекает* в общую шину питания;
- использующих не $\Sigma\Delta$ -модуляцию, а резистивные делители напряжения с последующим преобразованием напряжение \rightarrow ток.

В таблицу включена также микросхема AD693, *предназначенная для петлевого питания*, но являющаяся не ЦАП, а интерфейсной микросхемой для различного рода аналоговых преобразователей.

ПРЕОБРАЗОВАНИЕ НАПРЯЖЕНИЕ → ТОК

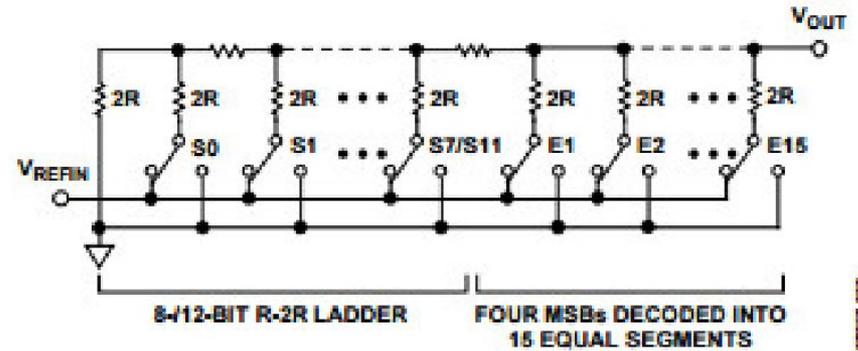


Figure 37. DAC Ladder Structure

The voltage output from the DAC core is converted to a current (see Figure 38) that is then mirrored to the supply rail so that the application simply sees a current source output with respect to ground.

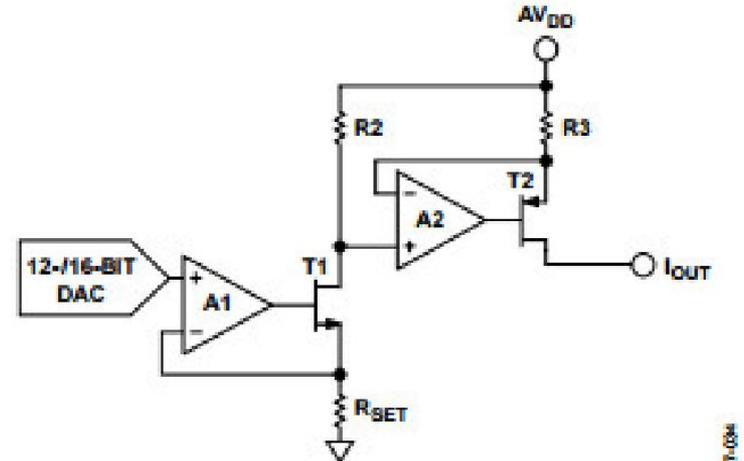


Figure 38. Voltage-to-Current Conversion Circuitry

МИКРОСХЕМА AD693 С УНИВЕРСАЛЬНЫМ (ПЕТЛЕВЫМ ИЛИ ПЕТЛЕВЫМ И ЛОКАЛЬНЫМ) ПИТАНИЕМ НЕ ЯВЛЯЕТСЯ ЦАП!



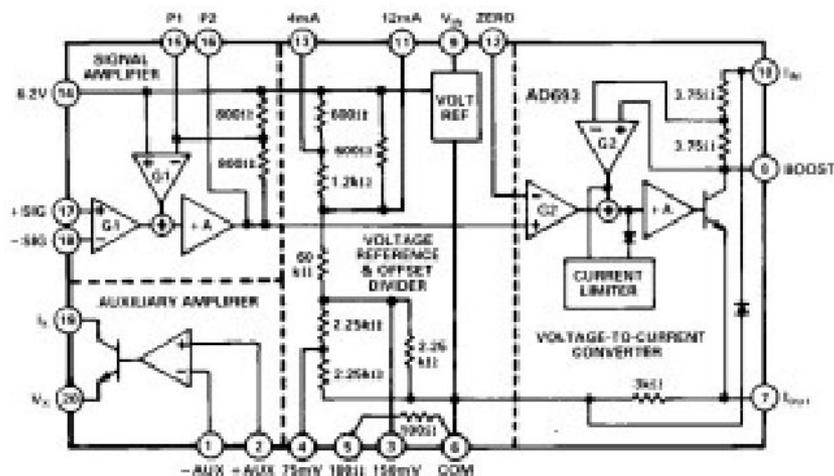
Loop-Powered 4–20 mA Sensor Transmitter

AD693

FEATURES

- Instrumentation Amplifier Front End
- Loop-Powered Operation
- Precalibrated 30 mV or 60 mV Input Spans
- Independently Adjustable Output Span and Zero
- Precalibrated Output Spans: 4–20 mA Unipolar
0–20 mA Unipolar
12 ± 8 mA Bipolar
- Precalibrated 100 Ω RTD Interface
- 6.2 V Reference with Up to 3.5 mA of Current Available
- Uncommitted Auxiliary Amp for Extra Flexibility
- Optional External Pass Transistor to Reduce Self-Heating Errors

FUNCTIONAL BLOCK DIAGRAM



ФОРМИРОВАНИЕ СИГНАЛА 4...20 мА ДЛЯ ТОКОВОЙ ПЕТЛИ ОТ РЕЗИСТИВНОГО ПРЕОБРАЗОВАТЕЛЯ ТЕМПЕРАТУРЫ 100 Ом

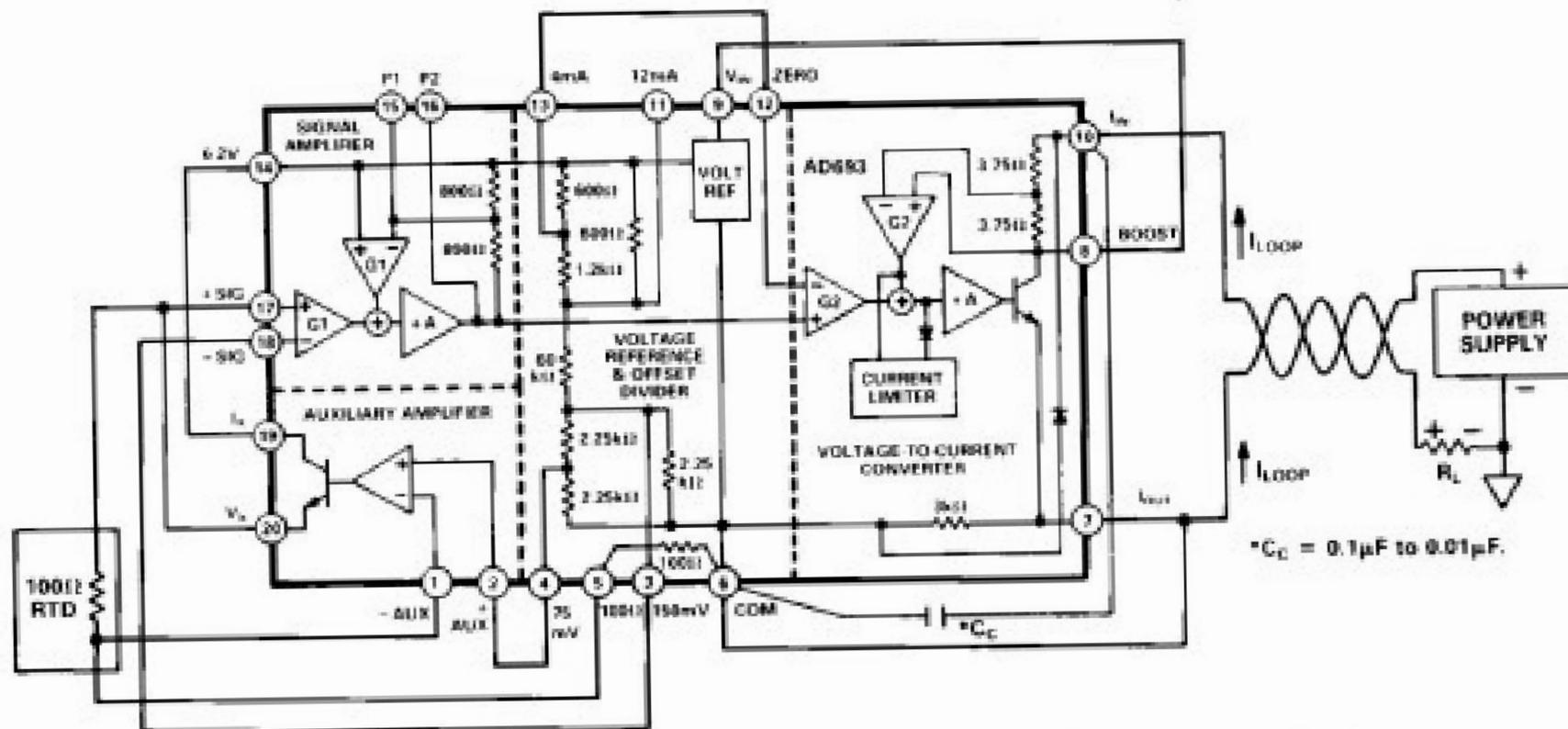


Figure 17. 0-to-104°C Direct Three-Wire 100Ω RTD Interface, 4-20mA Output

ЛОКАЛЬНОЕ ПИТАНИЕ МИКРОСХЕМЫ AD693

ПОЗВОЛЯЕТ ПОЛУЧИТЬ ДИАПАЗОН ВЫХОДНОГО ТОКА 0...20мА.

AD693

