

«Микропроцессорные средства и СИСТЕМЫ»

Лекция №3

СШФ СФУ
П.Черёмушки
2017год



«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Работа первичного управляющего автомата в режиме прерывания

Прерывание – непредусмотренное обращение к подпрограмме. Микро-ЭВМ имеет два вида прерываний: внутренние и внешние. Внутренние при возникновении в МП необычных ситуаций, а внешние прерывания – по требованию устройств ВВ, подсоединенных к общей магистрали.

Обслуживание ВУ по прерываниям является альтернативой программно-управляемому обмену. Если при программном управлении как начало процедуры обмена, так и ее исполнение находятся под управлением программы, то обслуживание по прерываниям инициируется аппаратными средствами УВВ. Совокупность этих средств, команд и программ их обслуживания называется системой прерываний. Обмен с прерыванием основной программы существенно экономит время МП, затрачиваемое на передачу данных в сравнении с асинхронным обменом. Это происходит за счет того, что исчезает необходимость в организации программных циклов ожидания готовности ВУ, на выполнение которых тратится значительное время, особенно при обмене с медленными ВУ.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

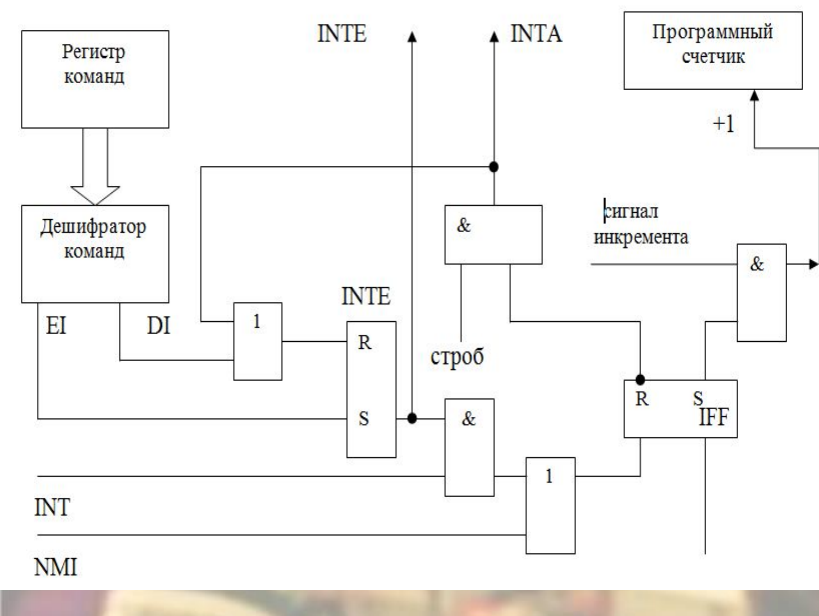
Работа первичного управляющего автомата в режиме прерывания
Общая последовательность реакции процессора на сигнал прерывания содержит следующие действия:

- 1)Периферийное устройство генерирует сигнал прерывания, который подается на вход INT процессора. На этой линии по схеме ИЛИ объединяются запросы всех устройств, работающих в режиме прерываний.**
- 2)МП завершает текущую команду и, если прерывания разрешены, формирует сигнал INTA подтверждения прерывания. До получения этого сигнала устройство сохраняет активный уровень сигнала INT.**
- 3) Осуществляется запоминание содержимого РС и некоторых других регистров МП в стеке, причем содержимое РС запоминается автоматически.**
- 4)МП идентифицирует прерывающее устройство для перехода к соответствующей подпрограмме обслуживания.**
- 5)Выполняется подпрограмма обслуживания прерывания.**
- 6)Восстанавливается состояние прерванной программы, для чего запомненное содержимое регистров извлекается из стека.**
- 7)Возобновляется выполнение прерванной программы**

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Работа первичного управляющего автомата в режиме прерывания

Любое прерывание можно рассматривать как аппаратный вызов подпрограммы. Так как команды ВВ в основной программе отсутствуют, МП после завершения каждой команды проверяет наличие сигнала прерывания до перехода к следующей команде. МП реагирует на запросы маскируемых прерываний по линии INT, если установлен внутренний триггер разрешения прерывания INTE.

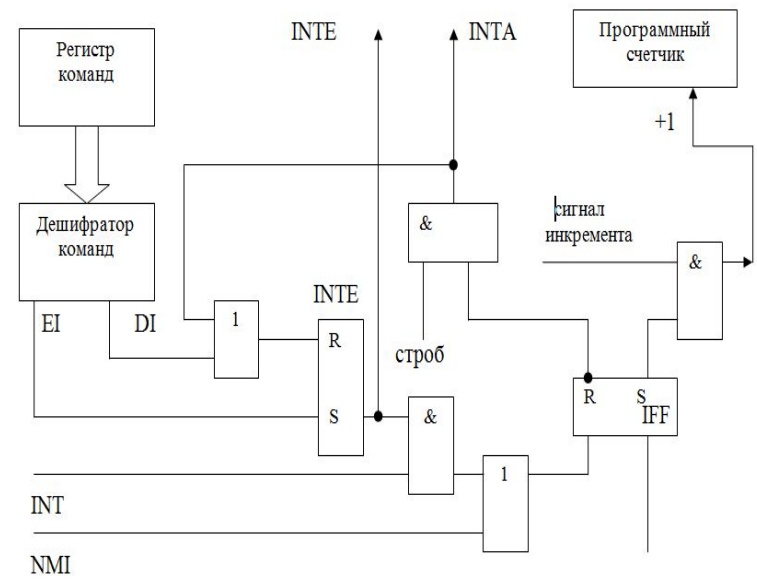


Состояние этого триггера определяет выходной сигнал разрешения прерывания с такой же мнемоникой INTE. Если $INTE=0$, прерывания запрещены (замаскированы) и МП не отвечает на сигнал $INT=1$. С помощью команд разрешения EI и запрещения DI прерываний можно программно управлять состоянием триггера INTE. При разрешении прерывания триггер прерываний IFF переводится в нулевое состояние, что приводит к запрещению инкремента программного счетчика (РС) и генерированию сигнала подтверждения прерывания INTA.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Работа первичного управляющего автомата в режиме прерывания

При появлении сигнала INTA сбрасывается триггер INTE и в дальнейшем разрешить прерывания можно только командой EI. После выполнения команды EI МП обязательно выполнит еще одну команду, даже если на входе INT действует сигнал прерывания $INT=1$. Для данной схемы прерываний каждая подпрограмма обработки прерываний должна последней содержать команду EI.



Запросы немаскируемых прерываний по входу NMI процессор воспринимает всегда, независимо от того, разрешены прерывания или нет. Однако до реакции на сигнал NMI МП все же завершает выполнение текущей команды. Обычно на вход NMI подается сигнал от схемы, фиксирующей уменьшение напряжения питания ниже минимального допустимого уровня, чтобы за время от момента восприятия сигнала NMI до уменьшения напряжения сети ниже критического уровня выполнить несколько команд. Этими командами содержимое всех внутренних регистров и другая важная информация записываются в энергонезависимую память с резервным аккумуляторным питанием.

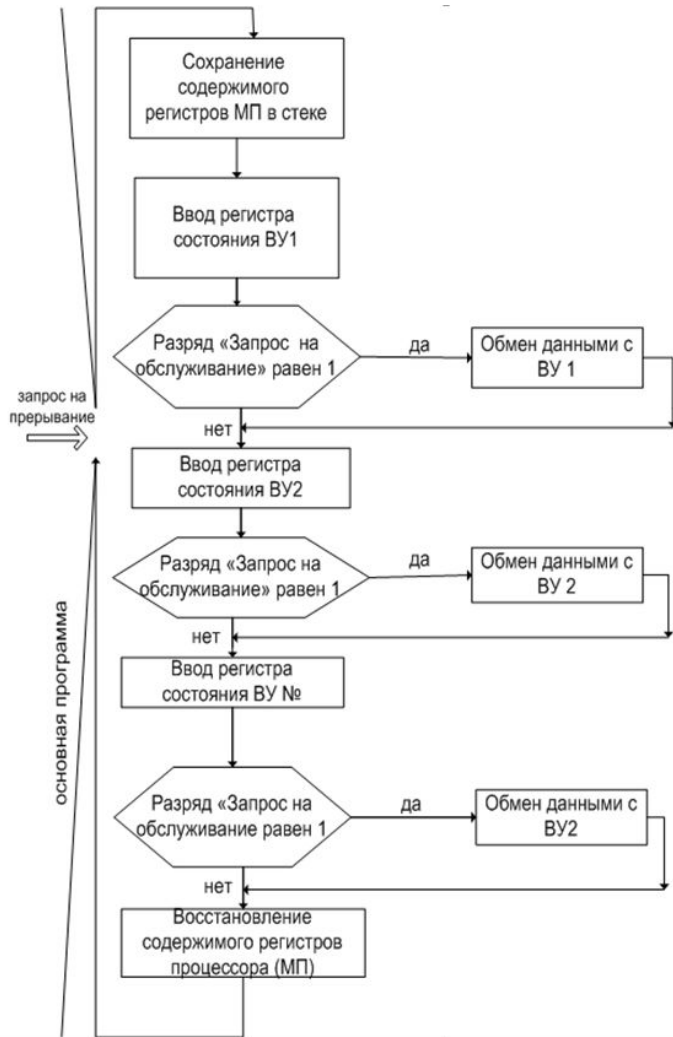
«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Работа первичного управляющего автомата в режиме прерывания
В контроллерах обычно используется одноуровневая система прерываний, т.е. запросы на прерывание от всех ВУ поступают на один вход МП, а именно на вход INT. В некоторых МП триггер INTE (разрешение прерывания) реализуется как один из разрядов регистра состояния МП.

Когда в ЭВМ имеется несколько периферийных УВВ, работающих в режиме прерываний, сигналы их запросов на обслуживание объединяются по схеме ИЛИ и подаются на вход INT МП. Поэтому при наличии сигнала $INT=1$ без дополнительных действий и аппаратных средств невозможно определить какое УВВ должен обслуживать МП, тем более, что запросы на обслуживание могут формироваться одновременно несколькими УВВ.

Поскольку запросы от всех ВУ поступают на один вход МП INT, то **возникает необходимость идентификации ВУ, запросившего обслуживание, и реализации заданной очередности (приоритета) обслуживания ВУ при одновременном поступлении запросов на прерывание.**

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».



Работа первичного управляющего автомата в режиме прерывания

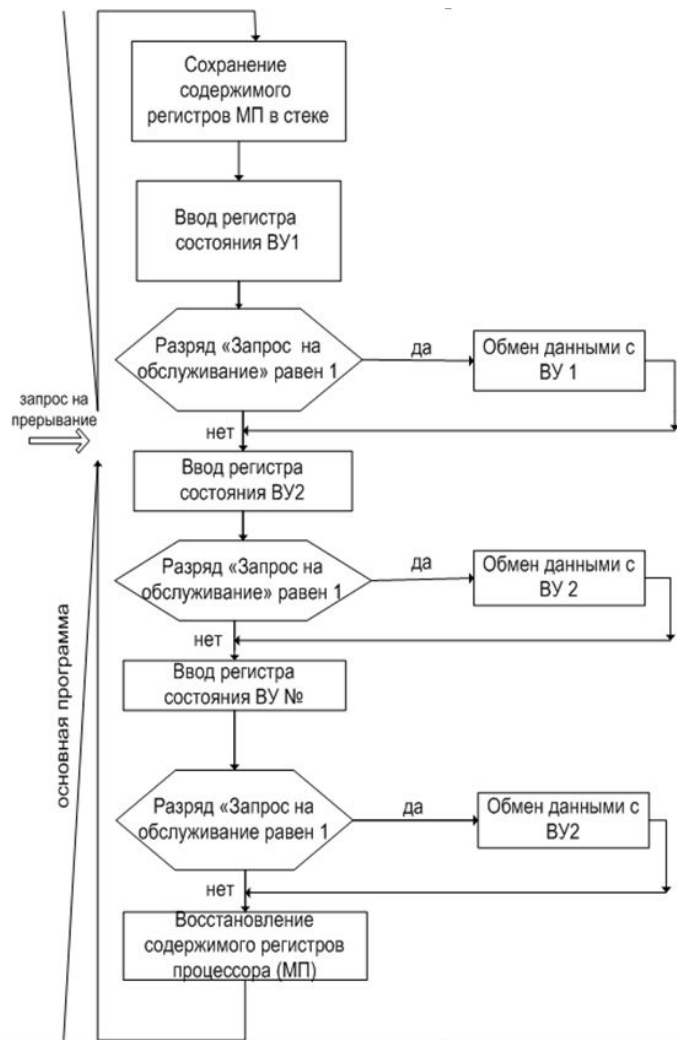
Разработано несколько способов решения этой проблемы- однозначного перехода к определенной подпрограмме обслуживания :

1. Программный полинг (опрос);
2. Аппаратный полинг;
3. Векторные и вложенные прерывания.

Прерывание подпрограмм обслуживания прерываний называется вложением прерываний.

Организация прерываний с программным опросом готовности предполагает наличие в памяти микро-ЭВМ единой подпрограммы обслуживания прерываний от всех ВУ. Структура такой подпрограммы приведена на рисунке.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».



Работа первичного управляющего автомата в режиме прерывания

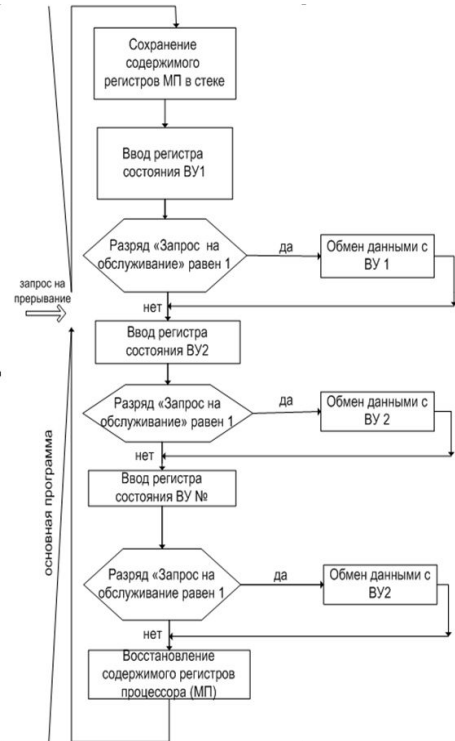
Обслуживание ВУ с помощью единой подпрограммы обработки прерываний производится следующим образом. В конце последнего машинного цикла выполнения текущей команды основной программы процессор проверяет наличие требования прерывания от ВУ. Если сигнал прерывания есть и в МП прерывание разрешено, то МП переключается на выполнение подпрограммы обработки прерываний. После сохранения содержимого регистров МП, используемых в подпрограмме, начинается последовательный опрос регистров состояния контроллеров всех ВУ. Отдельно анализируется значение разряда «Запрос на обслуживание» этих регистров.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Работа первичного управляющего автомата в режиме прерывания

Как только подпрограмма обнаружила готовое к обмену ВУ, сразу выполняются действия по его обслуживанию, т.е. вызывается программа обслуживания, соответствующая данному порту ВВ. Завершается подпрограмма обработки прерывания после опроса готовности всех ВУ и восстановления содержимого регистров МП.

Приоритет ВУ при программном опросе готовности однозначно определяется порядком их опроса в подпрограмме обработки прерываний. Чем раньше опрашивается ВУ, тем меньше время реакции на его запрос и выше приоритет. Необходимость проверки готовности всех ВУ существенно увеличивает время обслуживания ВУ. Это является основным недостатком рассматриваемого способа организации прерываний. Поэтому обслуживание прерываний с опросом готовности ВУ используется только в тех случаях, когда отсутствуют жесткие требования на время обработки сигналов прерываний ВУ.



«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Работа первичного управляющего автомата в режиме прерывания

Использование векторов прерываний позволяет устранить указанный недостаток.

В системах прерываний по вектору ВУ, запросившее обслуживания, само идентифицирует себя с помощью вектора прерывания.

Вектор прерывания – адрес ячейки памяти микро-ЭВМ, в которой хранится либо первая команда подпрограммы обслуживания прерывания данного ВУ, либо адрес начала такой подпрограммы. МП получив вектор прерывания, сразу переключается на выполнение требуемой подпрограммы обработки прерывания без процедуры опроса ВУ. В микро-ЭВМ с векторной системой прерываний каждое ВУ должно иметь собственную подпрограмму обработки прерывания. МП указывает на возможность прерываний по сигналу на выходе INTE. Если на этом выходе присутствует уровень 1, то запросы прерываний могут приниматься. Если уровень 0, то запросы восприниматься не будут. МП автоматически устанавливается в состояние запрета восприятия запросов прерывания после начала обслуживания запроса прерывания. Векторное (направленное) прерывание возникает тогда, когда УВВ, выставившее запрос на прерывание, посылает после удовлетворения запроса адрес A1-An ячейки памяти, где расположена программа прерывания данного УВВ.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Работа первичного управляющего автомата в режиме прерывания

Аппаратные прерывания

Аппаратные прерывания вырабатываются устройствами компьютера, когда возникает необходимость их обслуживания. В отличие от программных прерываний, вызываемых запланировано самой прикладной программой, **аппаратные прерывания всегда происходят асинхронно по отношению к выполняющимся программам.** Кроме того, **может возникнуть одновременно несколько прерываний.** Выбор одного из них для обработки осуществляется на основе приоритетов, приписанных каждому типу прерывания.

Каждому прерыванию назначается свой уникальный приоритет. Если происходит одновременно несколько прерываний, то система отдает предпочтение самому высокоприоритетному, откладывая на время обработку остальных прерываний.

В случае о прерывании самой программы обработки прерывания говорят о **вложенном прерывании.** Уровни приоритетов обозначаются сокращенно IRQ0 — IRQ15 или IRQ0 – IRQ23 (в зависимости от микросхемой реализации).

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Работа первичного управляющего автомата в режиме захвата шины Организация прямого доступа к памяти(захват шины).

Программно управляемый обмен данными предполагает передачу данных из ВУ в аккумулятор, а затем в память или наоборот, из памяти в аккумулятор, а потом в выходной регистр. Однако, программно управляемая пересылка данных – это медленный процесс. При пересылке больших массивов данных это обстоятельство вызывает определенные проблемы. Ранее рассмотренные методы обмена данными относились к передачам между ВУ и МП.

Прямой доступ к памяти (ПДП) – это способ организации быстрой пересылки данных при обмене информацией между памятью и ВУ (внешними устройствами).

Если требуется осуществить обмен между ВУ и памятью, то нет необходимости пересылать данные через МП. В этом режиме обмен данными между ВУ и ОЗУ происходит без участия МП. Обычно между памятью и ВУ обмен данными заключается в пересылке массивов информации. **Построение канала ПДП является альтернативой программному обмену.** Обменом в режиме ПДП управляет не программа, выполняемая МП, а электронная схема БИС, внешняя по отношению к МП.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Работа первичного управляющего автомата в режиме захвата шины Организация прямого доступа к памяти(захват шины).

Аппаратные средства реализации канала ПДП называются контроллером ПДП (КПДП). Схема, управляющая обменом в режиме ПДП, размещается в специальном контроллере, который называется контроллером прямого доступа к памяти.

Для реализации режима прямого доступа к памяти необходимо обеспечить непосредственную связь контроллера ПДП и памяти микро-ЭВМ. Для этой цели можно было бы использовать специально выделенные ША и ШД, связывающие контроллер ПДП и ОЗУ. Однако такое решение значительно усложнит микро-ЭВМ. **В целях сокращения количества линий в шинах микро-ЭВМ контроллер ПДП подключается к ОЗУ посредством шин адреса и данных системного интерфейса.** При этом возникает проблема совместного использования шин системного интерфейса МП и контроллером ПДП. В МП с возможностью ПДП для их принудительного отключения от ША и ШД имеются специальные выходы HOLD и HLDA. Запрос на начало режима прямого доступа к памяти подается контроллером ПДП на вход HOLD (захват) МП БИС. МП, получив этот сигнал, приостанавливает выполнение текущей команды, не дожидаясь ее завершения, выставляет на свой выход HLDA управляющий сигнал предоставления ПДП и отключается от шин адреса и данных.



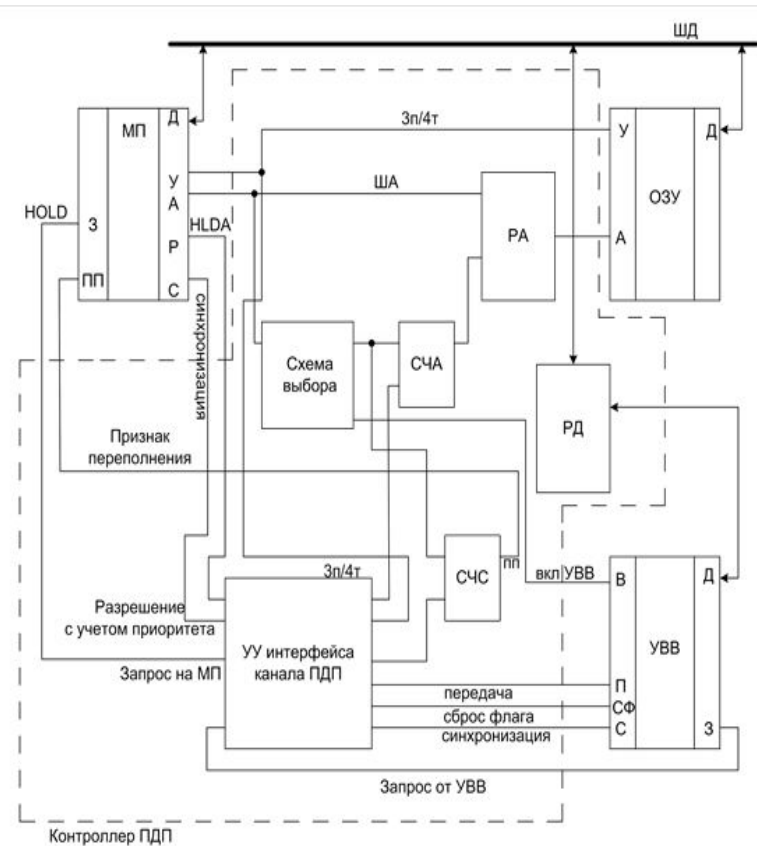
УВВ вырабатывает сигнал запроса на цикл обращения к ОЗУ, который через УУ интерфейса канала ПДП поступает на МП (вход HOLD). МП отвечает сигналом разрешения на захват цикла с учетом приоритета УВВ (выход HLDA).

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Работа первичного управляющего автомата в режиме захвата шины

Организация прямого доступа к памяти(захват шины).

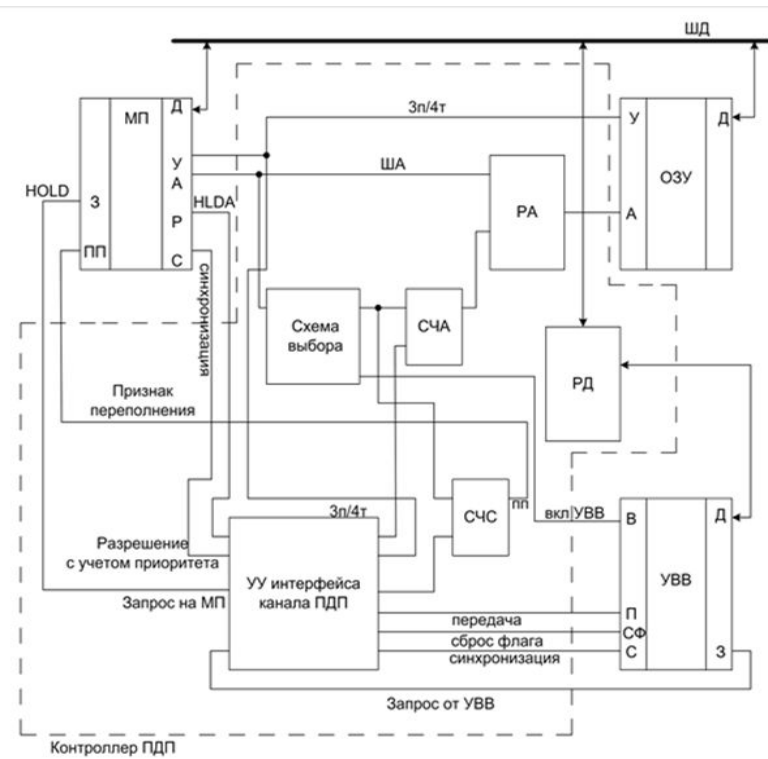
УУ сигналом **СФ** (сброс флага) сбрасывает в нуль триггер **ВУ**, тем самым сообщая ему о начале цикла **ПДП**. После этого в УУ устанавливается единичное состояние триггер активности, что приводит к передаче из **МП** в регистр адреса **РА** адреса первой ячейки памяти **ОЗУ** передаваемого массива данных. Далее **сигналом П (Передача)** инициируется передача данных между **УВВ** и **ОЗУ**. Обмен между **ОЗУ** и **УВВ** происходит через буферный регистр данных **РД**. **УВВ** предоставляется только один цикл работы микро-ЭВМ. Поэтому после записи в **ОЗУ** или чтения одного байта данных триггер активности **УУ** сбрасывается в «0», а **МП** возобновляет выполнение основной программы.



«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Работа первичного управляющего автомата в режиме захвата шины

Когда УВВ подготовится к следующему обмену, оно вновь установит в «1» свой флаговый триггер, что приведет к посылке в УУ нового запроса на доступ к памяти. Предварительно в РА должен быть установлен новый адрес ячейки ОЗУ и посчитано число уже переданных байт данных. Для выполнения этих функций в контроллер ПДП введены два счетчика: **счетчик слов (СЧА)** и **счетчик адреса (СЧС)**. СЧС изначально загружается числом передаваемых байт (кодом длины массива), а СЧА – начальным адресом ОЗУ.



В процессе обмена после каждого обращения к ОЗУ производится инкремент адреса в СЧА и декремент счетчика байт СЧС. Переполнение счетчика слов СЧС является признаком конца массива. Поэтому признак переполнения (ПП) останавливает передачу данных, КПДП прекращает формирование сигналов запроса ПДП и этот режим заканчивается .

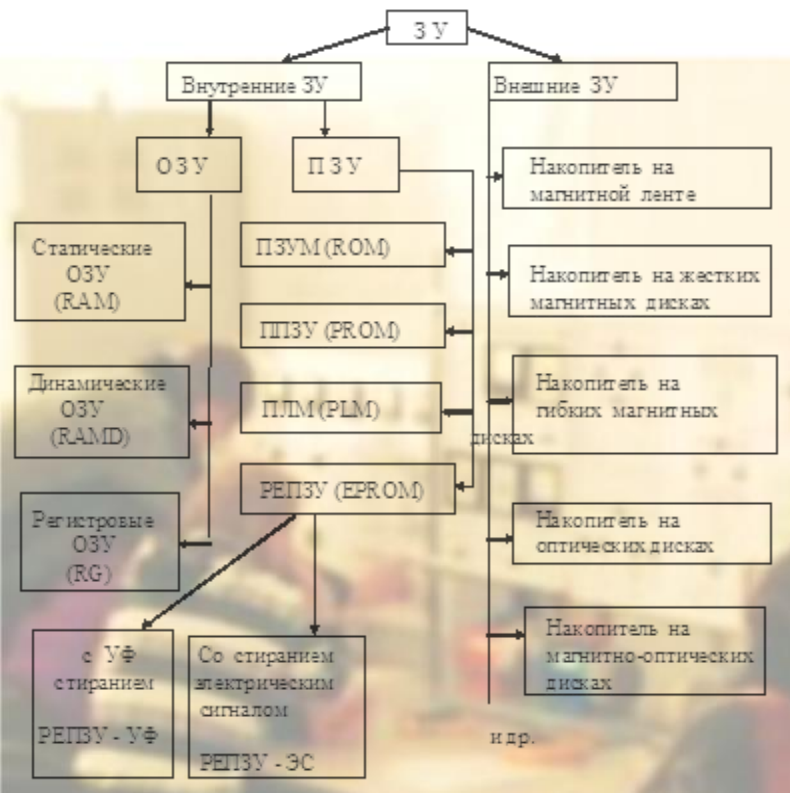
«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Методы и способы организации памяти

Запоминающие устройства

Классификация ЗУ.

Под ЗУ понимают совокупность технических средств, предназначенных для приема, хранения и считывания информации, представленной двоичными кодами. Наиболее распространённой является полупроводниковая память, которая подразделяется на оперативную (ОЗУ) и постоянную (ПЗУ). По технологии изготовления полупроводниковые ЗУ делятся на биполярные и униполярные – МДП, выполненные по технологии ЭСЛ, ТТЛШ, ТТЛ, И2Л, р-МОП, МДП, КМДП.



ОЗУ позволяют записывать информацию и считывать её в процессе выполнения программы. **ПЗУ** позволяют только считывание информации. В ходе выполнения программы содержимое памяти остаётся неизменным. Основным преимуществом постоянных ЗУ (ПЗУ) перед ОЗУ является сохранение информации при снятии энергопитания.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Методы и способы организации памяти

Основные характеристики полупроводниковой памяти

Емкость памяти определяется числом бит хранимой информации. Емкость кристалла обычно выражается также в битах. Важной характеристикой кристалла является

Информационная организация кристалла памяти $M \times N$, где M — число слов, N — разрядность слова. При одинаковом времени обращения память с большей шириной выборки обладает большей информационной емкостью.

Временные характеристики памяти:

- **Время доступа** - временной интервал, определяемый от момента, когда центральный процессор выставил на шину адреса адрес требуемой ячейки памяти и послал по шине управления приказ на чтение или запись данных, до момента осуществления связи адресуемой ячейки с шиной данных.
- **Время восстановления** - это время, необходимое для приведения памяти в исходное состояние после того, как ЦП снял с ША адрес, с ШУ сигнал «чтение» или «запись» и с ШД данные.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Методы и способы организации памяти

Основные характеристики полупроводниковой памяти

Прочие характеристики.

- **Удельная стоимость запоминающего устройства** определяется отношением его стоимости к информационной емкости, т.е. определяется стоимостью бита хранимой информации.
- **Потребляемая энергия** (или рассеиваемая мощность) приводится для двух режимов работы кристалла: режима пассивного хранения информации и активного режима, когда операции записи и считывания выполняются с номинальным быстродействием.
- **Плотность упаковки** определяется площадью запоминающего элемента и зависит от числа транзисторов в схеме элемента и используемой технологии. Наибольшая плотность упаковки достигнута в кристаллах динамической памяти.
- **Допустимая температура окружающей среды** обычно указывается отдельно для активной работы, для пассивного хранения информации и для нерабочего состояния с отключенным питанием. Указывается тип корпуса, если он стандартный, или чертеж корпуса с указанием всех размеров, маркировкой и нумерацией контактов, если корпус новый. Приводятся также условия эксплуатации: рабочее положение, механические воздействия, допустимая влажность и другие.

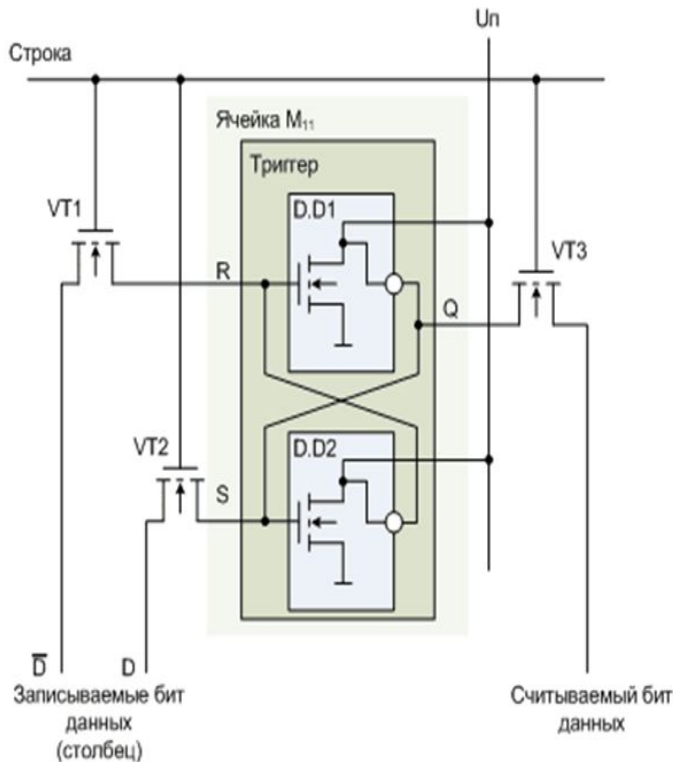
«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Методы и способы организации памяти

Устройство статической памяти

Ячейка статической памяти есть не что иное, как триггер.

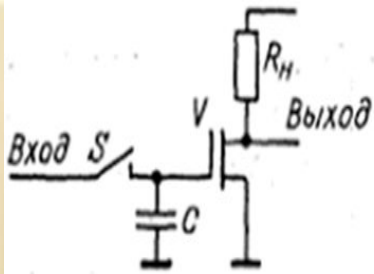
Триггер – переключатель, устройство, которое сколь угодно долго сохраняет одно из своих состояний устойчивого равновесия и скачкообразно переключается по сигналу извне из одного состояния в другое. Выполняется преимущественно полупроводниковых приборах (в том числе на интегральных схемах); применяют главным образом в вычислительных машинах и устройствах автоматики. На рисунке – физическая ячейка статической памяти.



«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Методы и способы организации памяти

Устройство динамической памяти



Схема, иллюстрирующая принцип работы динамической памяти, приведена на рисунке. Входной сигнал поступает на затвор транзистора через ключ. **Конденсатор заряжается входным сигналом до напряжения этого сигнала.** При размыкании ключа заряд на конденсаторе сохраняется, поддерживая

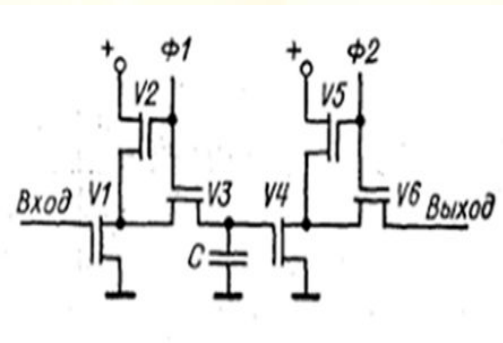
транзистор либо в открытом, либо в закрытом состоянии в зависимости от логического уровня входного сигнала. **Вследствие очень медленного разряда конденсатора через сопротивление затвора уровень входного сигнала сохраняется, т. е. информация «запоминается»,** до следующего замыкания ключа. Выходной сигнал снимается со стока МОП-транзистора, так что конденсатор практически никогда не шунтируется нагрузкой. **Однако практически нельзя сохранить информацию в течение длительного времени.** Ключ представляет собой МОП-транзистор, имеющий некоторое конечное сопротивление, шунтирующее конденсатор. Изоляция затвора транзистора также обладает конечным сопротивлением. Поэтому максимальное время запоминания, или минимальная рабочая частота схемы, определяется емкостью конденсатора и этими двумя сопротивлениями (главным образом сопротивлением ключа).

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Методы и способы организации памяти

Устройство динамической памяти

На рисунке изображена реальная схема динамической ячейки памяти с запоминанием на емкости. Такая ячейка управляется двухтактной серией синхронизирующих импульсов $\Phi 1$ и $\Phi 2$. Запоминающие конденсаторы в интегральной схеме специально не формируются, а в качестве их используются паразитные емкости.



Предположим, что на вход схемы подан логический 0. В течение действия импульса $\Phi 1$ транзисторы $V2$ и $V3$ открыты, а $V1$ — закрыт, на выходе $V3$ потенциал будет близок к напряжению питания и зарядит конденсатор C . В следующий период, во время действия импульса $\Phi 2$, транзистор $V4$ проводит ток, а транзистор $V5$ выполняет роль нагрузочного сопротивления. На выходе будет уровень логического 0. Если же на вход подать логическую 1, то транзистор $V1$ открывается, напряжение питания падает практически полностью на $V2$ и заряда емкости через $V3$ не происходит. В следующем такте, во время действия импульса $\Phi 2$, на выходе будет уровень напряжения питания, т. е. уровень логической 1.

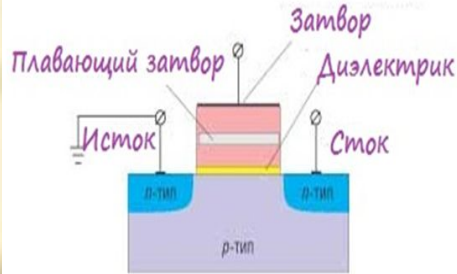
«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Методы и способы организации памяти

Устройство Flash памяти

Основой многих устройств памяти является полевой транзистор с плавающим затвором. Его отличие от обычных полевых транзисторов заключается в том, что между затвором и каналом, прямо в диэлектрике, расположен еще один проводник — который и называют плавающим затвором.

Транзистор с плавающим затвором



На рисунке мы видим привычные нам сток-исток-затвор, а также **расположенный в диэлектрике дополнительный проводник**. Создадим между стоком и истоком разность потенциалов и подадим положительный потенциал на затвор-через полевой транзистор, от стока к истоку потечет ток. Причем величина тока достаточно велика для того, чтобы «пробить» диэлектрик. В результате этого пробоя **часть электронов попадет на плавающий затвор**. Отрицательно заряженный плавающий затвор создает электрическое поле, которое начинает препятствовать протеканию тока в канале, в результате чего транзистор закрывается. И если отключить питание транзистора, электроны с плавающего затвора никуда не денутся и его заряд останется неизменным на долгие годы.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

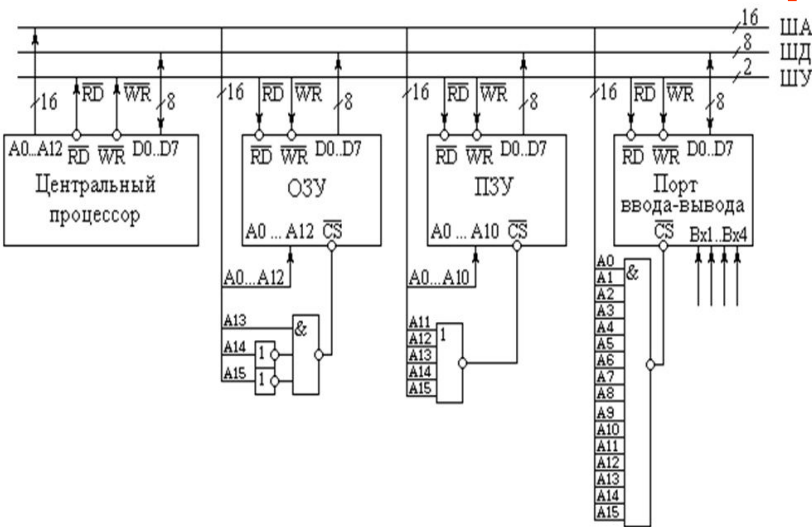


Методы организации памяти. Устройство Flash памяти

Но, конечно же, есть способ разрядить плавающий затвор. Для этого надо всего лишь подать на «основной» затвор напряжение противоположного знака, которое и «сгонит» все электроны, в результате чего плавающий затвор останется не заряженным. Собственно так и происходит хранение информации — если на затворе есть отрицательный заряд, то такое состояние считается логической единицей, а если заряда нет — то это логический ноль. Осталось понять как нам считать информацию из транзистора с плавающим затвором: если при наличии заряда на плавающем затворе его электрическое поле препятствует протеканию тока стока, тогда при отсутствии заряда мы могли подавать на «основной»

затвор напряжение +5В, и при этом в цепи стока начинал протекать ток. При заряженном плавающем затворе такое напряжение не сможет заставить ток течь, поскольку электрическое поле плавающего затвора будет ему мешать. В этом случае ток потечет только при напряжении +10В (к примеру =). Таким образом, мы получаем два пороговых значения напряжения. И, подав, к примеру +7.5В мы сможем по наличию или отсутствию тока стока сделать вывод о наличии или отсутствии заряда на плавающем затворе.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».



Методы и способы организации памяти Адресное пространство микропроцессорного устройства (АП)

Микропроцессоры после включения питания и выполнения процедуры сброса всегда начинают выполнение программы с определённого адреса, чаще всего нулевого. Эта программа должна храниться в памяти, которая не стирается при выключении питания, то есть в ПЗУ.

Для того, чтобы нулевая ячейка ПЗУ оказалась расположенной по нулевому адресу адресного пространства микропроцессора, старшие разряды шины адреса должны быть равны 0. Любой МПС необходима память, поэтому устанавливают одну или несколько микросхем ОЗУ. И, наконец, так как все МПС предназначены для обработки данных, поступающих извне, то в ней должны присутствовать порты ввода-вывода. При подключении различных устройств к системной шине возникает вопрос - как различать эти устройства между собой? Единственный способ сделать это - использовать индивидуальный адрес для каждого устройства, подключенного к системной шине микропроцессора.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

десятичный номер ячейки		двоичный номер ячейки
64K		1111111111111111
		1111111111111110
		1111111111111101
	...	
		0000010000000001
1K		0000010000000000
		0000001111111111
	...	
4		0000000000000100
3		0000000000000011
2		0000000000000010
1		0000000000000001
0		0000000000000000
	7 6 5 4 3 2 1 0	
	номер бита в ячейке	

Методы и способы организации памяти

Адресное пространство микропроцессорного устройства (АП)

Так как адресация производится к каждой ячейке устройства индивидуально, то возникает понятие адресного пространства, занимаемого каждым устройством и адресного пространства микропроцессорного устройства в целом.

Другими словами – адресное пространство определяет число возможных отличных друг от друга кодовых комбинаций (адресов), которое может поддерживать МПС. Адресное пространство определяет потенциальные возможности системы – максимальное число программнодоступных элементов, которые могут присутствовать в ней.

Адресное пространство микропроцессорного устройства чаще всего изображается графически прямоугольником, одна из сторон которого представляет разрядность адресуемой ячейки этого микропроцессора, а другая сторона - весь диапазон доступных адресов для этого же микропроцессора (рис б) (или числовой осью рис а). Обычно в качестве минимально адресуемой ячейки памяти выбирается восьмиразрядная ячейка памяти (байт).

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

64K	Порт ввода-вывода	1111111111111111
	Неиспользуемое адресное пространство	xxxxxxxxxxxxxxxx
16K	ОЗУ	0011111111111111 001xxxxxxxxxxxxx 0010000000000000
8K	Неиспользуемое адресное пространство	000xxxxxxxxxxxxx
2K	ПЗУ	0000011111111111 00000xxxxxxxxx 0000000000000000
0		

Методы и способы организации памяти Адресное пространство микропроцессорного устройства (АП)

Диапазон доступных адресов микропроцессора определяется разрядностью шины адреса системной шины. При этом минимальный номер ячейки памяти (адрес) будет равен 0, а максимальный определяется из формулы:

$$M = 2^n - 1$$

Для шестнадцатиразрядной шины это будет число 65535 (64K).

Понятие адресного пространства позволяет также наглядно представить размещение в нём адресов различных программно-доступных объектов. Пример распределения памяти МПС реальной ЭВМ с шестнадцатиразрядной шиной адреса показан на рисунке:

В адресном пространстве размещены адреса принадлежащие ОЗУ и ПЗУ.

- Зона 2K-8K – не занята.
- Зона с 16K отведена для расширения адресного пространства методом «окна».
- Последние 8K ячеек отведены для адресации регистров контроллеров, входящих в микро-ЭВМ, и, возможно регистров самого процессора. Эта зона может быть в основном свободной.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Методы и способы организации памяти

Способы расширения адресного

Адресное пространство микро-ЭВМ размером, например, 64К для некоторых пользователей оказывается слишком тесным. Это связано с **расширением сферы применения** микро-ЭВМ и переходом к классу задач, решаемых обычно с помощью мини-ЭВМ; **развитием микропроцессорной системы**, с повышением уровней языков программирования.

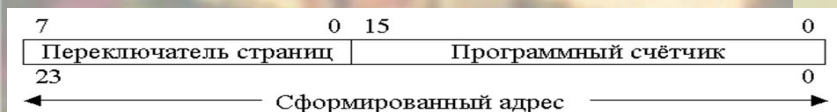
Очевидным способом расширения адресного пространства является **увеличение числа адресных линий**. Так, введение 17^й адресной линии увеличивает адресное пространство до 128К, ещё одна линия позволит адресовать 256К и т.д. Однако такой подход **не является радикальным**, при таком подходе **теряется преемственность моделей** микро-ЭВМ одного класса, **подвергается изменению система команд**, растёт число выводов БИС и т.д.

По этой причине **разработаны различные методы расширения адресного пространства**, из которых наиболее распространены следующие:

- **страничный;**
- **метод окна;**
- **метод базовых регистров (сегментов);**
- **метод банков;**
- **метод виртуальной памяти.**

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Полный адрес	адрес внутри страницы	Адрес ячейки внутри страницы
FFFFFF	FFFF	1111111111111111
FF0000	0000	0000000000000000
02FFFF	FFFF	1111111111111111
020000	0000	0000000000000000
01FFFF	FFFF	1111111111111111
010000	0000	0000000000000000
00FFFF	FFFF	1111111111111111
000000	0000	0000000000000000



Методы расширения адресного пространства

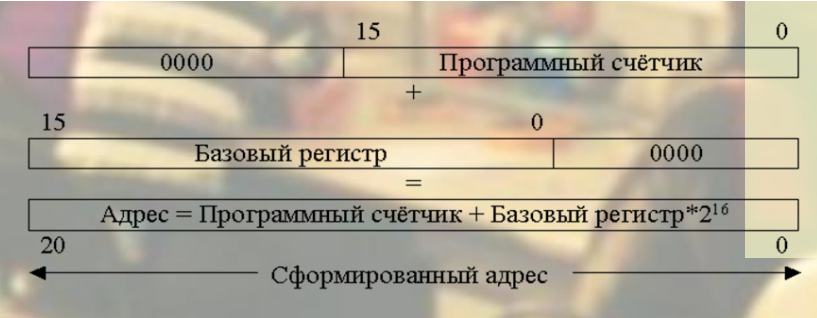
Страничный метод

Метод расширения адресного пространства, при котором адрес ячейки памяти разделяется на адрес страницы и адрес ячейки на странице называется страничным методом.

Для расширения адресного пространства микропроцессора можно воспользоваться параллельным портом. Внешние выводы параллельного порта можно использовать в качестве старших битов адресной шины. Регистр данных параллельного порта при использовании его для расширения адресного пространства будет называться переключателем страниц.

Метод страничной адресации прост в реализации и при формировании адреса физической памяти не приводит к дополнительным временным задержкам, но при использовании многозадачного режима работы процессора для каждой активной задачи выделяется целая страница в системной памяти микропроцессора. При такой работе в системной памяти процессора остаётся много неиспользуемых областей. Решить возникшую проблему позволяет метод сегментной организации памяти.

Полный адрес	адрес внутри сегмента	
FFFFF		Неиспользуемое пространство
17031		
17030	8000	Сегмент 2
0F030	0000	
		...
0F028	0018	Сегмент 1
0F010	0000	
		...
0F005	F005	Сегмент 0
00000	0000	



При сегментном методе организации памяти для расширения адресного пространства используется базовый регистр, относительно которого производится адресация команд или данных в программе. Разрядность базового регистра обычно выбирают равной разрядности счётчика команд. Для формирования физического адреса используется параллельный двоичный сумматор. На входы этого сумматора подаётся содержимое базового регистра и содержимое счётчика команд. Суммирование производится со смещением содержимого базового регистра влево на несколько бит относительно счётчика команд.

В результате максимальный размер сегмента определяется разрядностью программного счётчика, а максимальная неиспользуемая область памяти – смещением базового регистра относительно программного счётчика.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».



Методы расширения адресного пространства

Метод окон

Ещё одним распространённым способом увеличения адресного пространства является применение окон. При использовании окон производится расширение не всего адресного пространства, а только его части.

Внутри адресного пространства выделяется некоторая область, которая называется окном. В это окно может отображаться часть другого адресного пространства.

При использовании окон может быть использован как страничный метод отображения адресного пространства, так и сегментный метод отображения адресного пространства в окно.

Принцип построения оконной адресации при отображении страниц показан на рисунке.

«Микропроцессорные системы (МПС): работа первичного управляющего автомата в режиме прерывания и в режиме захвата шины. Методы и способы организации памяти».

Методы и способы организации памяти.

Способы расширения адресного пространства: метод банков и метод виртуальной памяти.

- **Метод банков** – метод, при котором АП делится на банки (области с фиксированным размером, например 64К). В процессе записи/чтения можно обратиться к любой ячейке памяти внутри банка, задавая номер банка и адрес ячейки внутри банка. Процесс очистки содержимого ячейки невозможен, очистить можно только целиком весь банк (такой метод расширения АП применяют при работе с Flash-накопителями (PeПЗУ)).
- **Метод виртуальной памяти** состоит в том, что в случае заполнения ОЗУ часть информации перемещается на внешнее ЗУ (например, на жестком диске ЭВМ организуется специальная область называемая «Swar» или «Файл подкачки»), и извлекается оттуда при необходимости. Преимущества данного метода в том, что увеличение АП можно производить во много раз (пределом может служить только объем жесткого диска, или ограничения на размер «файла подкачки», накладываемое пользователем). Но из-за того, что скорость обмена информацией с внешним ЗУ существенно ниже, чем ОЗУ – значительно увеличивается время загрузки данных из виртуальной памяти, что снижает быстродействие системы в целом.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Литература:

1. Микропроцессорные системы [Электронный ресурс] : электрон. учеб. посо-бие / О. В. Непомнящий, Е. А. Вейсов, Г. А. Скотников, М. В. Савицкая. – Электрон. дан. (4 Мб). – Красноярск : ИПК СФУ, 2009.
2. <http://baumanki.net/lectures/10-informatika-i-programmirovaniye/377-elementy-mikroprocessornoy-tehniki/5147-4-mikroprocessory.html>
3. <http://microtechnics.ru/flash-pamyat-princip-raboty/>

**Благодарю за внимание, готов ответить
на Ваши вопросы**

A photograph of a control room with several people working at consoles. The room is filled with large panels featuring numerous buttons, switches, and small monitors. The lighting is somewhat dim, and the overall tone is slightly yellowish. The text is overlaid on the left side of the image.

А.М. Волошин
Ст. преподаватель
СШФ СФУ