

Лекция 6

Архитектура FPGA Cyclone II фирмы Altera

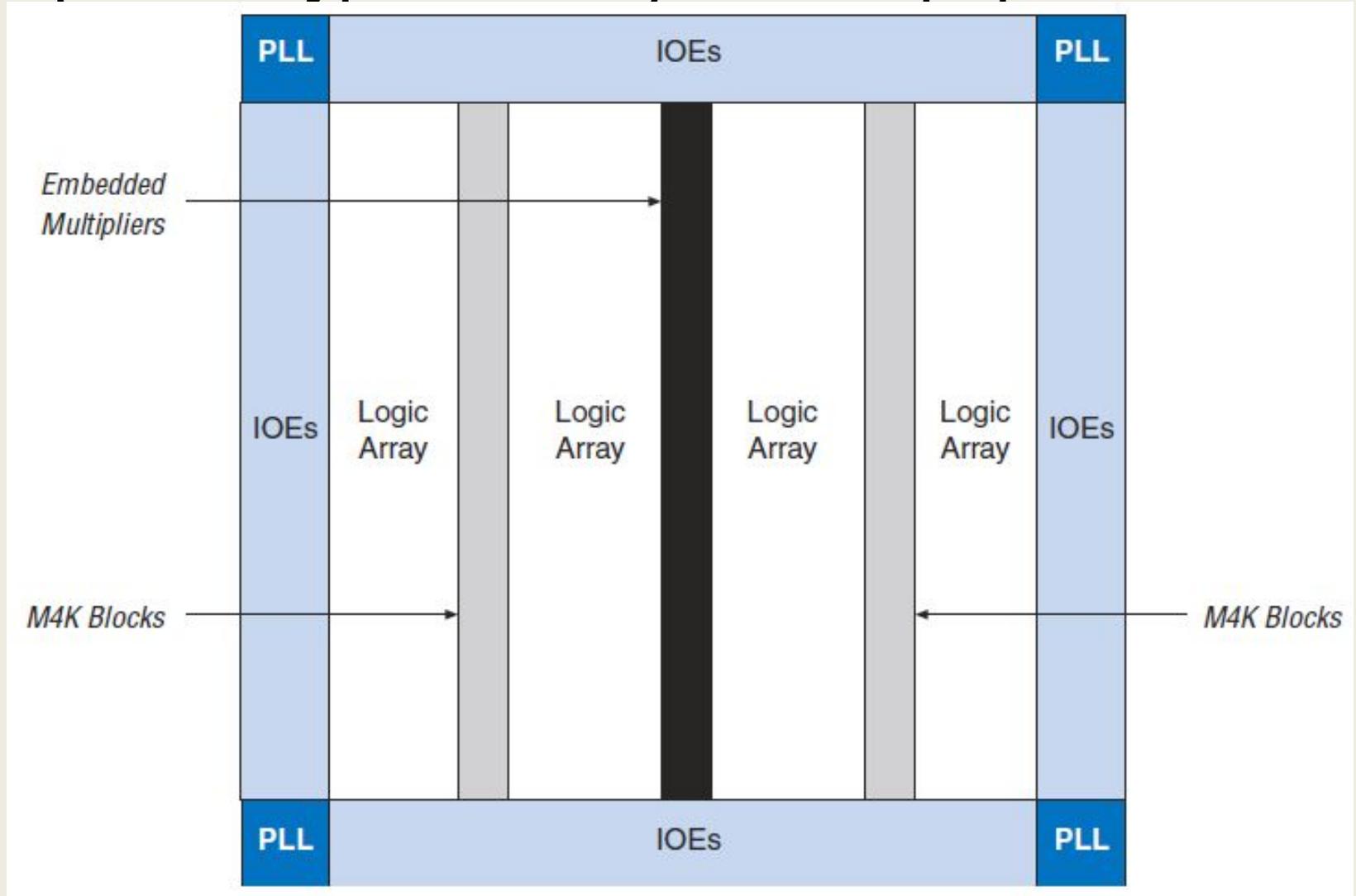


Рис. 1 – Архитектура FPGA Cyclone

Логическая ячейка FPGA Cyclone II

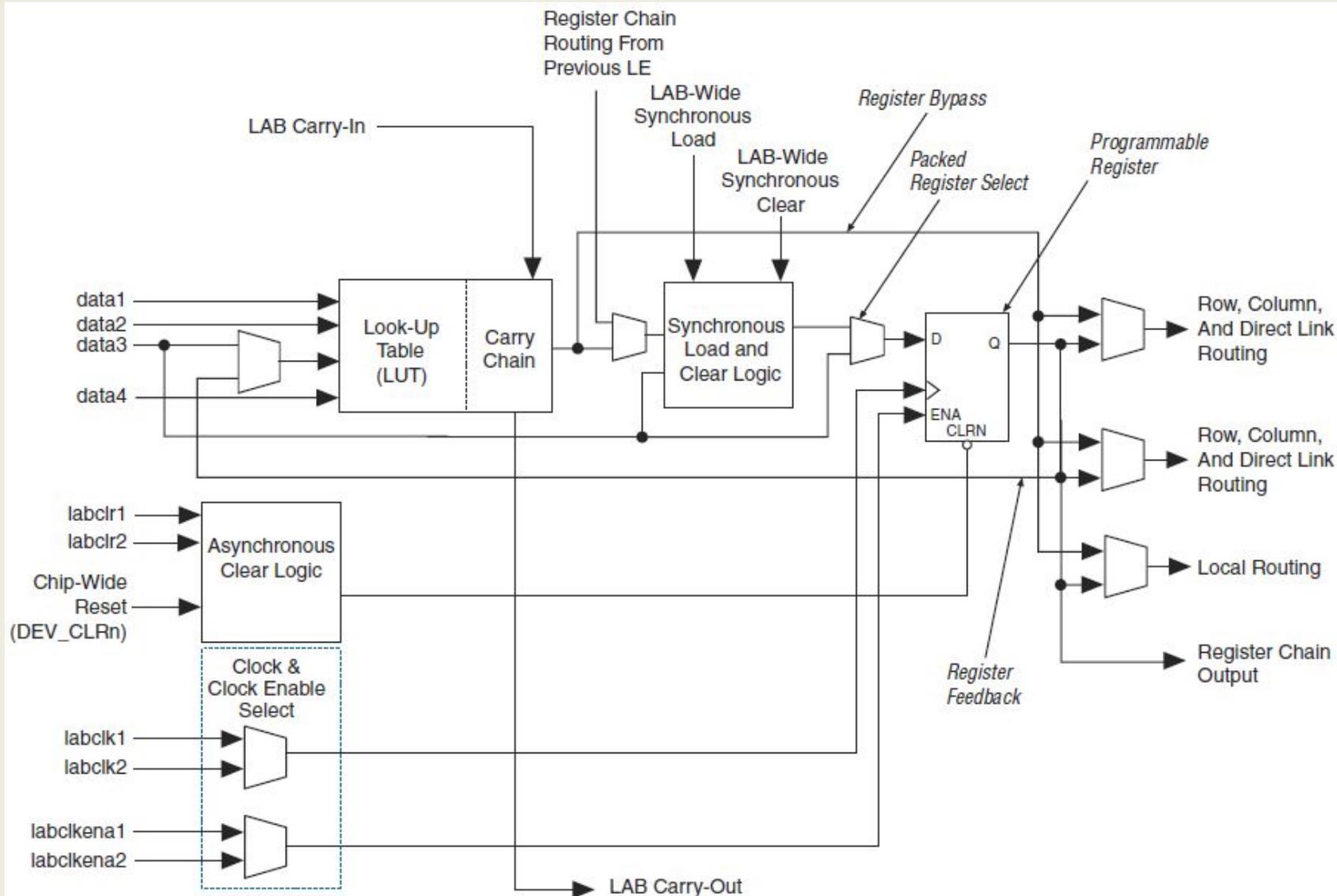


Рис. 2 – Логическая ячейка FPGA Cyclone II

Логическая ячейка FPGA Cyclone II

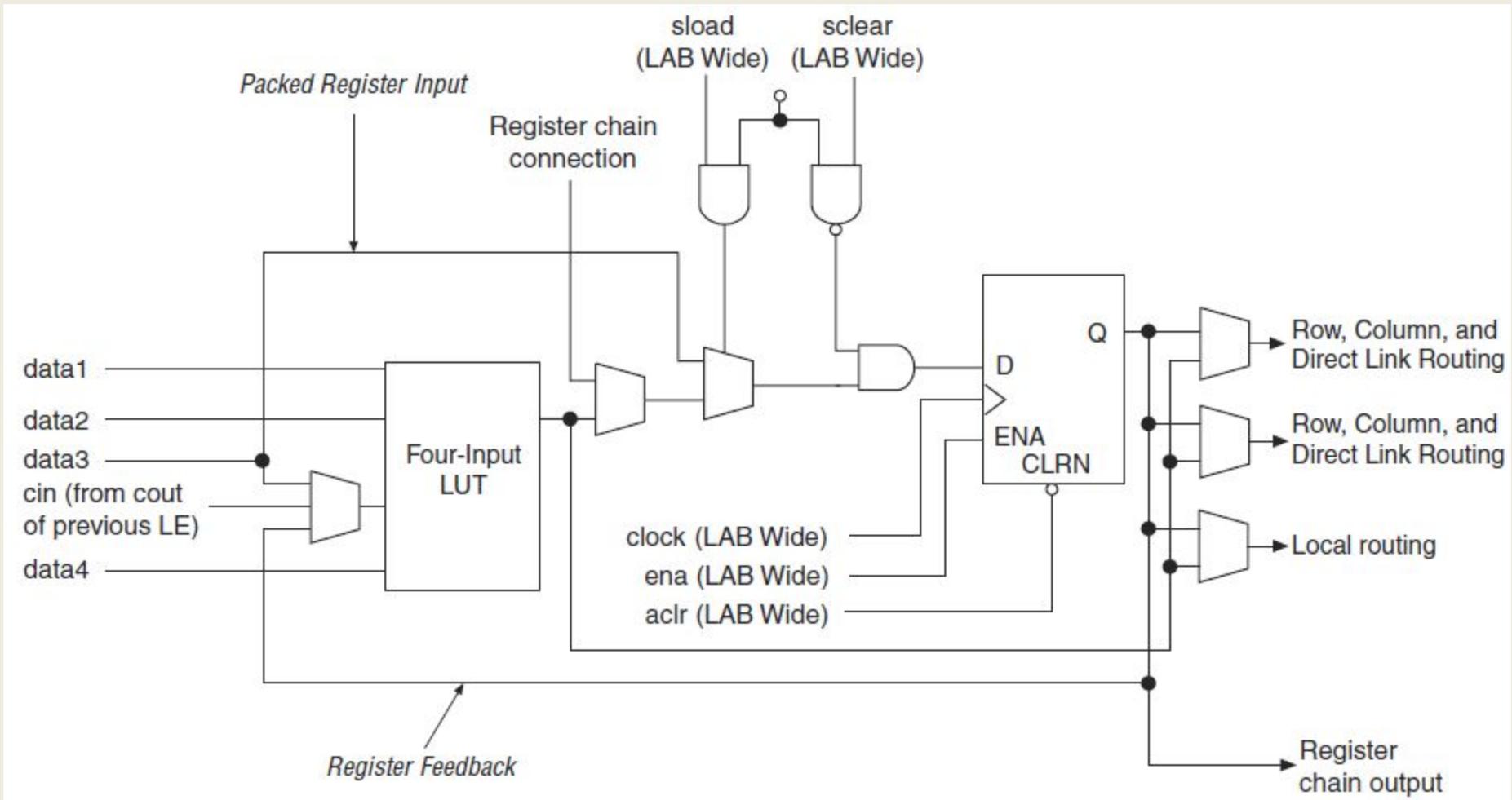


Рис. 3 – Логическая ячейка в нормальном режиме

Блок логических ячеек

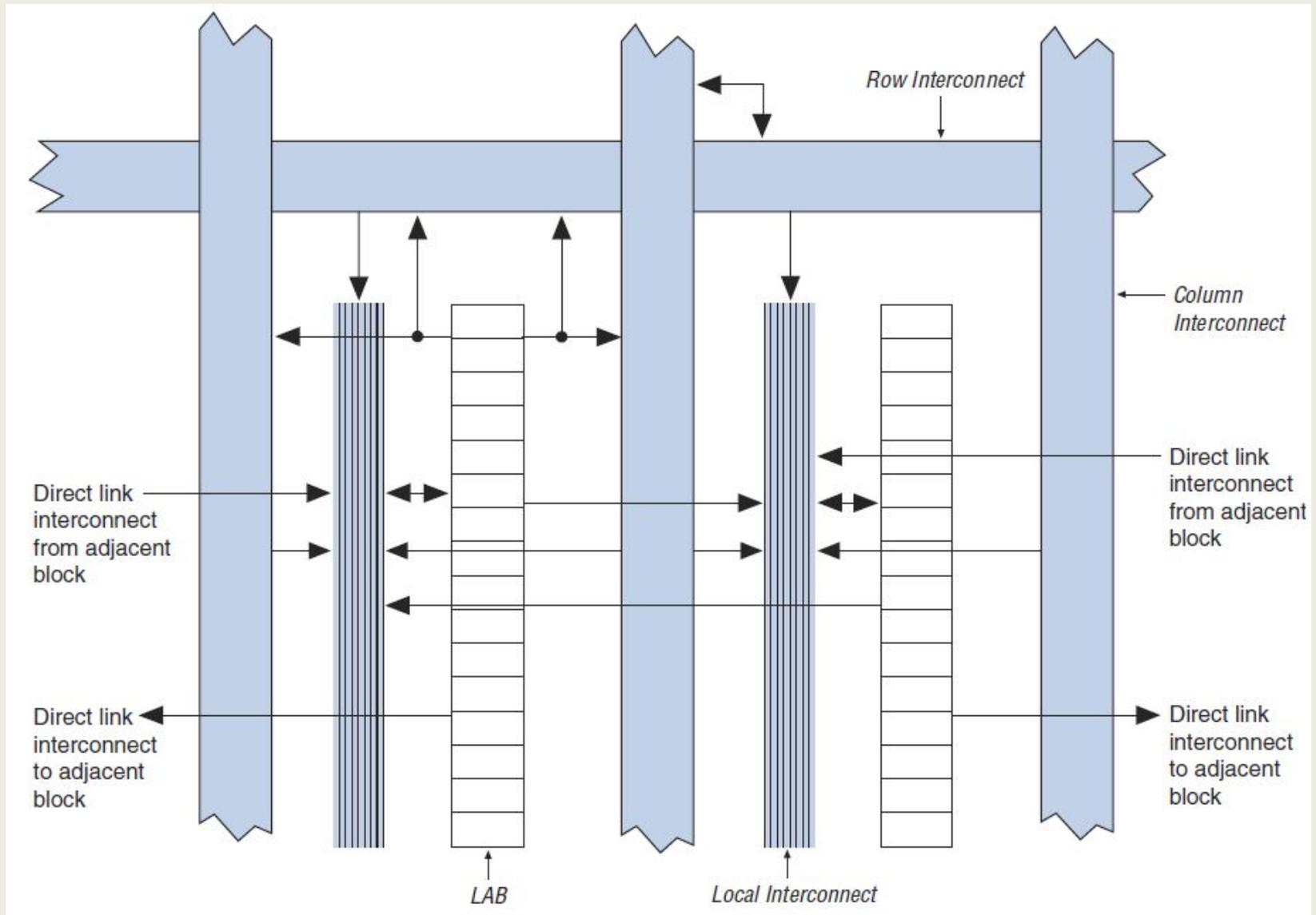


Рис. 5 – Разводка сигналов программируемой матрицы соединений

Система синхронизации и PLL

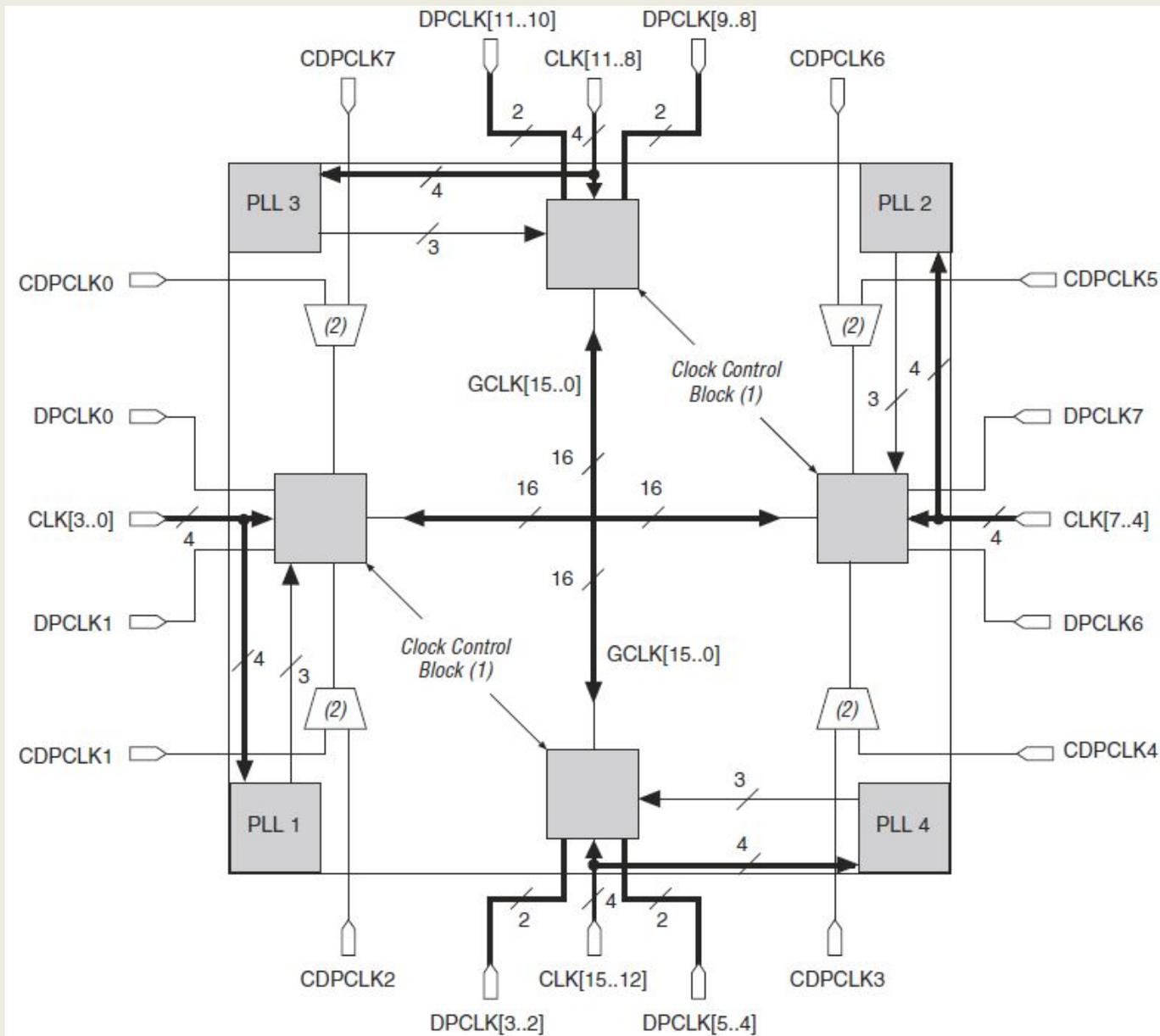


Рис.6 – Схема разводки синхросигнала по микросхеме

Блок управления тактовым сигналом

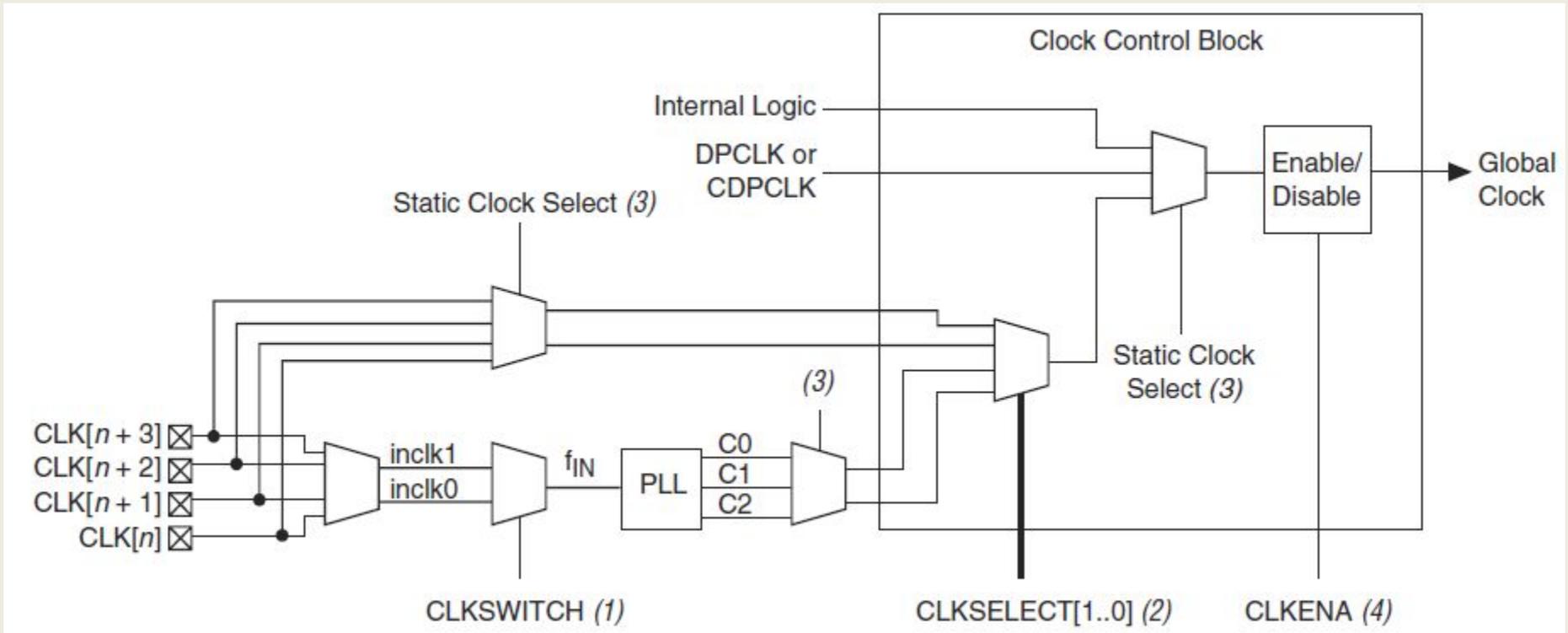


Рис.7 – Схема блока управления тактовым сигналом

Схема PLL

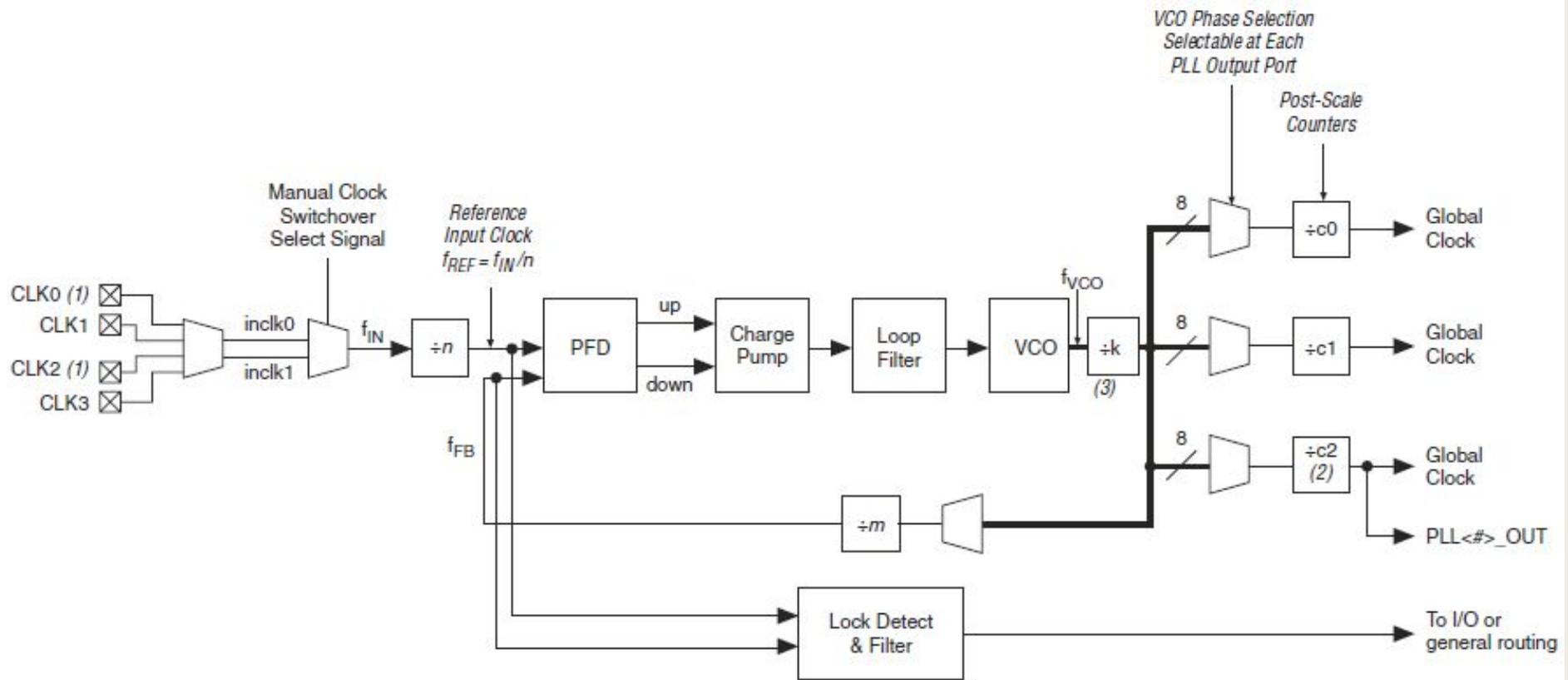


Рис.8 – Схема PLL (фазовой автоподстройки частоты)

Встроенные блоки памяти M4K

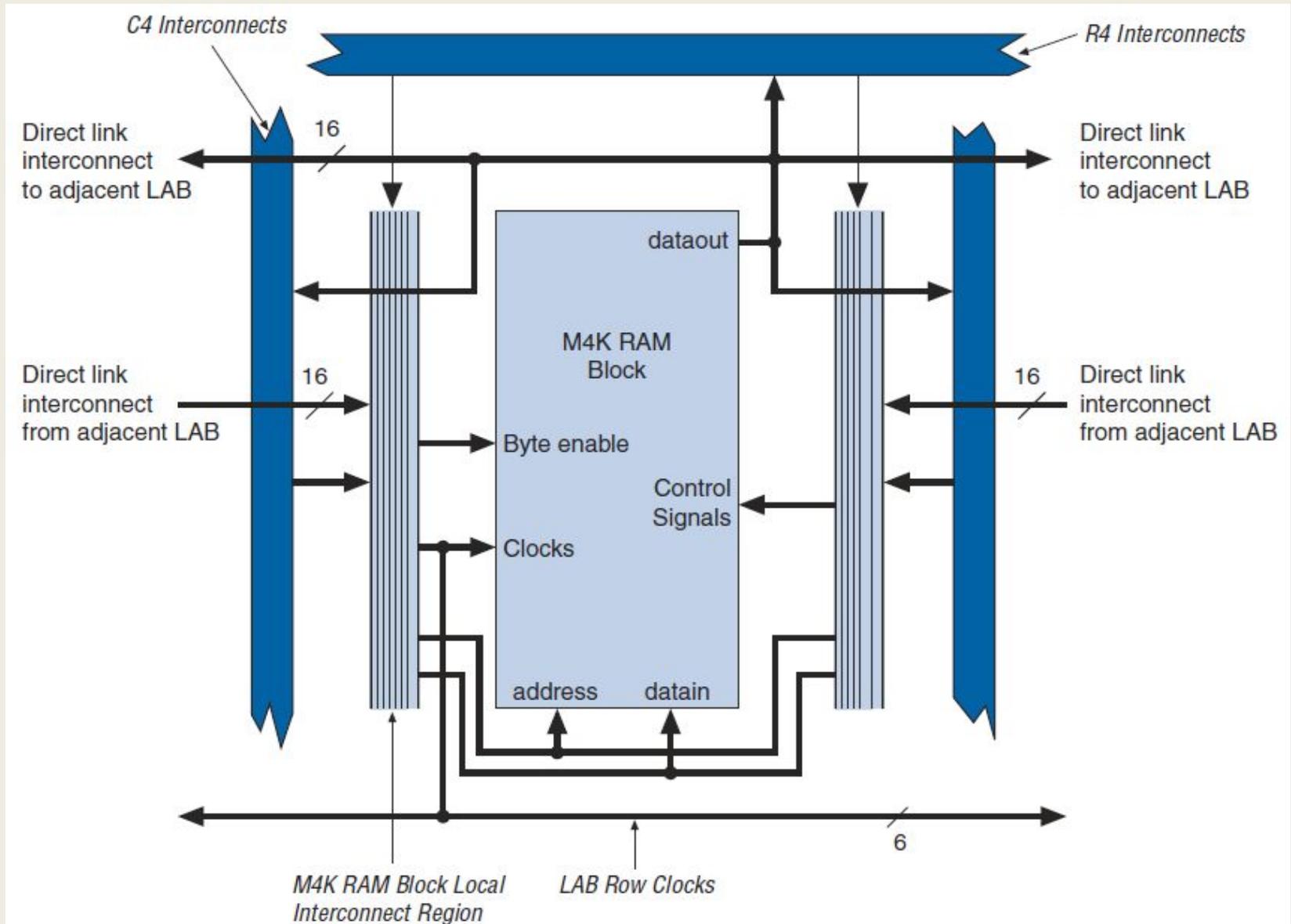


Рис.9 – Подключение блоков памяти к внутренним сигналам

Встроенный умножитель

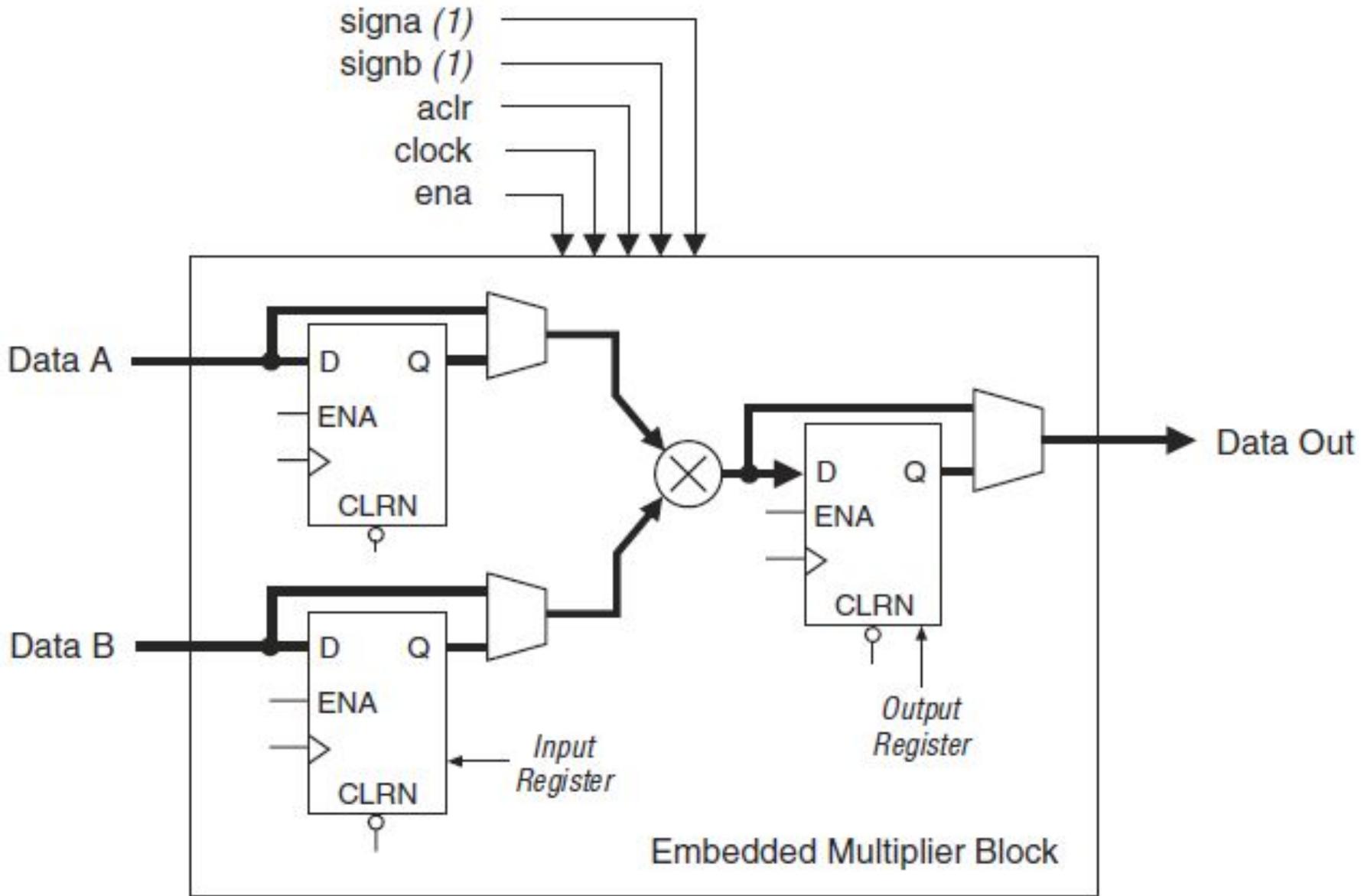


Рис.10 – Схема встроенных умножителей

Банки блоков ввода/вывода

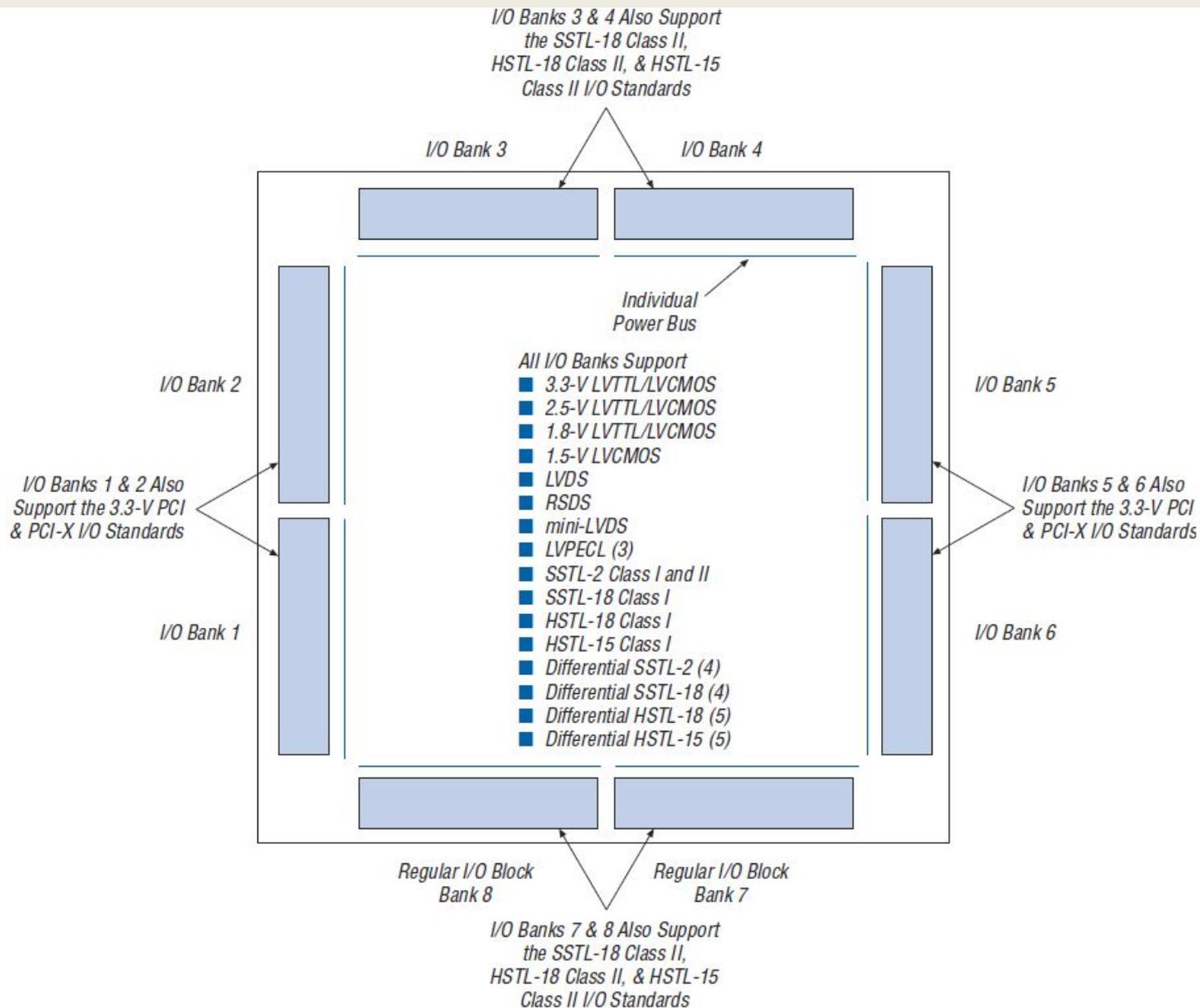


Рис.12 – Размещение банков блоков ввода/вывода

Стандарты логических интерфейсов

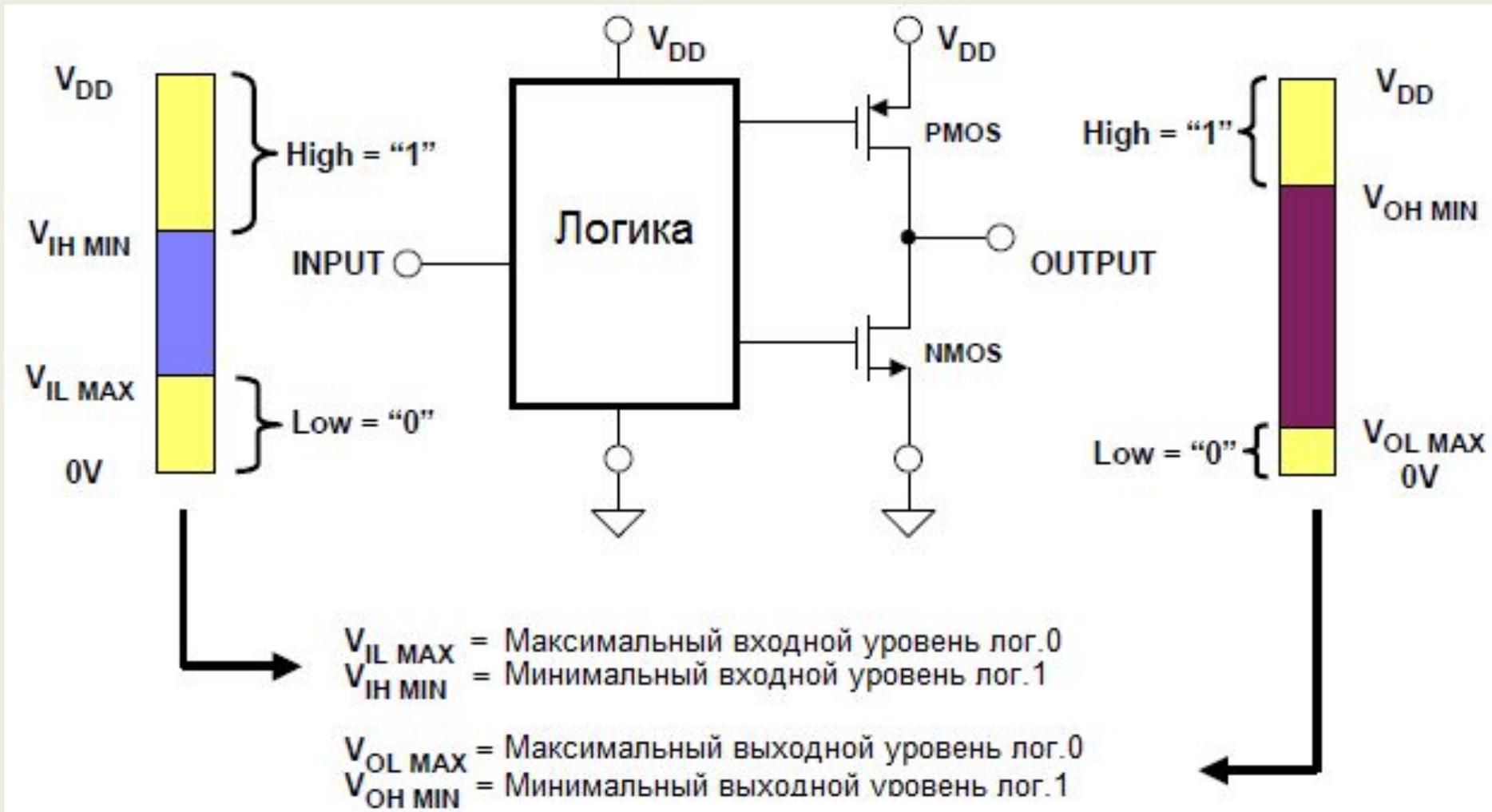


Рис.13 – Основные входные и выходные параметры логических интерфейсов

Стандарты ТТЛ и КМОП

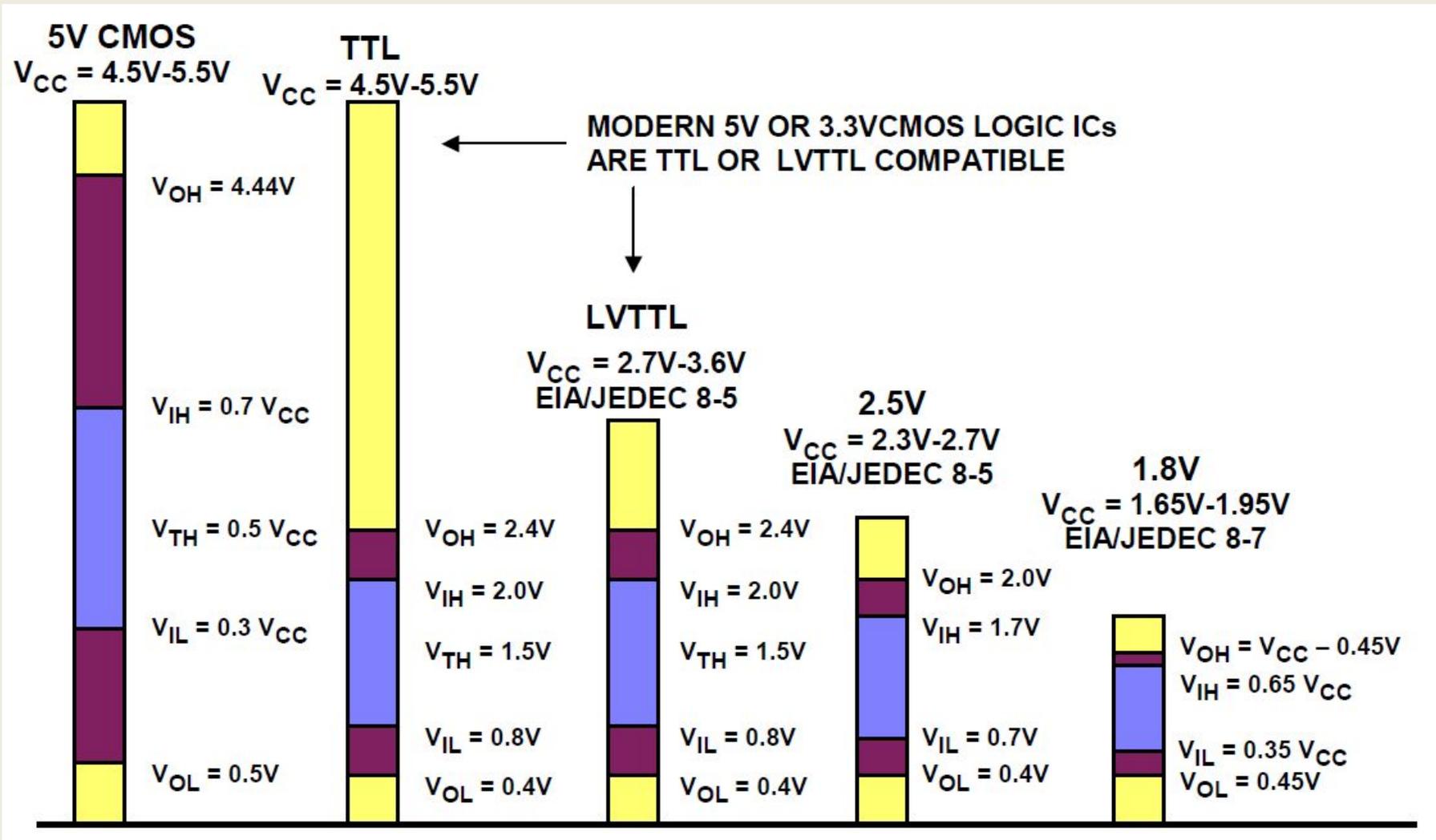
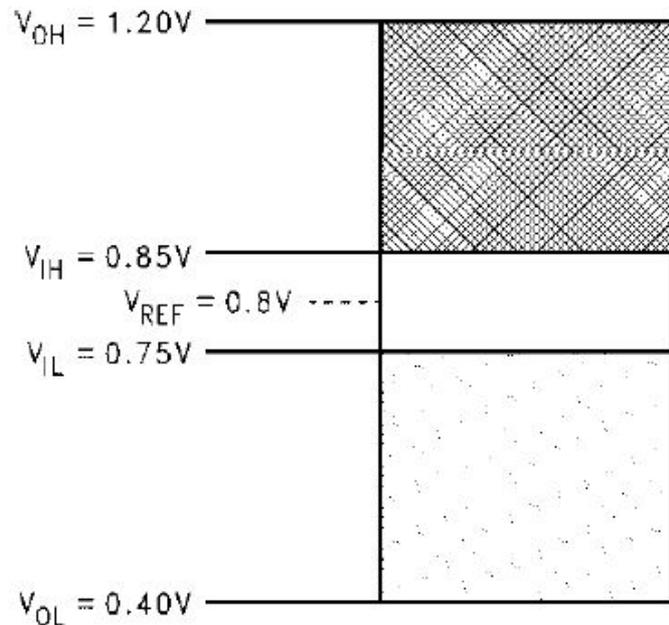
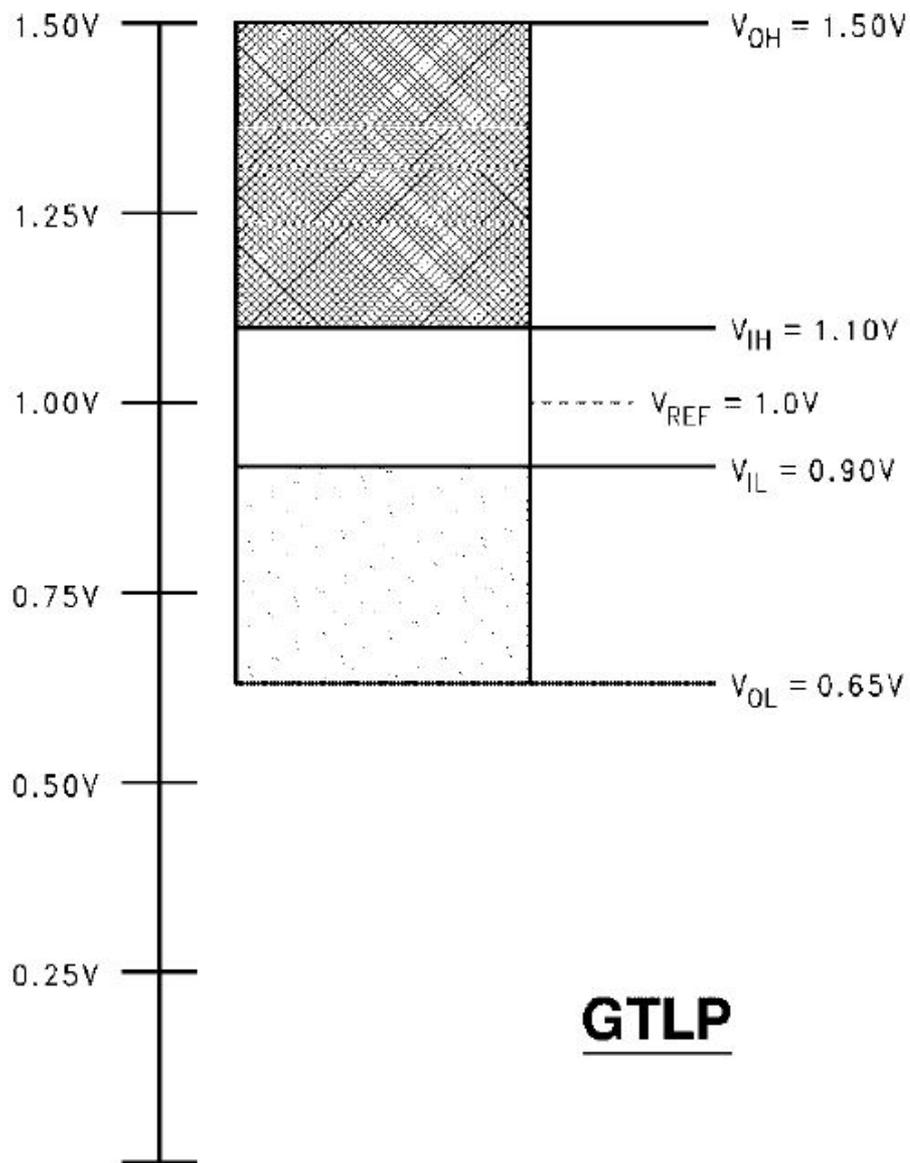


Рис. 14 – Стандарты ТТЛ и КМОП

Стандарты с опорным напряжением



GTL



GTLP

Рис. 15 – Стандарты GTL и GTLP

Стандарты с опорным напряжением

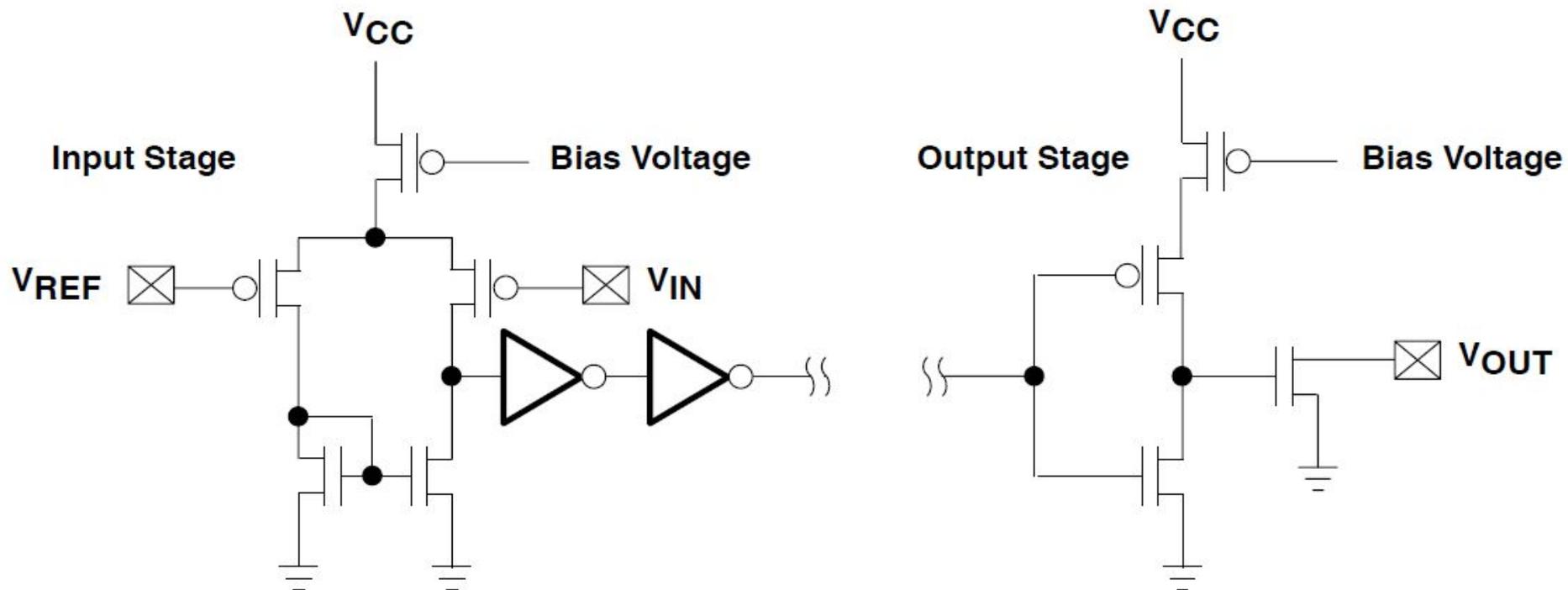
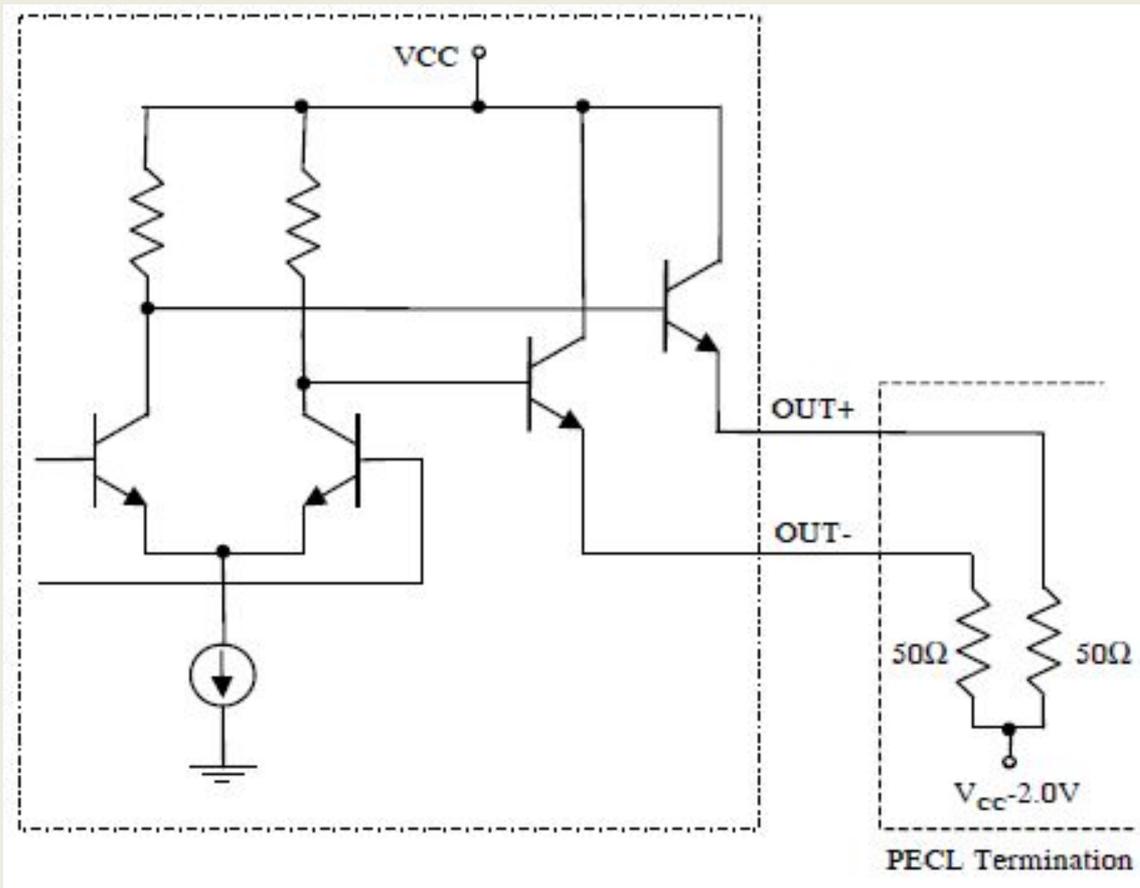
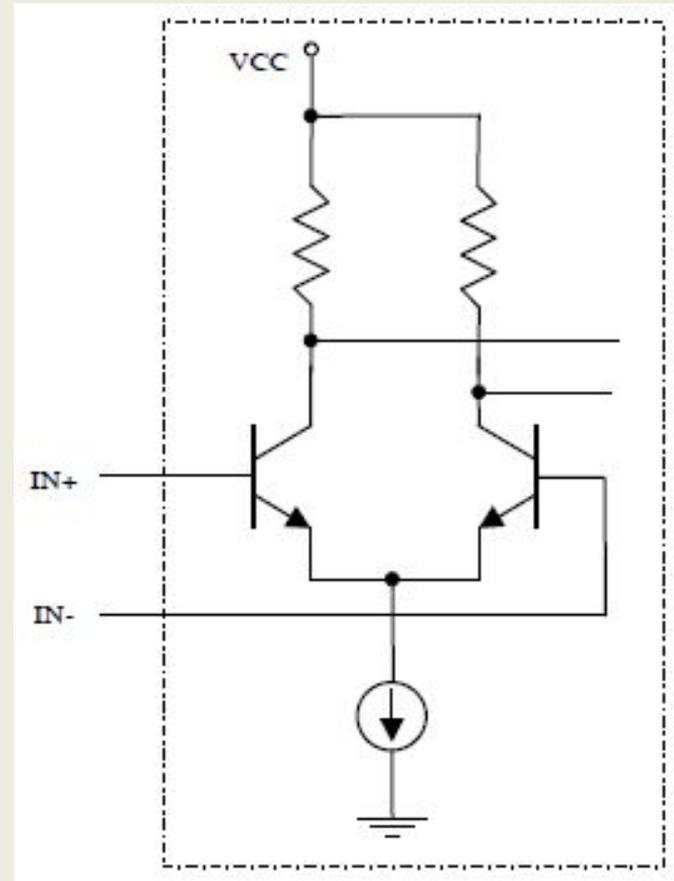


Рис. 16 – Входные и выходные каскады стандарта GTL

Дифференциальные стандарты



Выход



Вход

Рис. 17 – Стандарт PECL

Дифференциальные стандарты

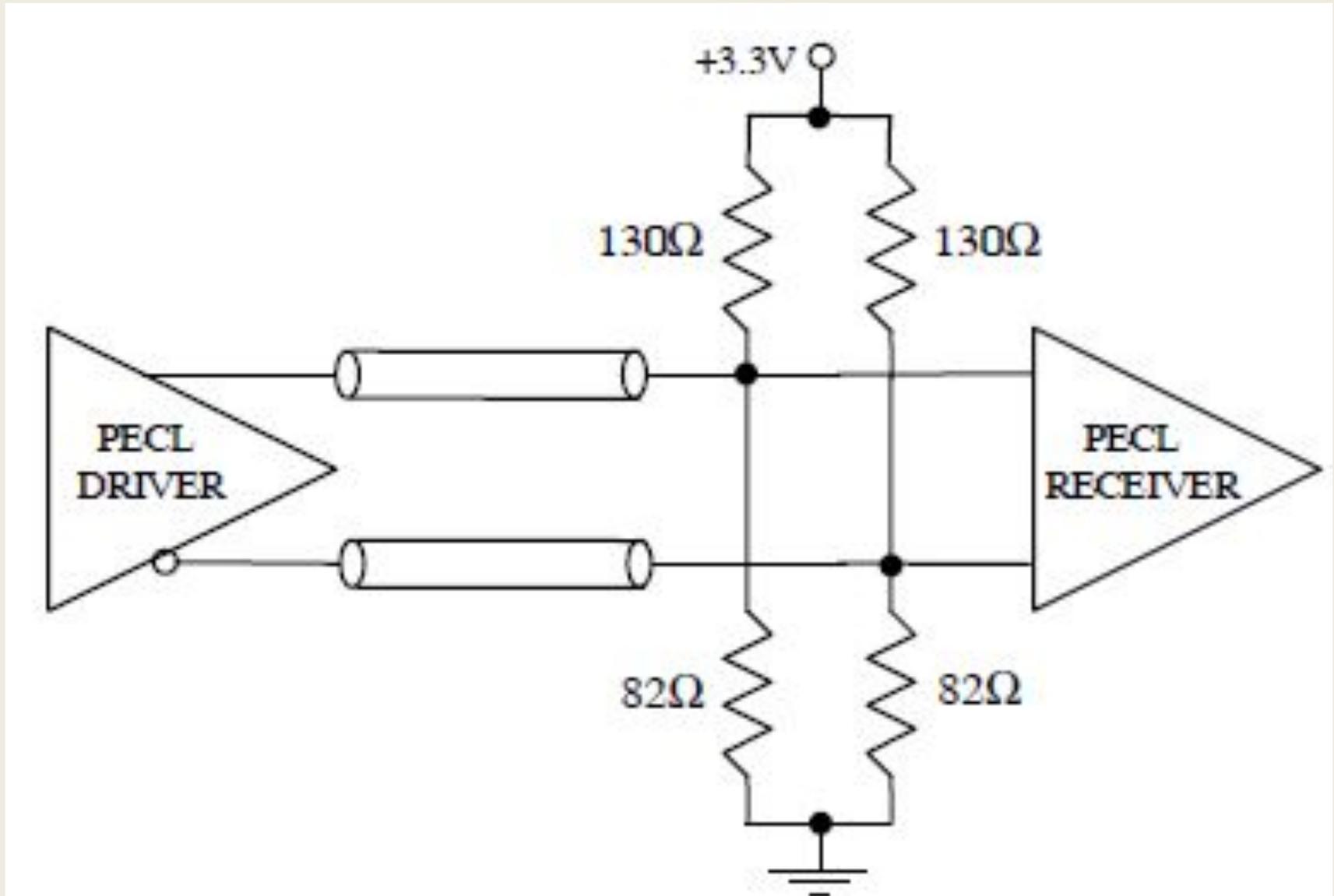
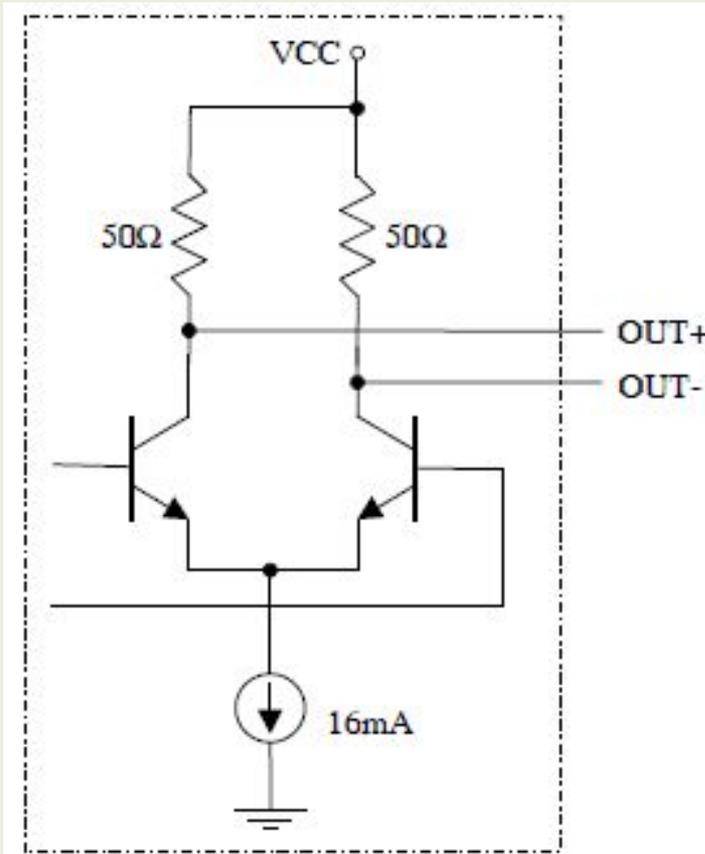
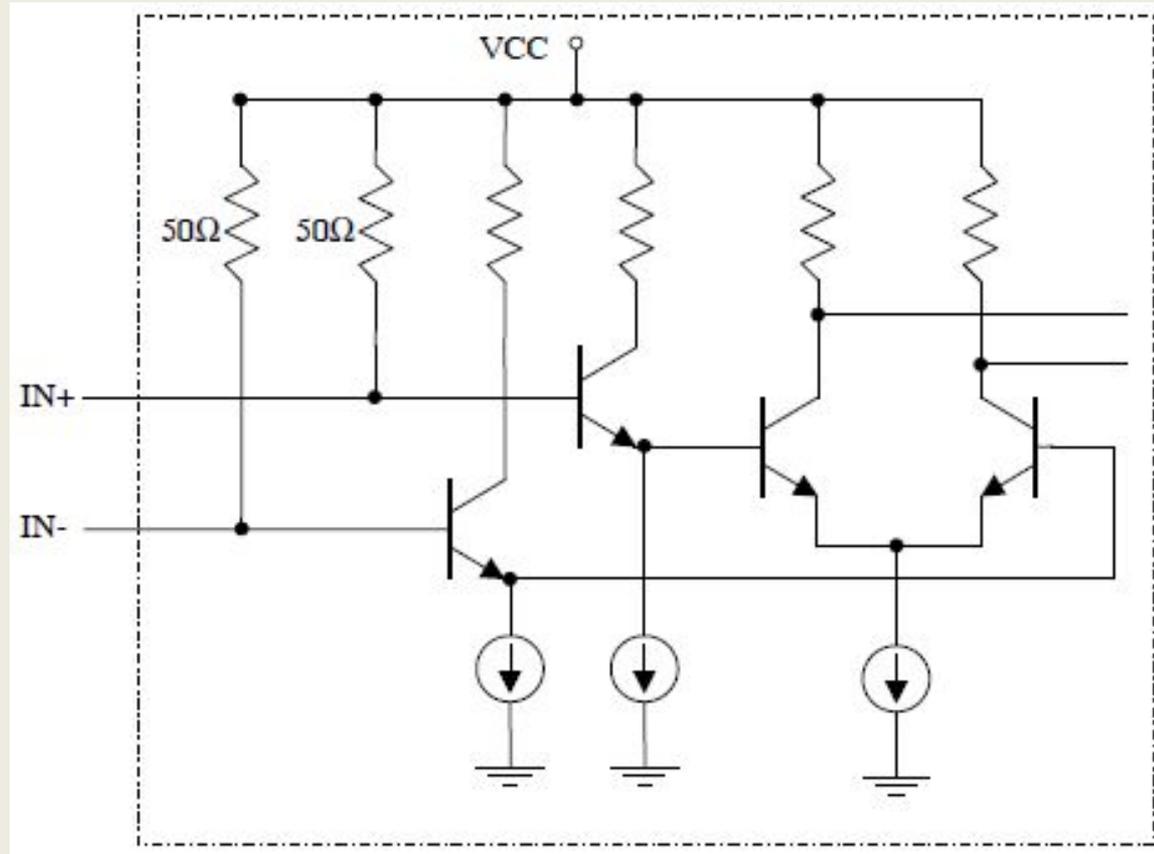


Рис. 18 – Соединение приемника и передатчика PECL

Дифференциальные стандарты



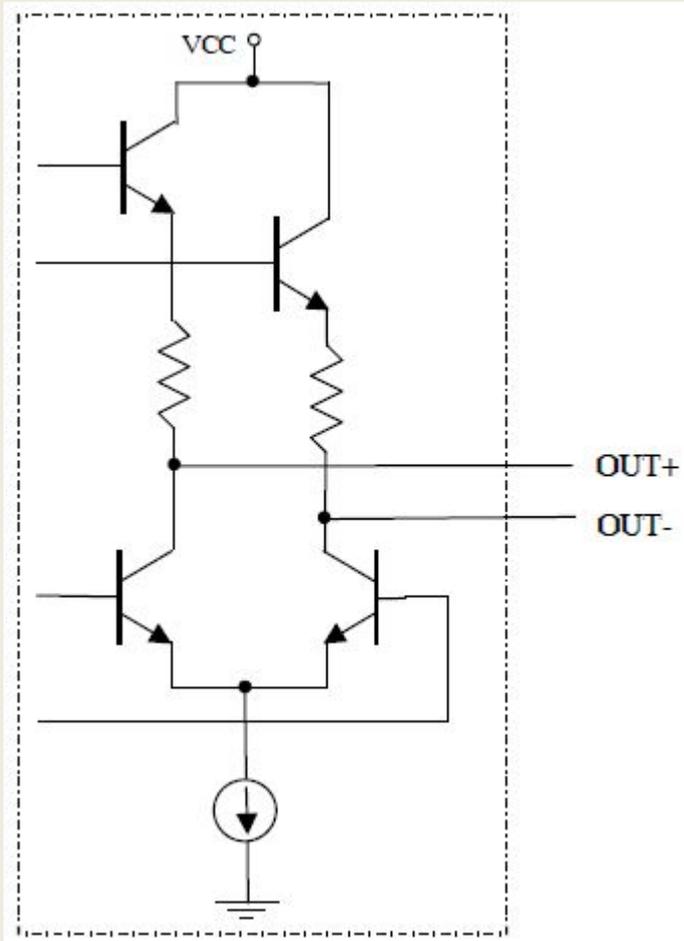
Выход



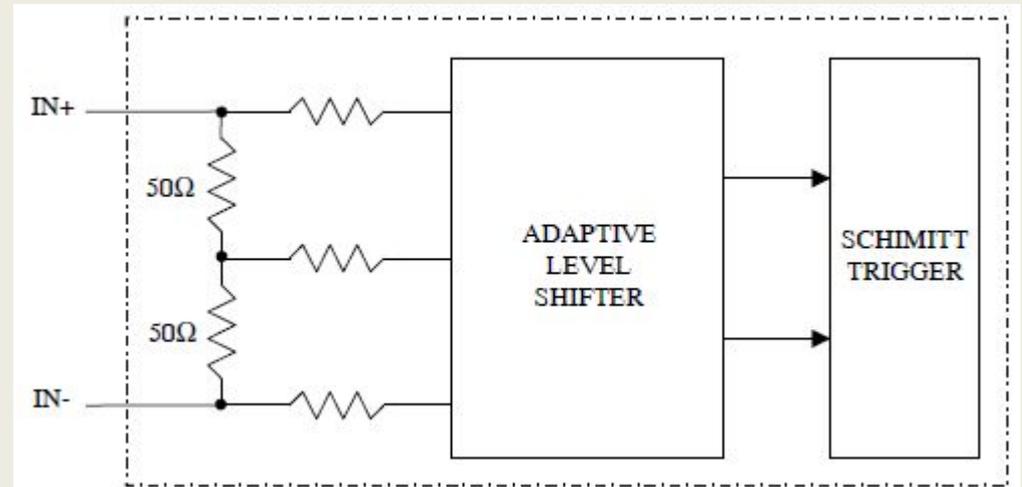
Вход

Рис. 19 – Стандарт CML

Дифференциальные стандарты



Выход



Вход

Рис. 20 – Стандарт LVDS