

Федеральное
Агентство
по Образованию

Сибирский Государственный Аэрокосмический Университет
имени академика М. Ф. Решетнёва

Конспект лекций по БЦВУиМ

Автор:
доцент кафедры ТЭЭ и ПНК ИГА СибГАУ
Зандер Ф. В.

Содержание

Основное понятие о БЦВУиМ

Алгебра Буля

Цифровая Логика

Память

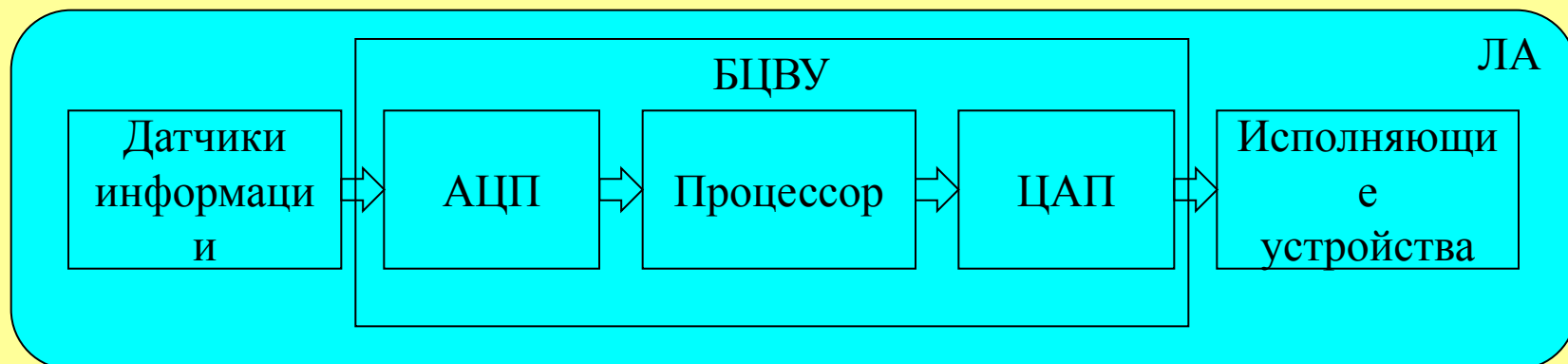
АЦП и ЦАП

Микропроцессор

Место БЦВУиМ в структуре бортового комплекса

Бортовые Цифровые Вычислительные Системы предназначены для:

- Решения пилотажно-навигационных задач
- Обеспечения работы РЛС (радиолокационных средств)
- Измерения координат
- Организации связи
- Контроля бортовых систем
- Контроля отображения информации
- и т.д.



Особенности работы БЦВУиМ

1. Сопряжение БЦВМ с аппаратурой иного физического характера

2. Многократное повторение алгоритма

3. Работа в реальном масштабе времени

4. Ограничение реализации алгоритмов во времени

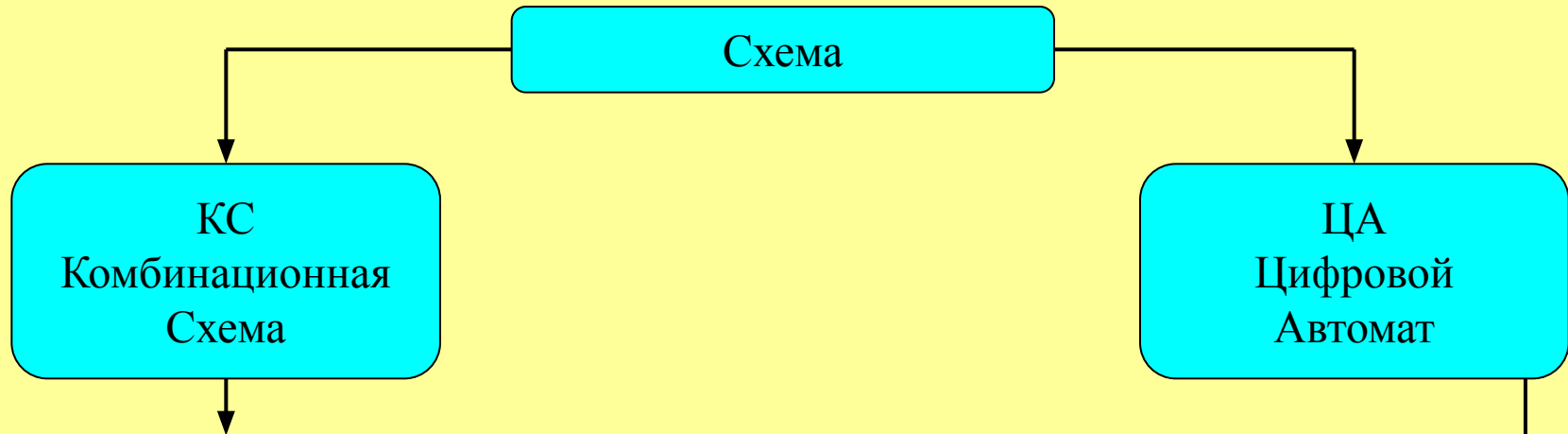
5. Требования к повышенной надёжности

Машинные коды

Представление чисел в разных машинных кодах позволяет автоматически получать знак результата при сложении, для кодирования знака отводится один дополнительный разряд.

→	Прямой Код (ПК)	17: 10001	-: 110001	+: 010001
→	Обратный Код (ОК)		101110	001110
→	Дополнительный Код (ДК)		$101110+1=101111$	001111

Комбинационные схемы и цифровые автоматы



Комбинационными схемами называются схемы у которых выходные сигналы Y в дискретные моменты времени t_i , однозначно определяются совокупностью входных сигналов x , поступающих в те же моменты времени, т.е. $Y(t)=F(x(t))$

Цифровой автомат – схема, в которой выходной сигнал Y в момент времени t_i определяется не только входным сигналом, но и внутренним состоянием, которое он приобрел под воздействием входных сигналов, в предыдущие моменты T_{i-1} , T_{i-2}

Содержание: Алгебра Буля

Аксиомы

Законы

Схема «И»

Схема «ИЛИ»

Схема «И-НЕ»

Схема «ИЛИ-НЕ»

Схема «Исключающее ИЛИ»

АКСИОМЫ

1. Операция отрицания

$$\bar{0}=1, \bar{1}=0$$

2. Операция конъюнкции (умножения)

$$\begin{aligned} 0*0 &= 0 \\ 1*0 &= 0*1 = 0 \\ 1*1 &= 1 \end{aligned}$$

3. Операция дизъюнкции (сложения)

$$\begin{aligned} 1+1 &= 1 \\ 0+1 &= 1+0 = 1 \\ 0+0 &= 0 \end{aligned}$$

Законы

1. Переместительный закон

$$x_1 \cdot x_2 = x_2 \cdot x_1 \quad x_1 + x_2 = x_2 + x_1$$

2. Сочетательный закон

$$x_1(x_2 \cdot x_3) = (x_1 \cdot x_2)x_3 = x_1 \cdot x_2 \cdot x_3$$
$$x_1 + (x_2 + x_3) = (x_1 + x_2) + x_3 = x_1 + x_2 + x_3$$

3. Закон повторения (тавтология)

$$x \cdot x = x \quad x + x = x$$

4. Закон обращения

если $x_1 = x_2$, то $\overline{x_1} = \overline{x_2}$

5. Закон двойной инверсии

$$\overline{\overline{x}} = x$$

6. Закон нулевого множества

$$x \cdot 0 = 0 \quad x + 0 = x$$

7. Закон универсального множества

$$x \cdot 1 = x \quad x + 1 = 1$$

8. Закон дополненности

$$x \cdot \overline{x} = 0 \quad x + \overline{x} = 1$$

Далее

Законы

9. Распределительный закон

$$x_1 \cdot (x_2 + x_3) = x_1 \cdot x_2 + x_1 \cdot x_3$$
$$x_1 + (x_2 \cdot x_3) = (x_1 + x_2)(x_1 + x_3)$$

11. Закон склеивания

$$(x_1 + x_2)(x_1 + \bar{x}_2) = x_1 \quad x_1 \cdot x_2 + x_1 \cdot \bar{x}_2 = x_1$$

10. Закон поглощения

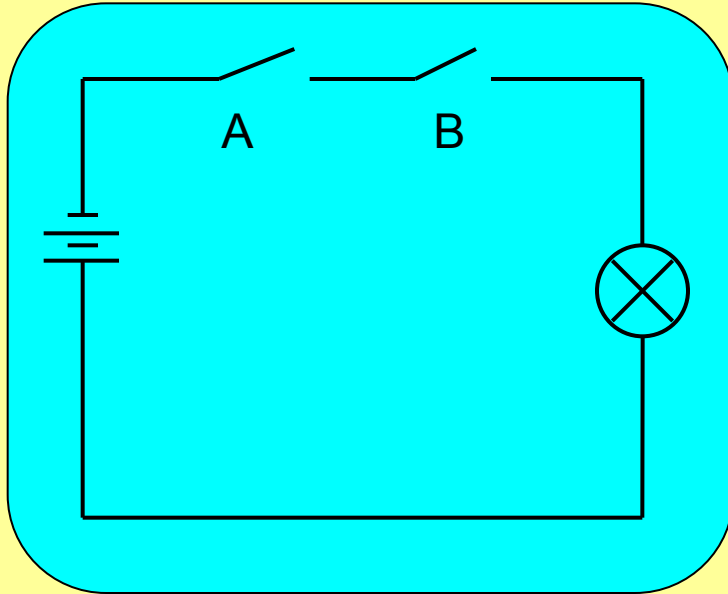
$$x_1 + x_1 \cdot x_2 = x_1 \quad x_1(x_1 + x_2) = x_1$$

12. Закон инверсии (закон Де Моргана)

$$x_1 \cdot x_2 = \overline{\overline{x_1 + x_2}} \quad x_1 + x_2 = \overline{\overline{x_1 \cdot x_2}}$$

$$x_1 \cdot x_2 = \overline{\overline{x_1 + x_2}} \quad x_1 + x_2 = \overline{\overline{x_1 \cdot x_2}}$$

Схема «И»



A	B	$X=A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

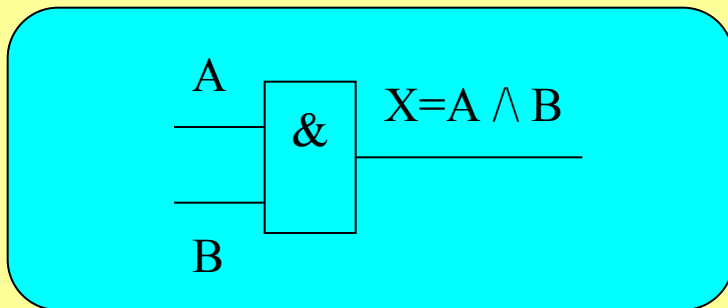
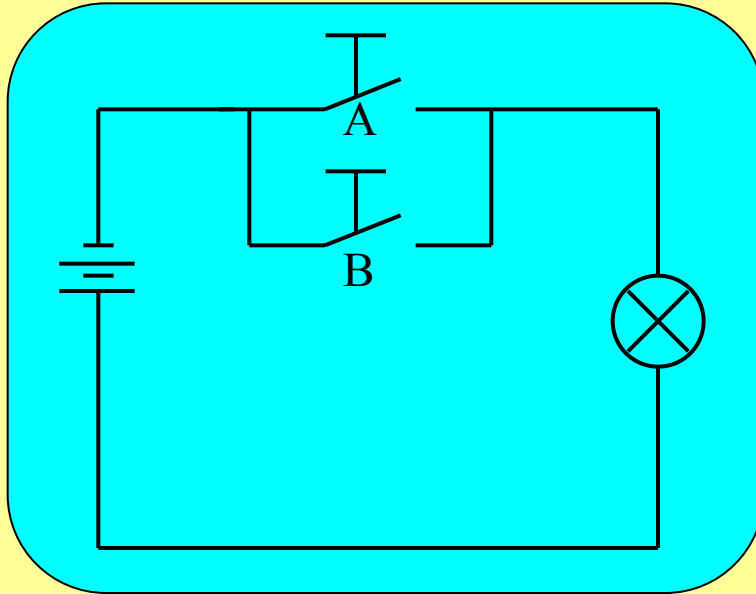


Схема «ИЛИ»



A	B	$X=A+B$
0	0	0
0	1	1
1	0	1
1	1	1

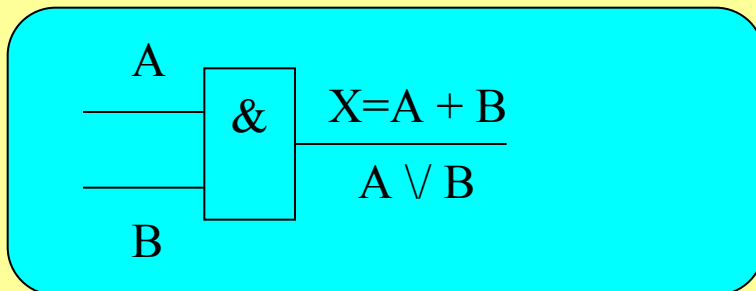
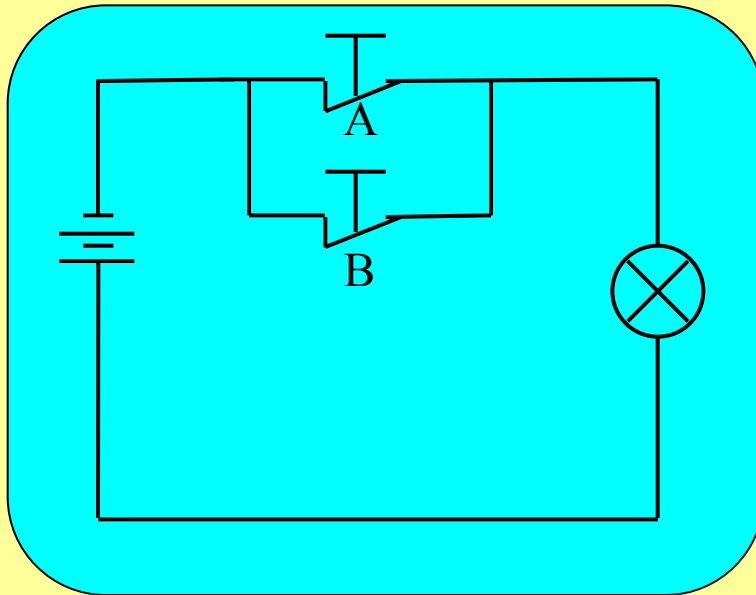


Схема «И-НЕ»



A	B	$X = \overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

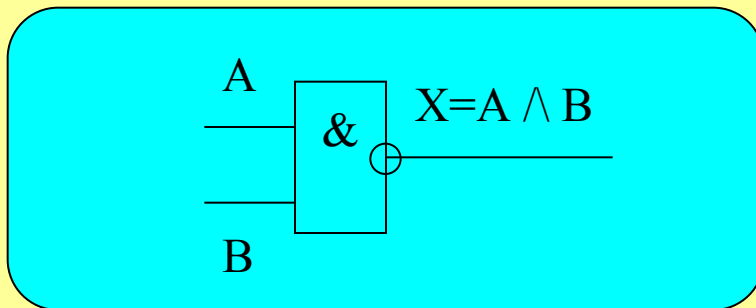
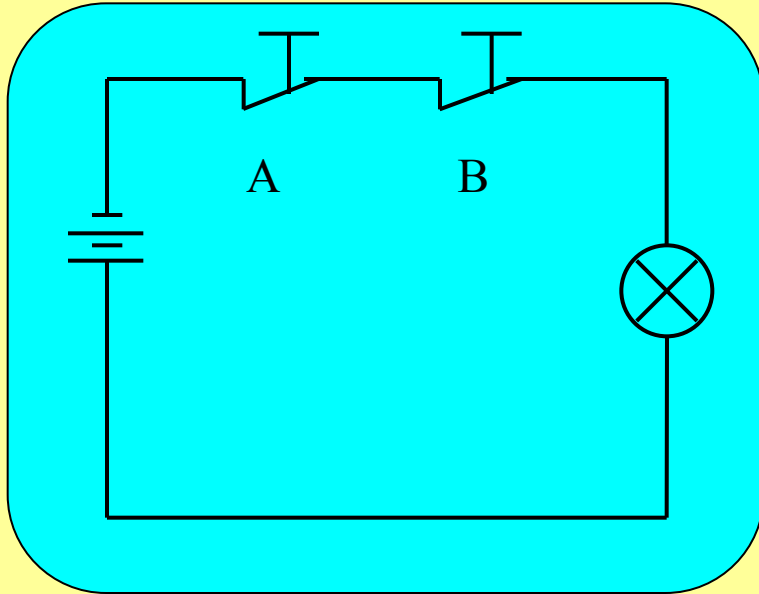


Схема «ИЛИ-НЕ»



A	B	$X = \overline{A \wedge B}$
0	0	1
0	1	0
1	0	0
1	1	0

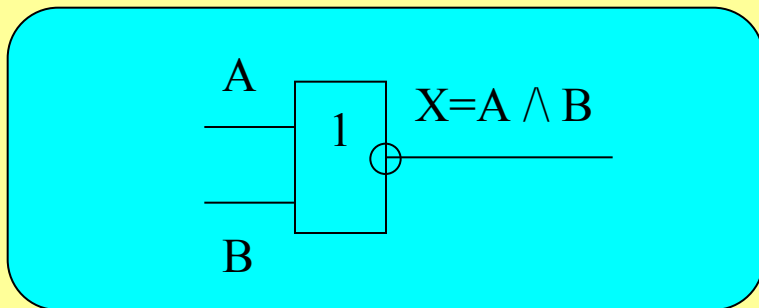
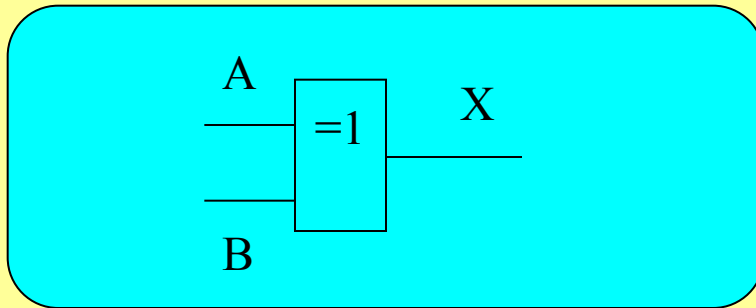


Схема «Исключающее ИЛИ»

1 на выходе – по несовпадению переменных на входе



A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

Содержание: Цифровая Логика

Виды Логики

Триггеры

Регистры

Буферные Схемы

Счётчик

Сумматор

Дешифратор

Шифратор

Мультиплексор

Виды цифровой логики

ТТЛ – Транзисторно-Транзисторная Логика

ДТЛ – Диодно-Транзисторная Логика

ЭСЛ – Эмиттерно-Связанная Логика

МОП – Металл-Оксид-Полупроводник

Транзисторно-Транзисторная Логика

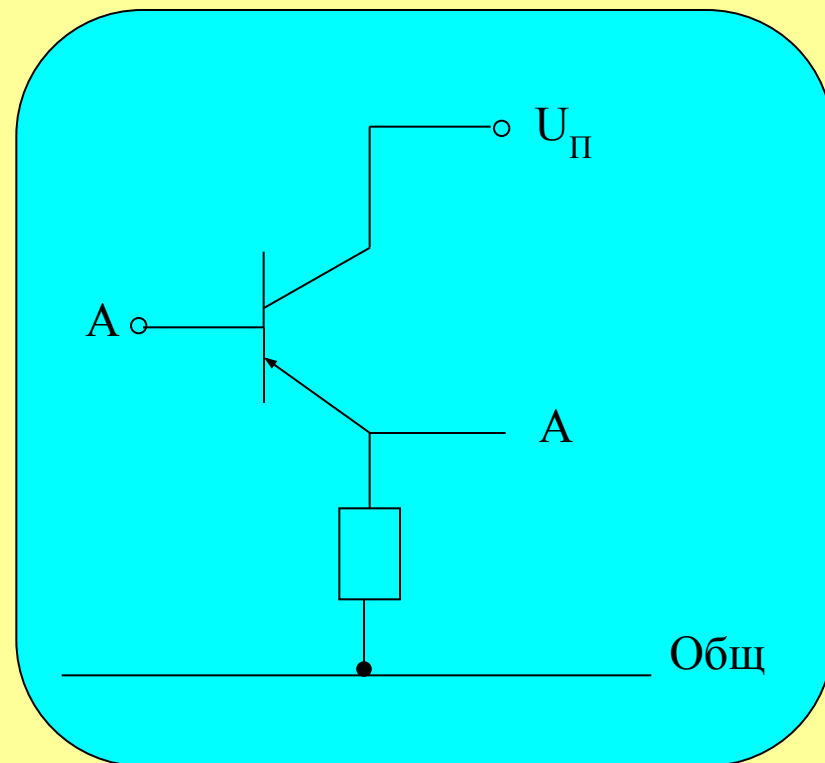
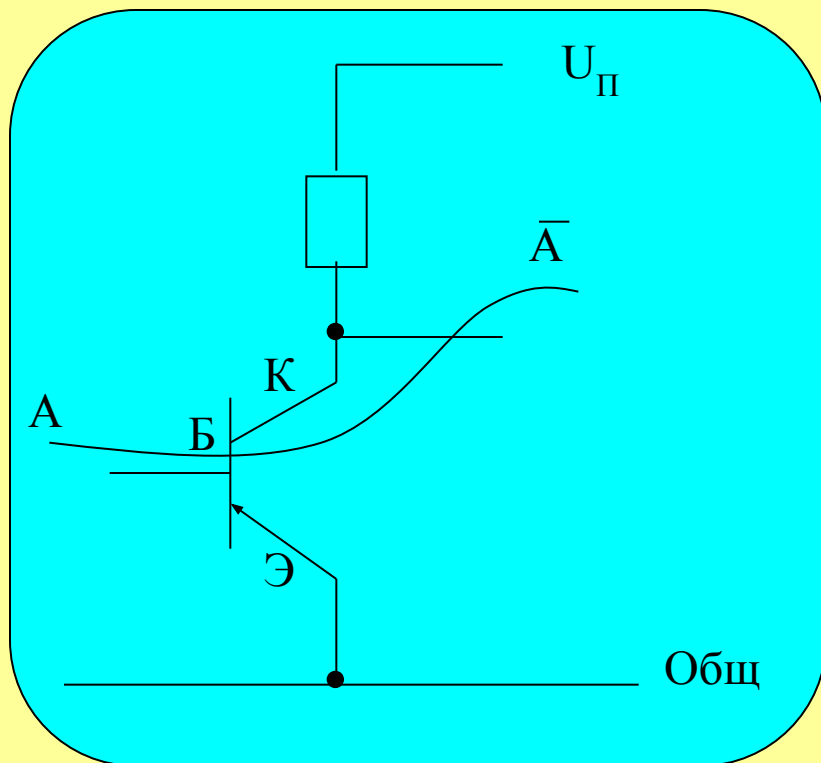


Схема включения с общим эмиттером

Транзисторно-Транзисторная Логика

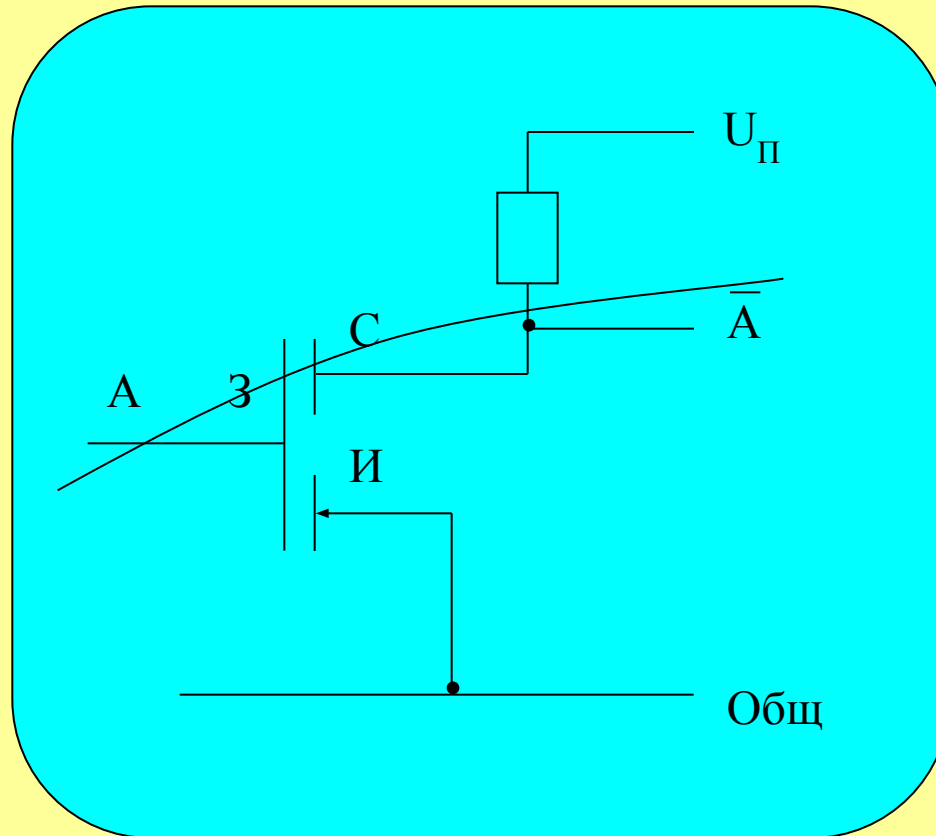
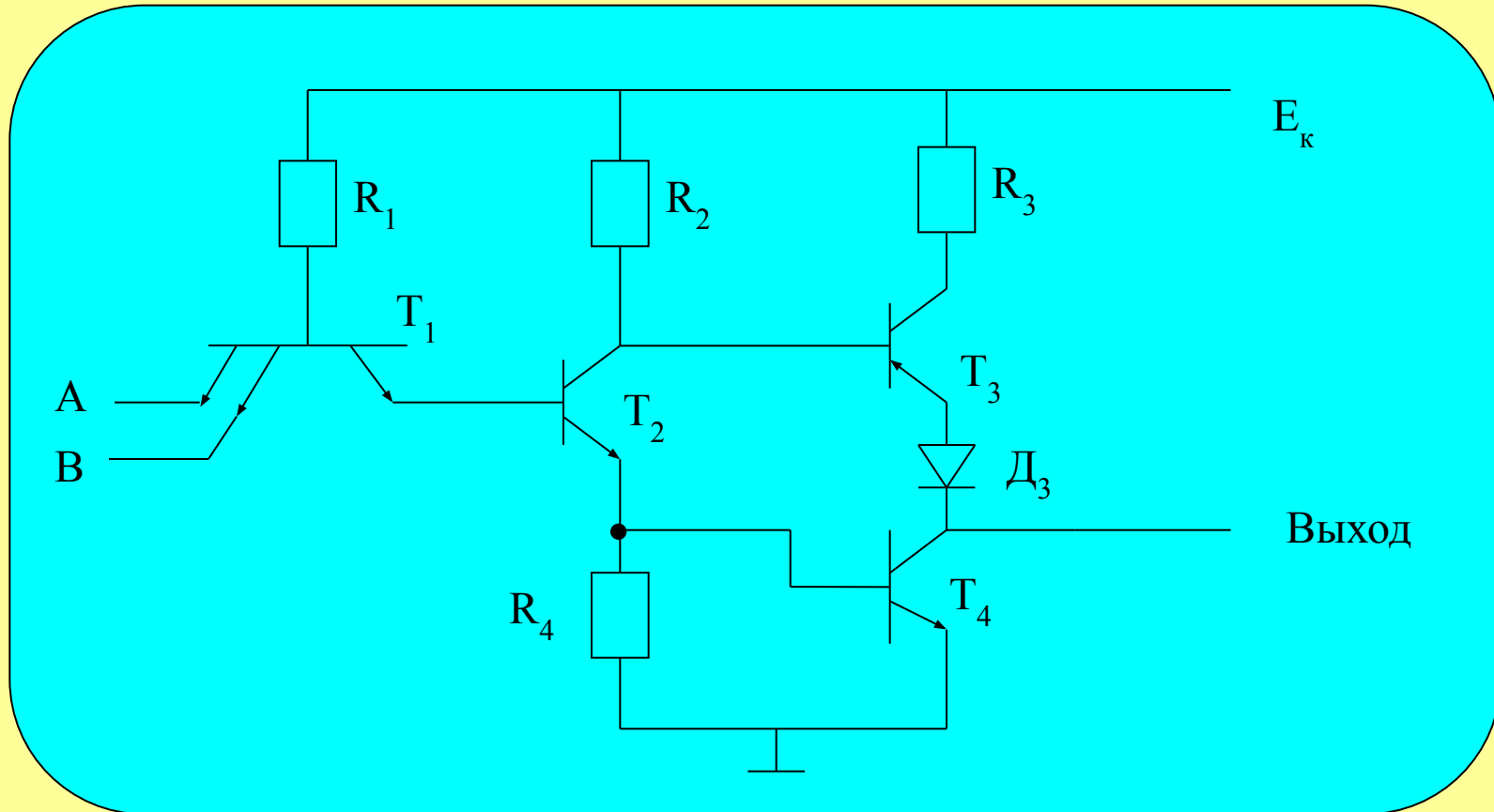
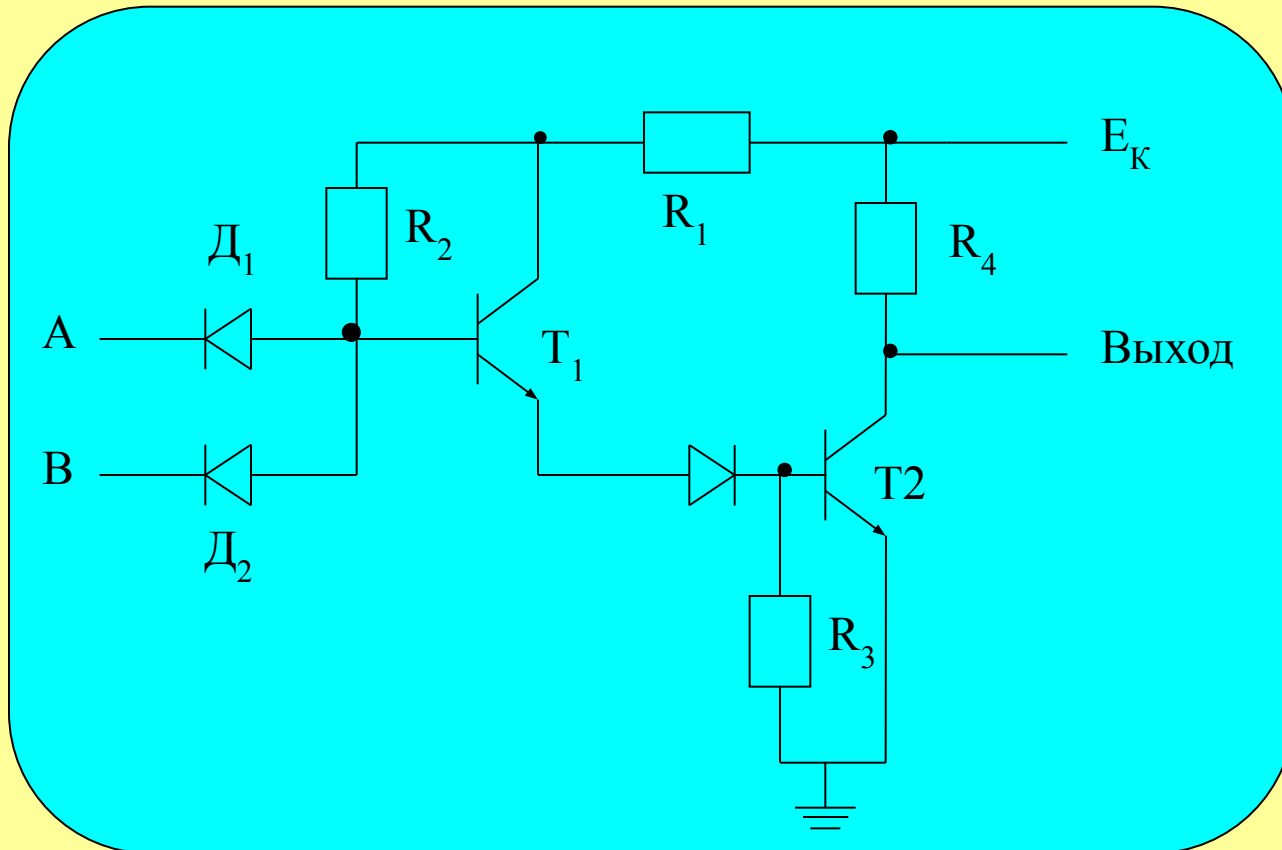


Схема включения с общим истоком на МОП-транзисторе

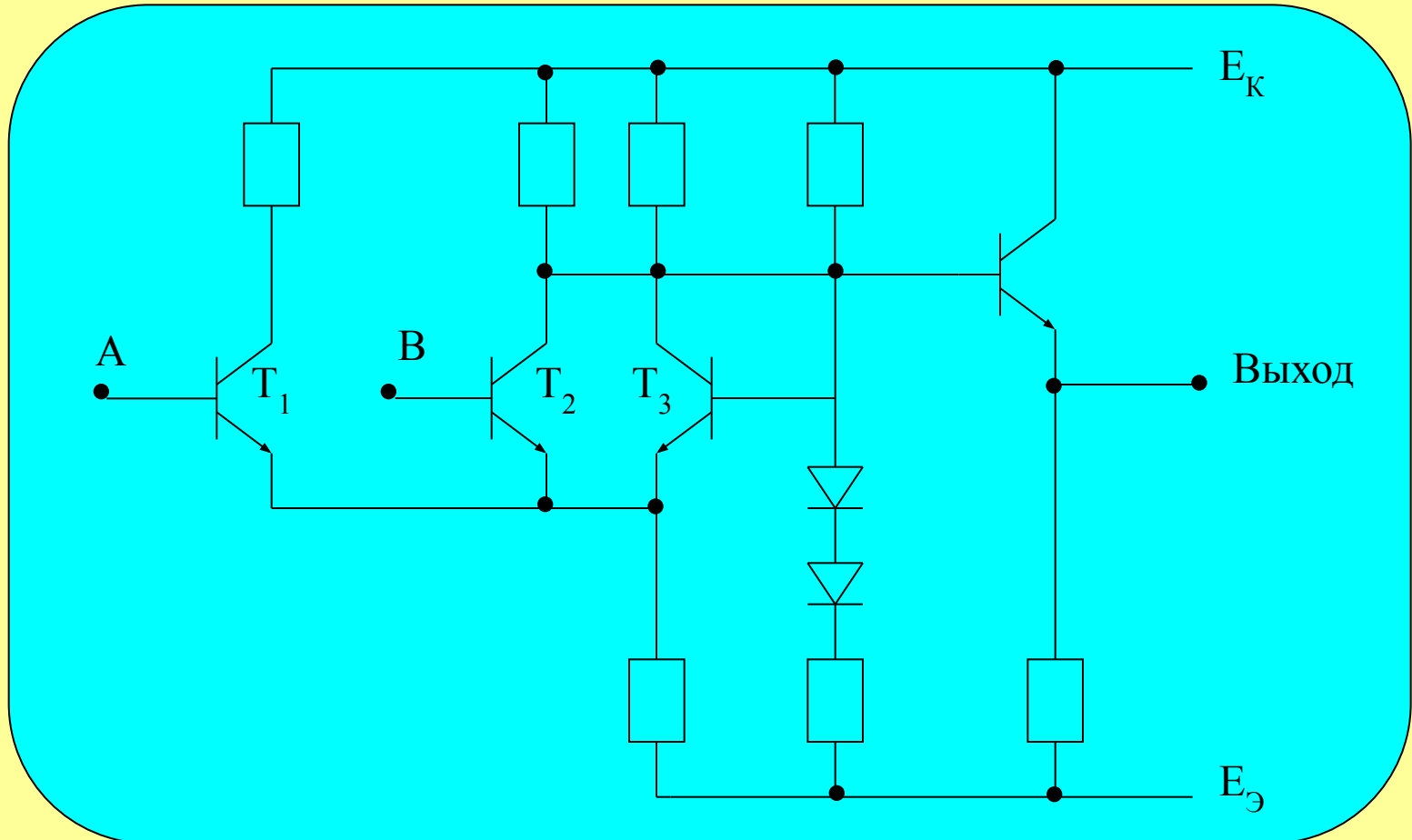
ТТЛ схема «И-НЕ»



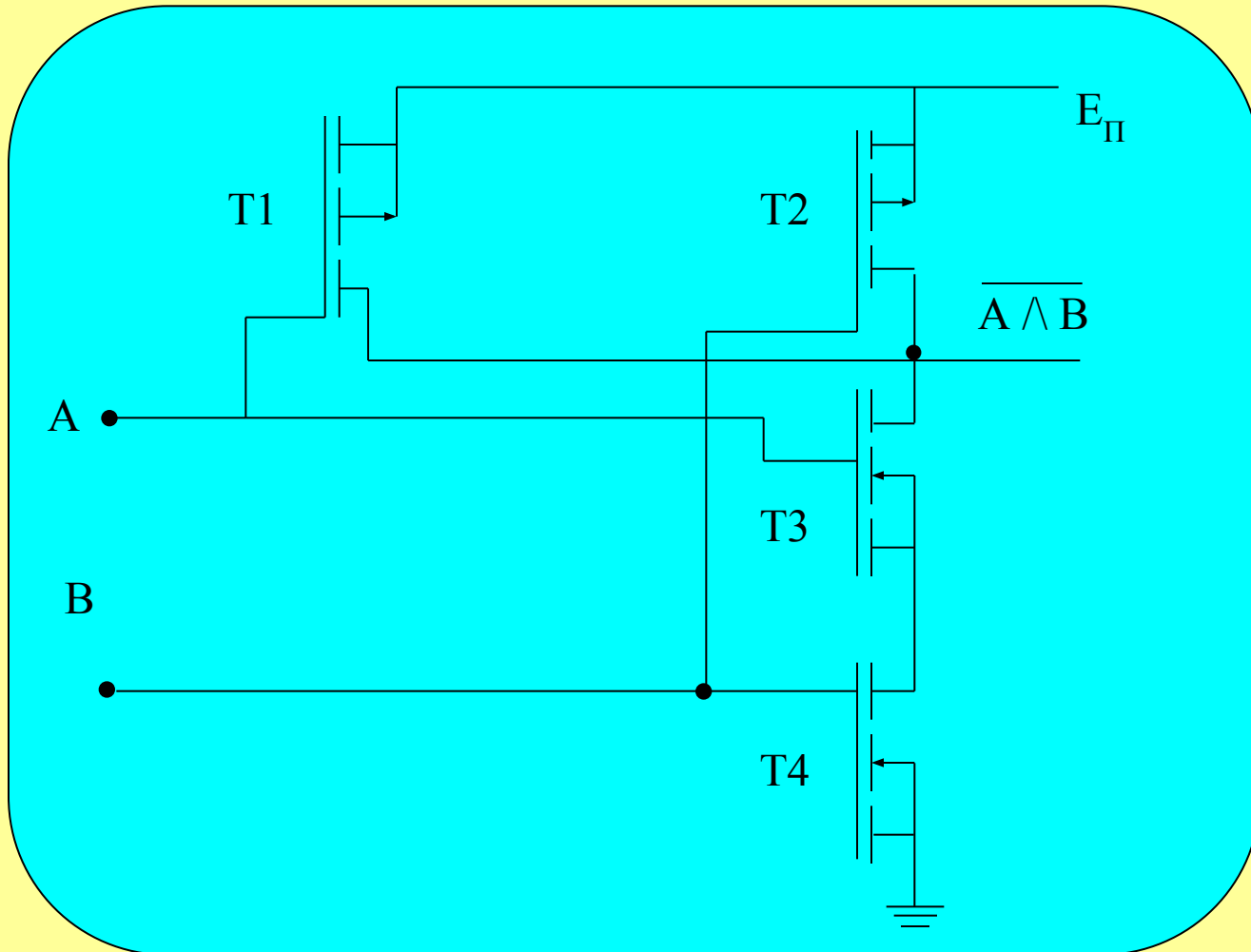
ДТЛ схема «И-НЕ»



ЭСЛ – Эмиттерно-Связанная Логика



МОП схема «И-НЕ»



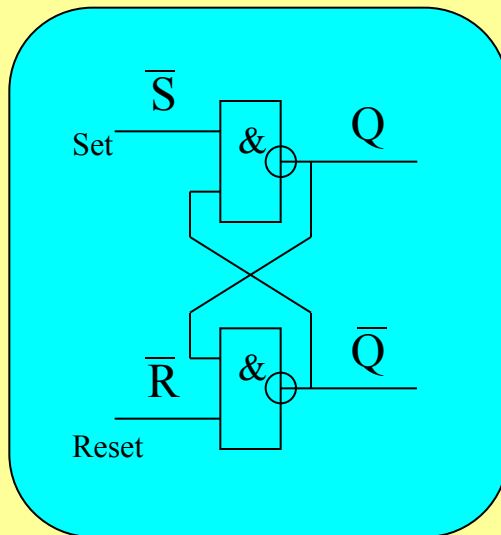
Триггер

Триггер – одноразрядный элемент памяти (бистабильная ячейка с двумя устойчивыми состояниями).

Наиболее часто встречающиеся типы триггеров:

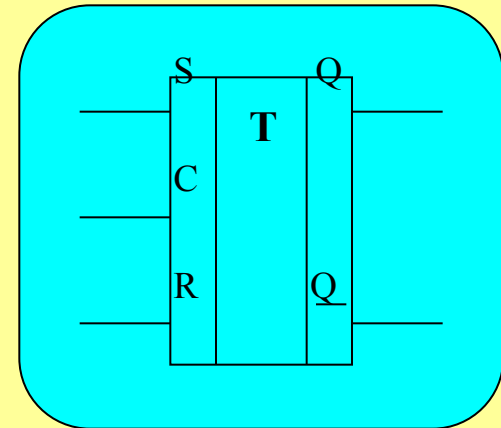
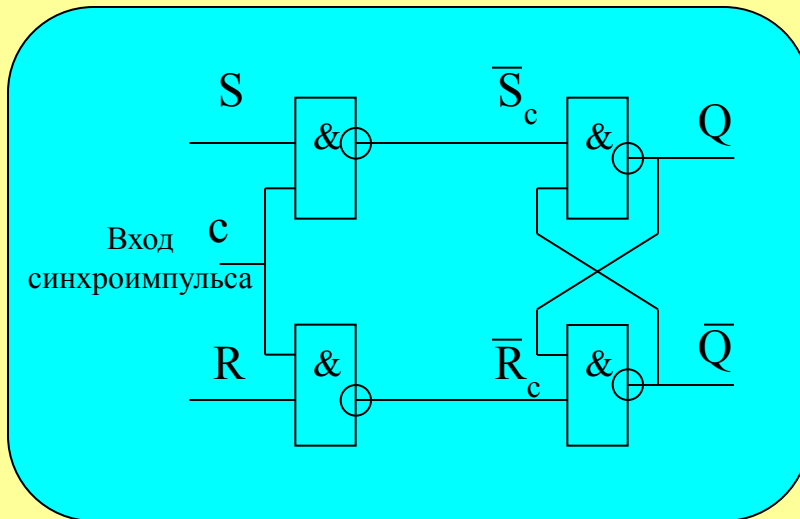
- RS-триггер асинхронный
- RS-триггер синхронный (TR2)
- JK-триггер (TB1)
- D-триггер (TM2)
- T-триггер

RS-триггер (асинхронный)



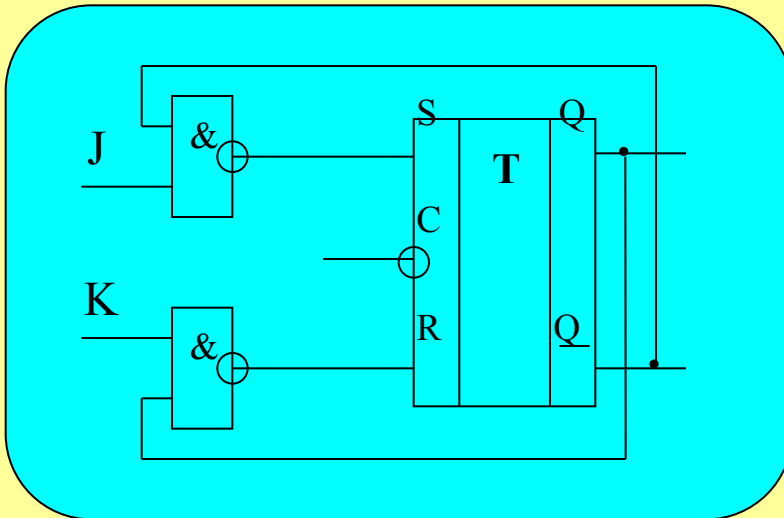
S	R	Q	\bar{Q}
0	0	Q	\bar{Q}
0	1	0	1
1	0	1	0
1	1	н.с.о. пр.	

RS-триггер (синхронный)



JK-триггер

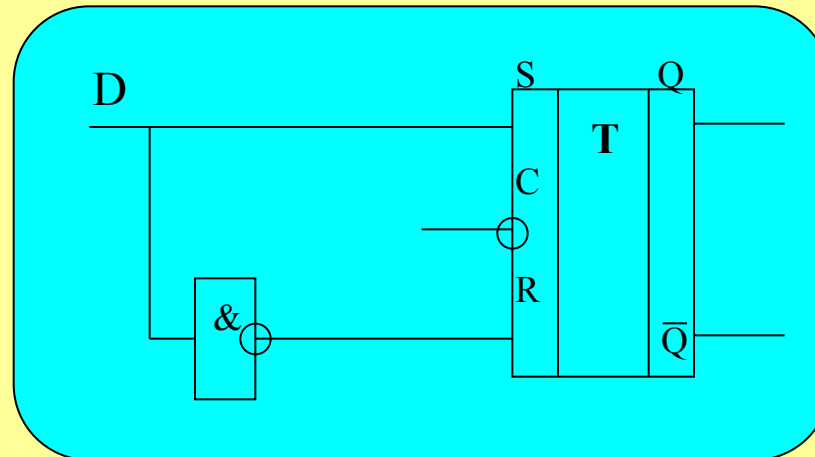
JK-триггер – обобщённая версия RS-триггера («J»=«S», «K»=«R»). Для JK-триггера состояние на входе «1,1» инвертирует выходные значения триггера. Блокируется та линия, единичное значение на которой на вызвало бы изменения состояния триггера.



J	K	Q
0	0	Q
0	1	0
1	0	1
1	1	\overline{Q}

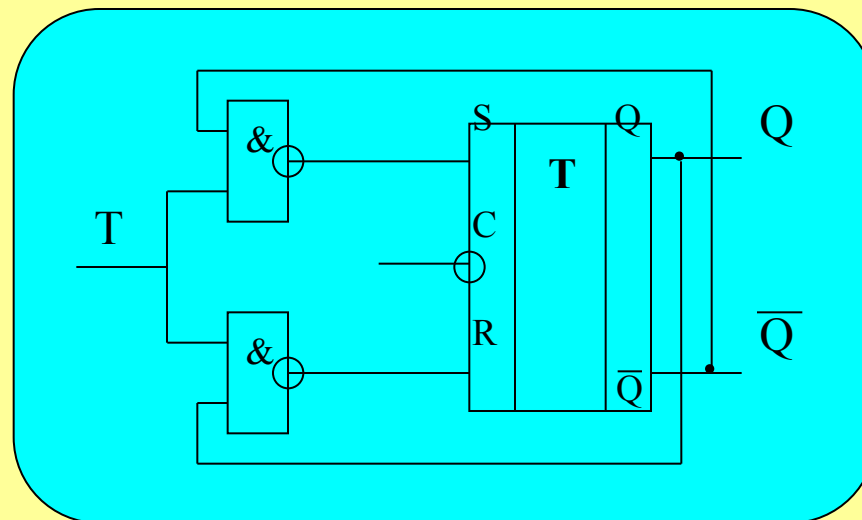
D-триггер

D-триггер – по синхроимпульсу принимает то значение, которое имеет входная линия D.



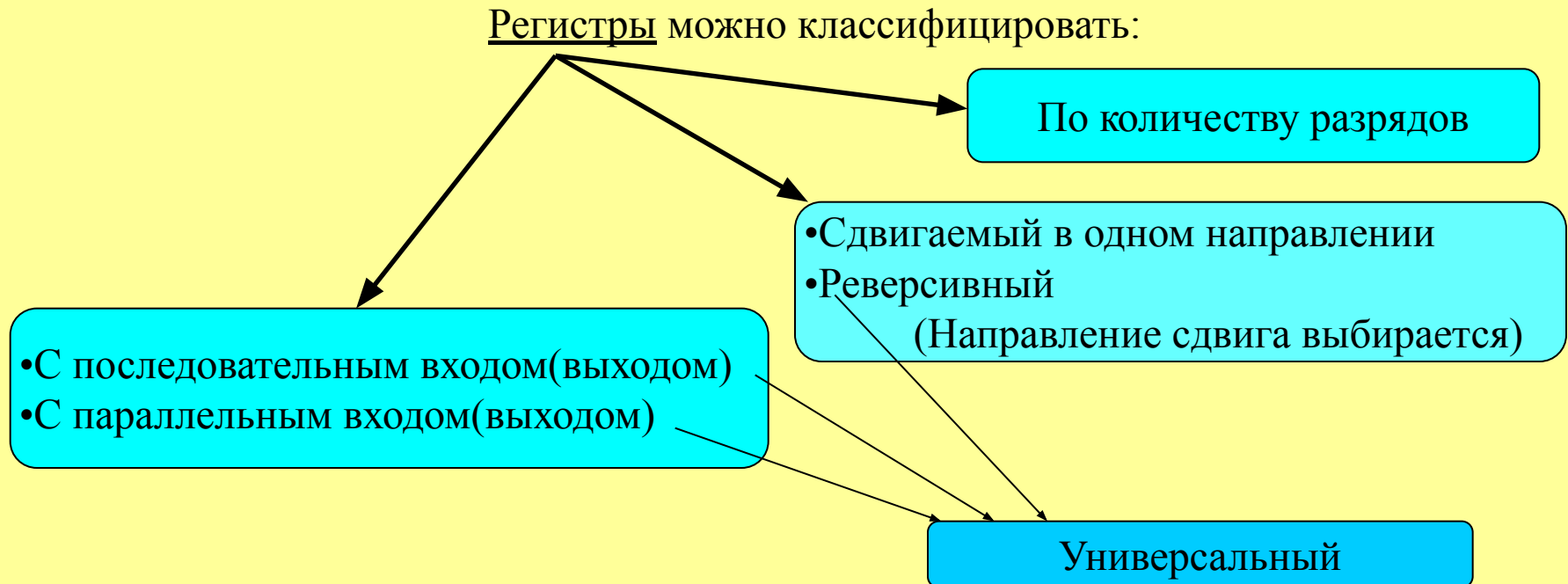
T-триггер

T-триггер – если входная линия $T=1$, то по синхроимпульсу триггер изменяет своё состояние на противоположное. В ином случае его состояние не изменяется.



Регистр

Для обработки и хранения информации используются сдвиговые регистры, состоящие из ряда триггеров (по одному на каждый бит информации).



Регистр с последовательным входом

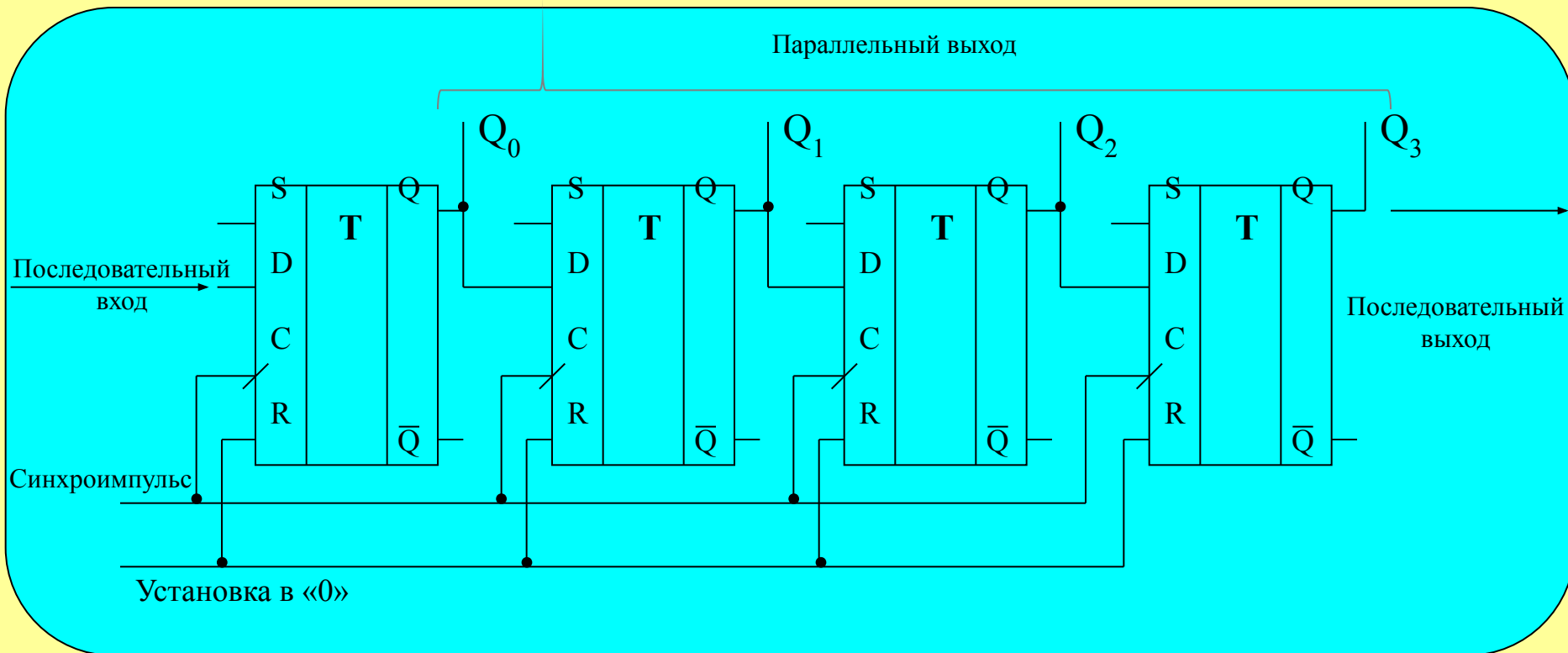
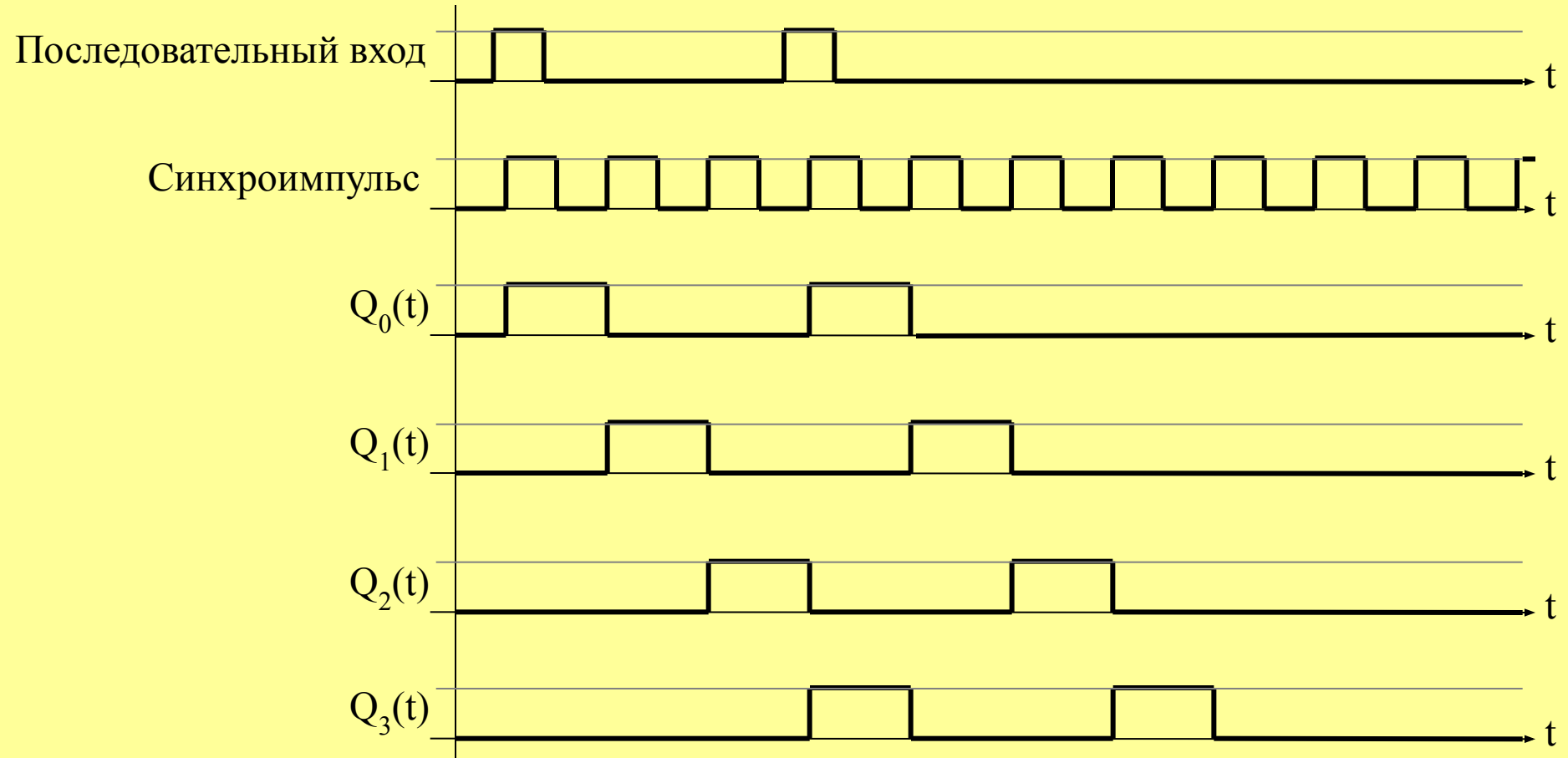
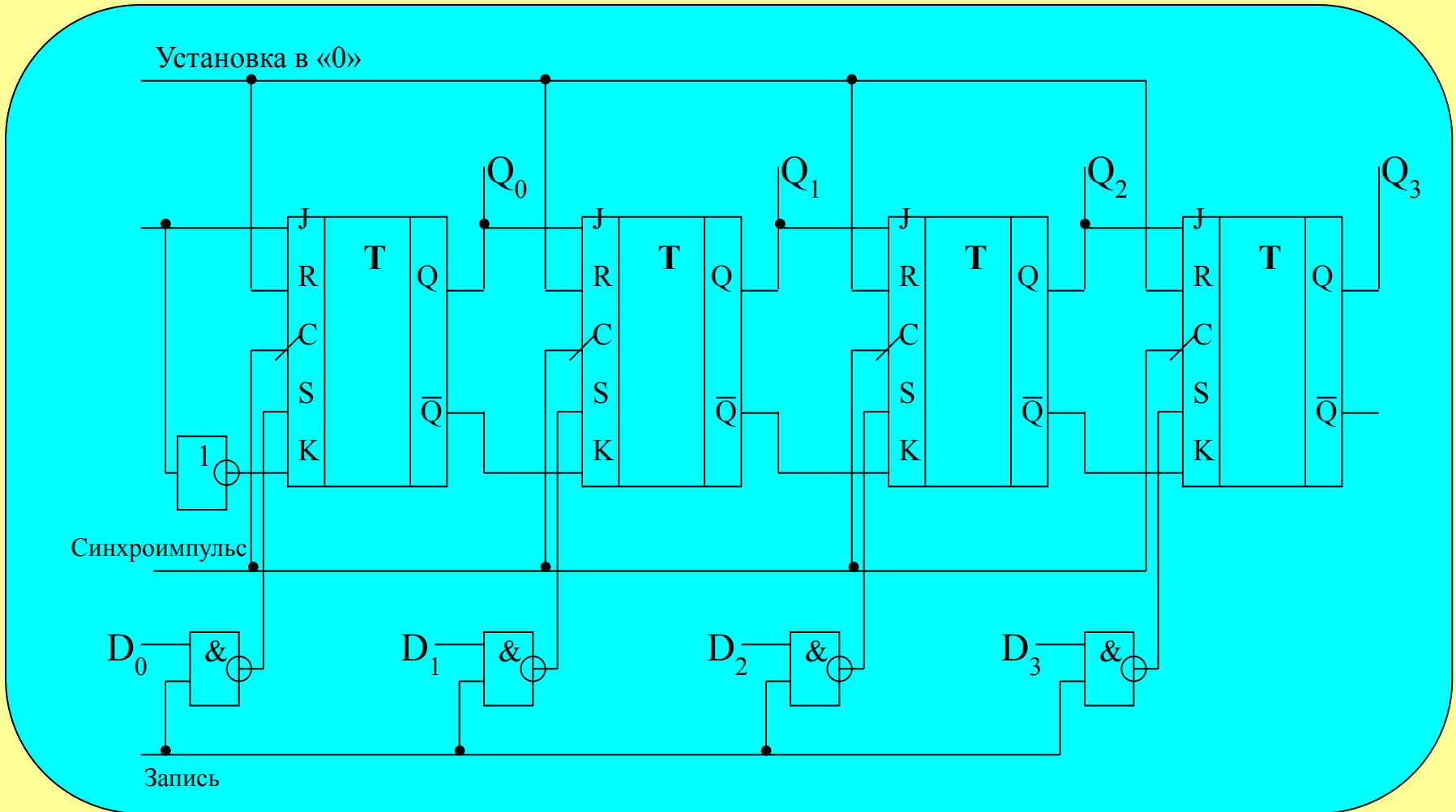


Диаграмма работы регистра

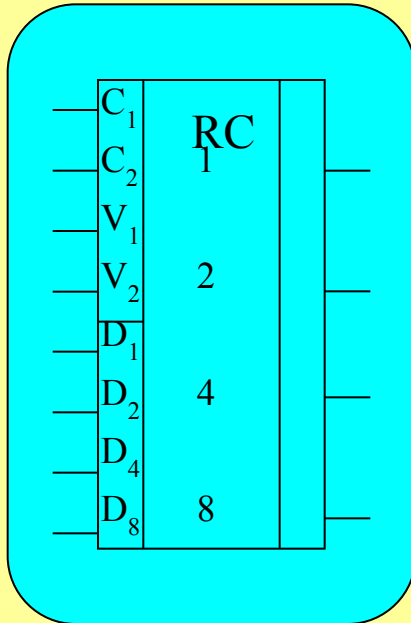


Временная диаграмма работы 4^x разрядного сдвигового регистра

Регистр с параллельным входом



Микросхема ИР1



Микросхема ИР1 применяется в качестве :

- основного элемента в арифметических устройствах
буферной памяти
- элемента задержки на n тактов
- преобразователя последовательных кодов в
параллельные и наоборот
- делителя частоты
- закольцованного распределителя импульсов

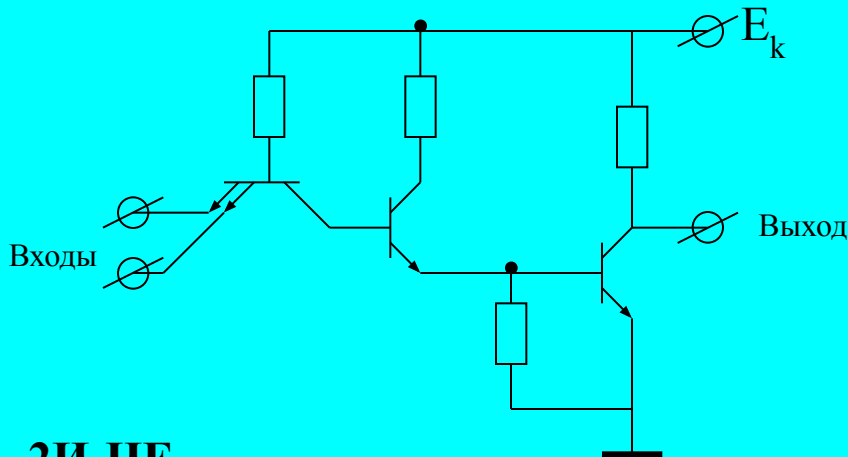
Буферные схемы

Схемы с открытым коллектором

Схемы с тремя состояниями

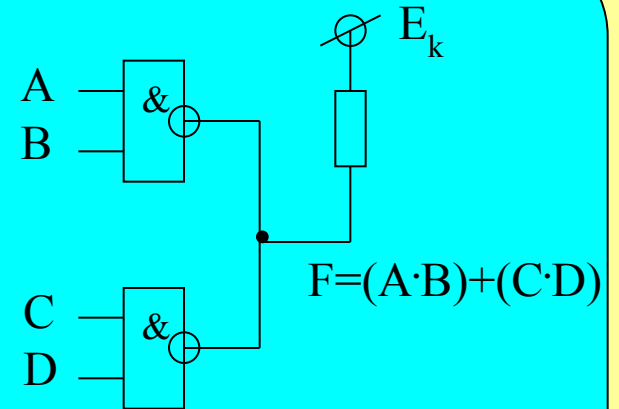
Схемы с открытым коллектором

ТТЛ схемы со свободным (открытым) коллектором обычно работают с согласующим резистором 1-2 кОм.



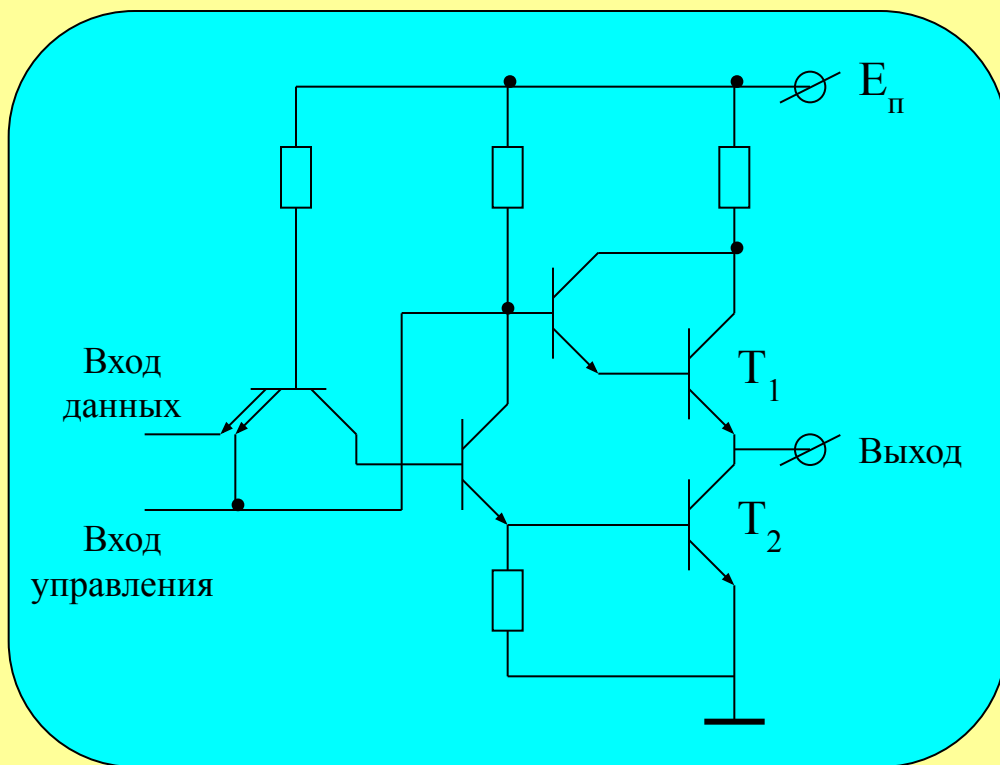
2И-НЕ

Выходы двух и более схем с открытым коллектором можно объединять в монтажное ИЛИ, чего нельзя делать без открытого коллектора.



Монтажное ИЛИ

Схемы с тремя состояниями

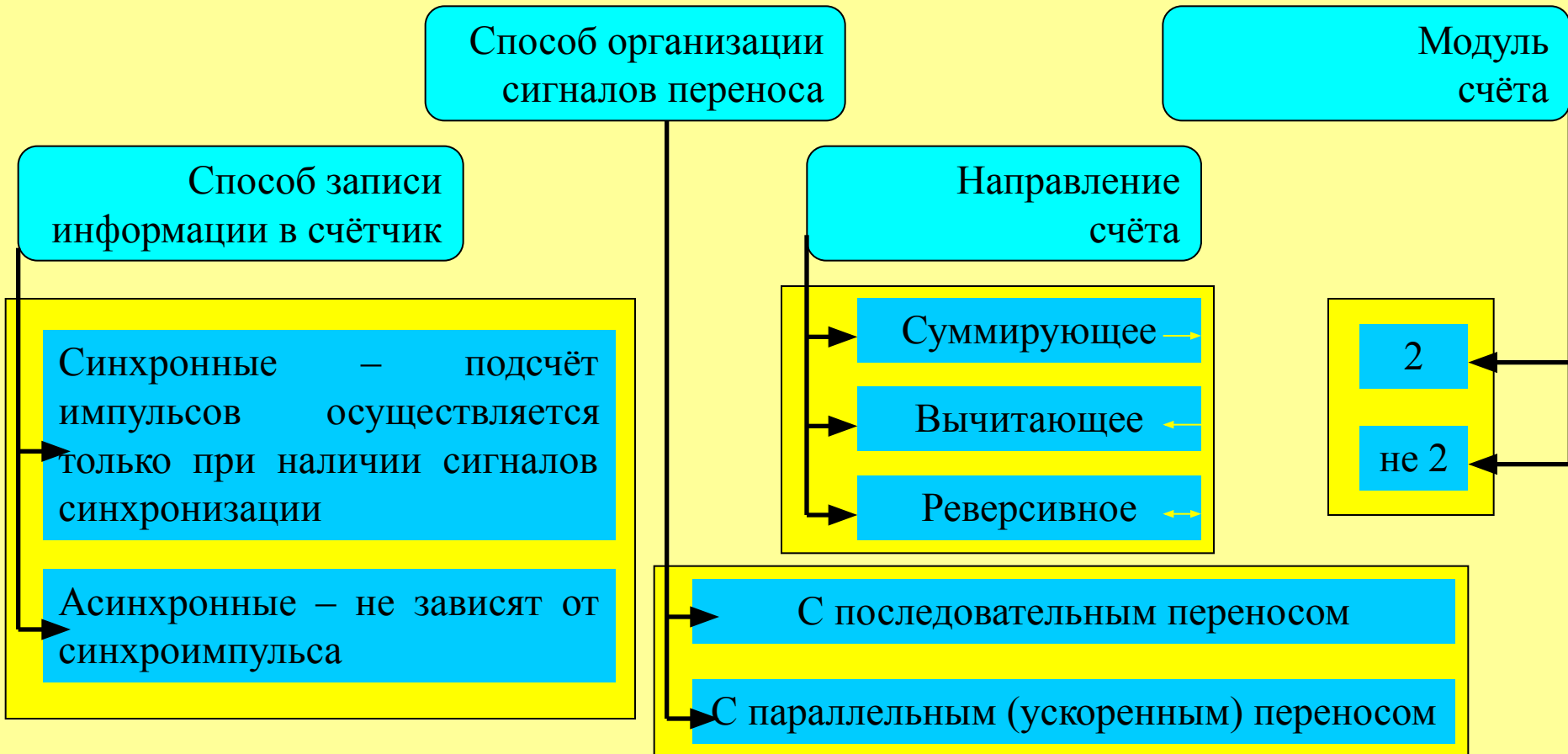


Д	У	Вых
0	0	Z
1	0	Z
0	1	1
1	1	0

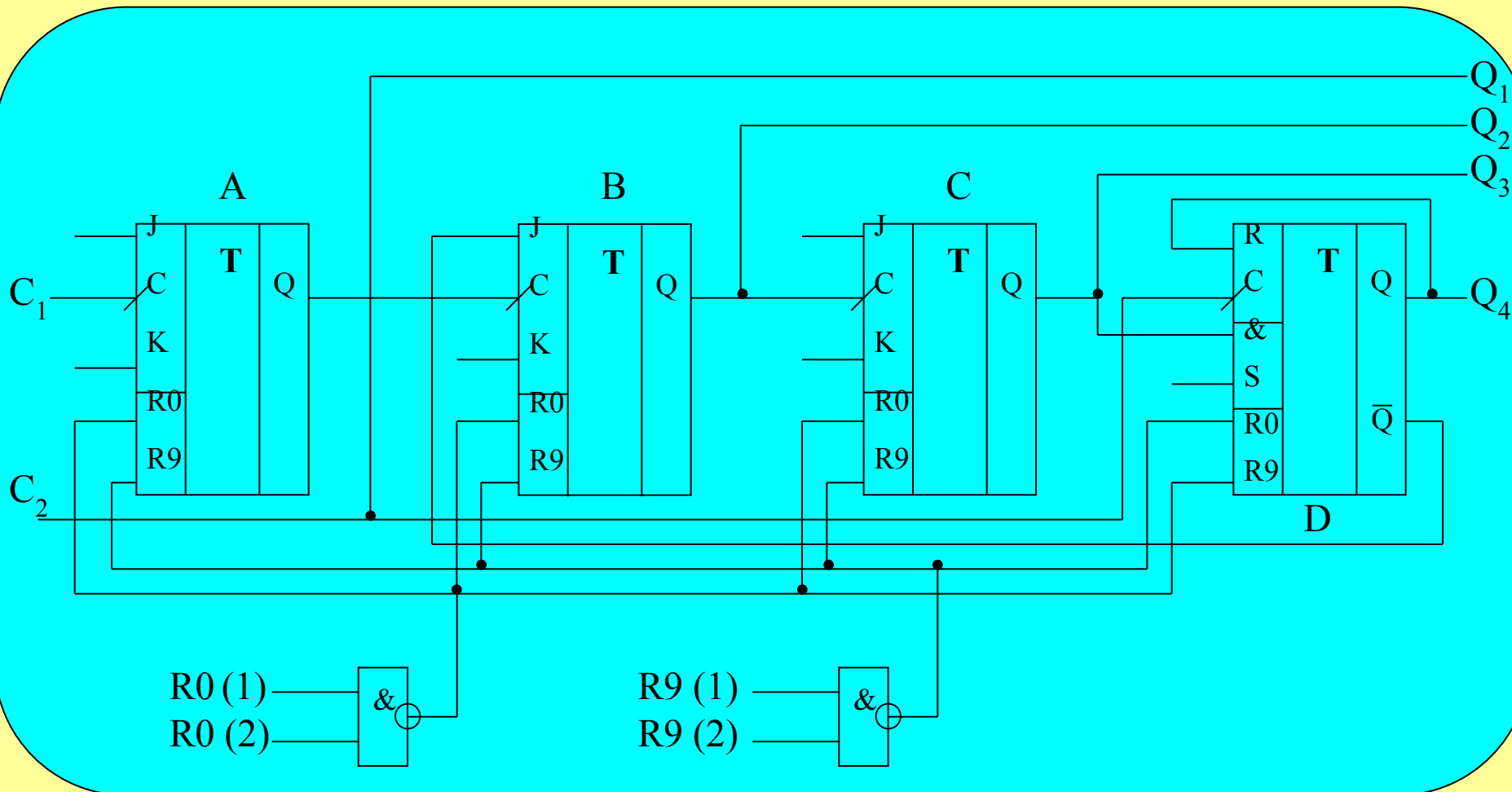
Сопротивление на выходе – очень высокое

Счётчик

Счётчик – последовательная схема, производящая подсчёт импульсов, поступающих на его вход и фиксацию результата в определённом коде.



Микросхема ИЕ2



Режимы работы ИЕ2

Двоично-десятичный. Вход C_2 внешне соединён с выходом Q_1 . Счётные импульсы поступают на C_1 .

Деление выходного импульса на 10 со скважностью 2. Выход Q_4 внешне соединен со входом C_1 , входные счетные импульсы подаются на C_2 . Требуемый сигнал снимается с выхода Q_1 .

Деление на 2 и 5. Внешних соединений не требуется. Триггер А используется как двоичный элемент для деления на 2, вход C_2 — для деления на 5. Оба счетчика работают независимо.

Сумматор

Сумматоры – комбинационные устройства функционального назначения, предназначенные для сложения двух двоичных чисел.

→ Сумматоры по модулю 2 (исключающее ИЛИ)

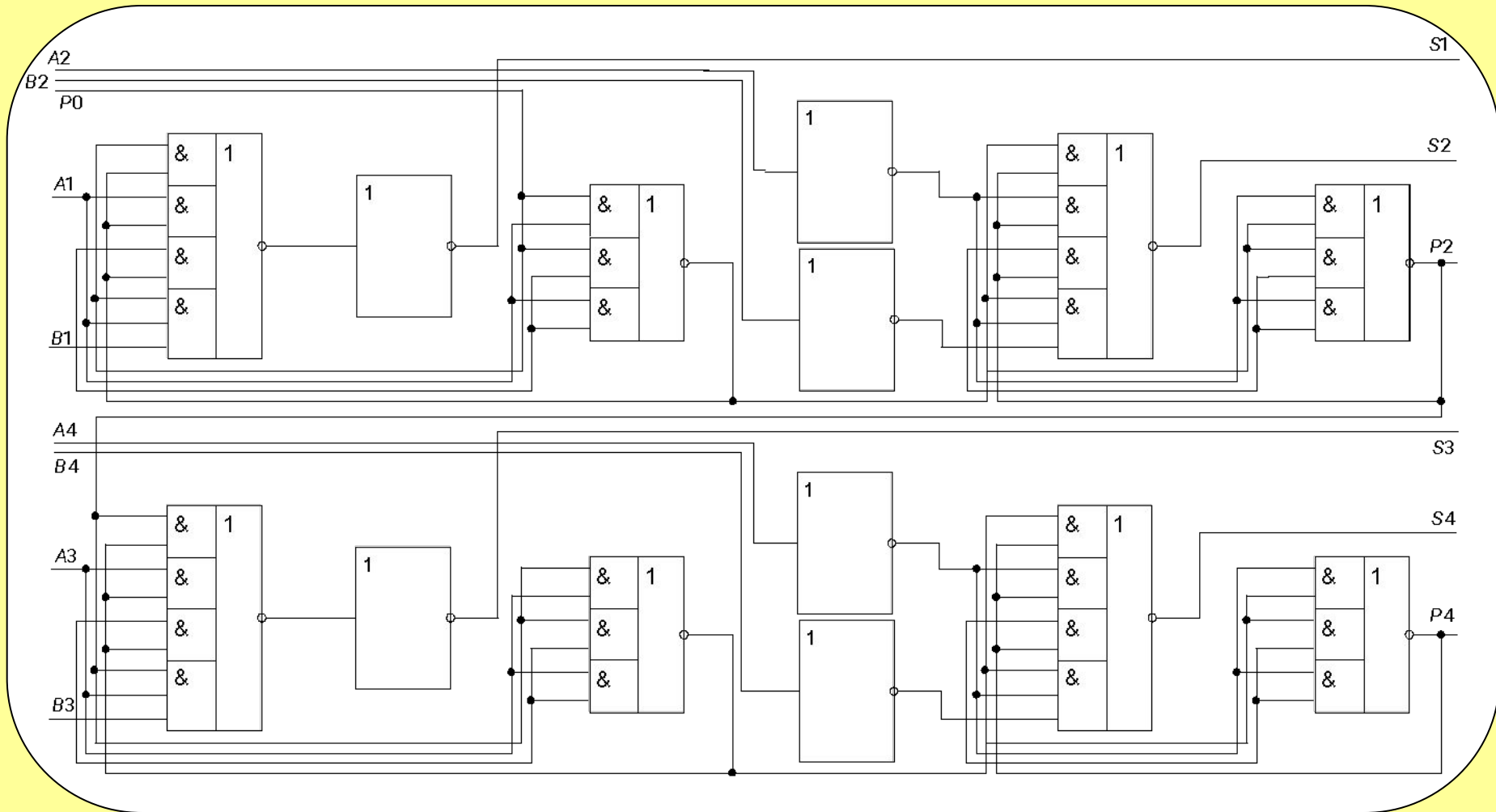
→ Полусумматоры (2 одноразрядных двоичных числа)

→ Полный сумматор (устройство, суммирующее 2 N-разрядных двоичных числа)

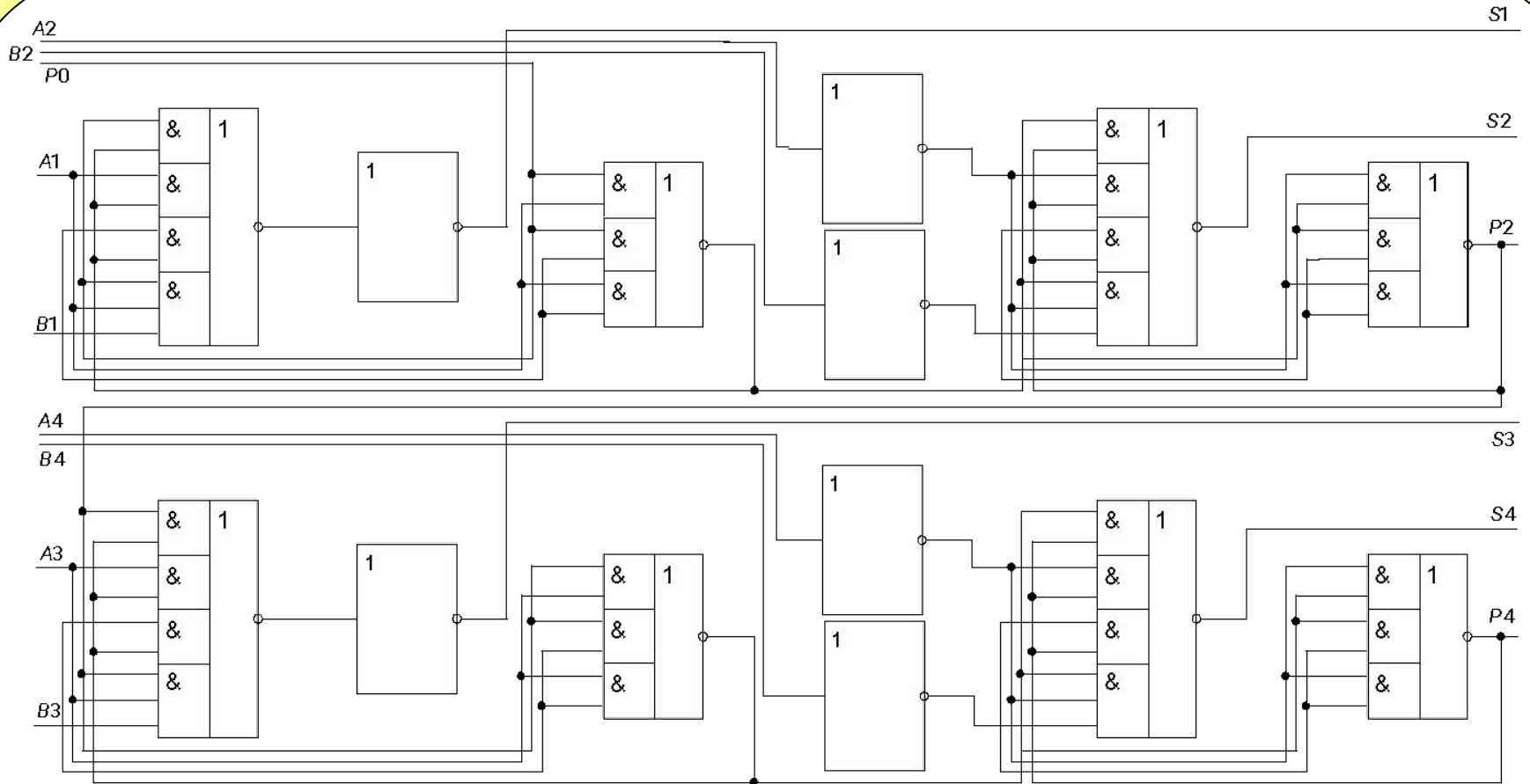
Микросхемы: ИМ1: полный 1-разрядный сумматор комбинационного типа. Реализует функцию суммирования 3-х входных переменных.

ИМ3: полный 4-разрядный сумматор с последовательным переносом.

Микросхема ИМ1



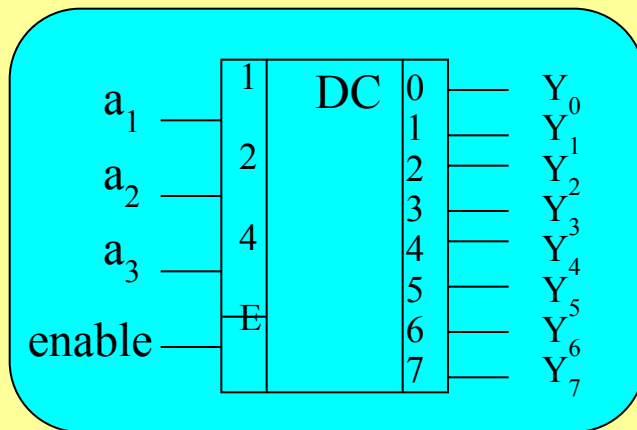
Микросхема ИМЗ



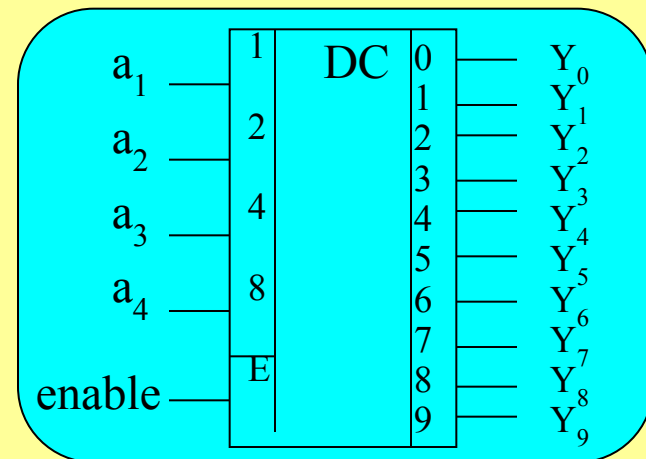
Дешифратор

Дешифратор (decoder) – кодирующее устройство, преобразующее двоичный код в унарный (из всех m выходов дешифратора активный уровень имеется только на одном, а именно на том, номер которого равен поданному на вход двоичному числу).

Полный дешифратор

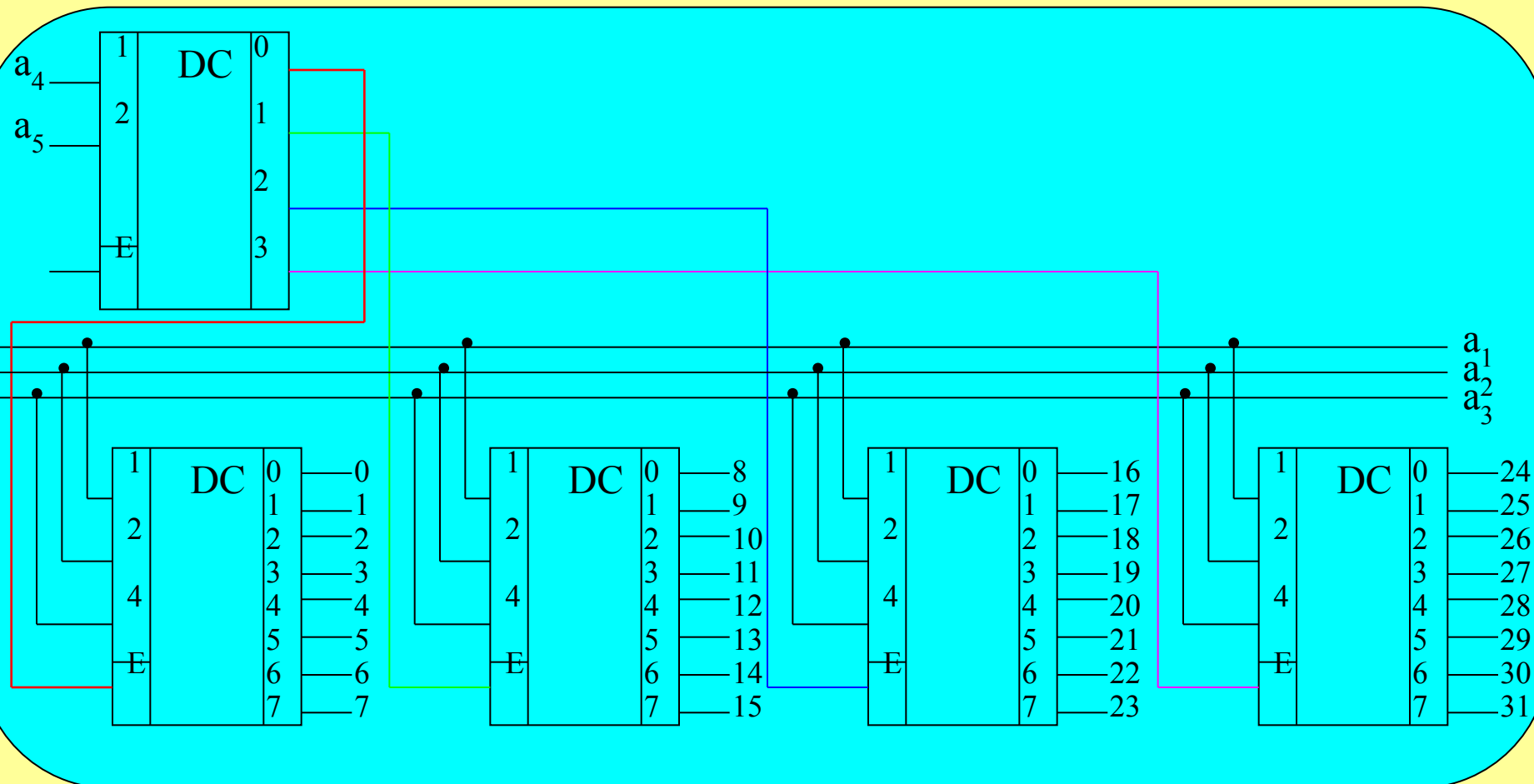


Неполный дешифратор



Дешифратор 5в31 на основе 3в7

(наращивание разрядности)



Серии микросхем дешифраторов

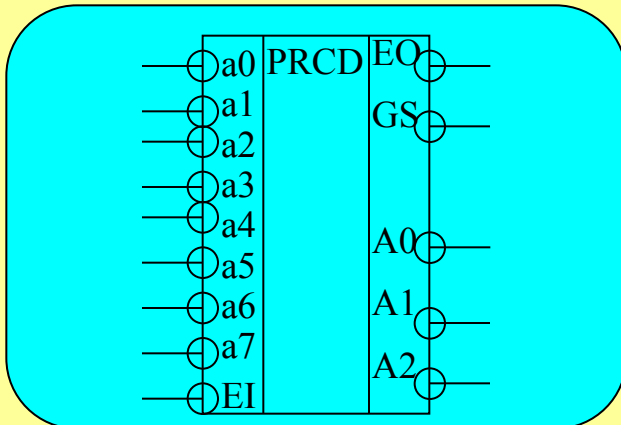
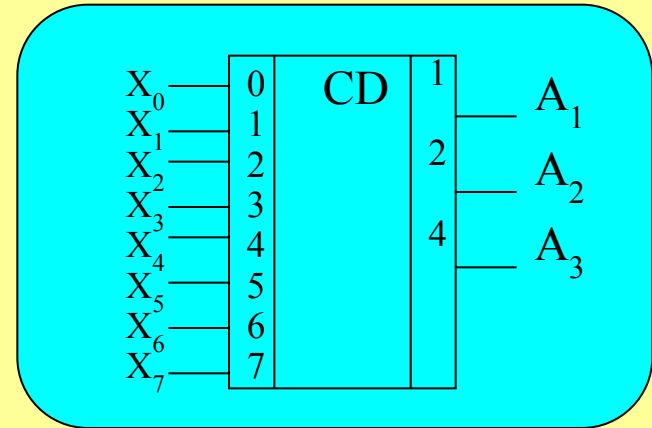
Дешифраторы, выпускаемые в виде отдельных микросхемах, имеют буквенное обозначение ИД.

К561ИД1 – универсальный дешифратор, применяется для преобразования входного четырехразрядного двоично-десятичного кода в десятичный или четырехразрядного в октальный.

К564ИД5 – специальный дешифратор для подключения ЖК 7-сегментного индикатора.

Шифратор

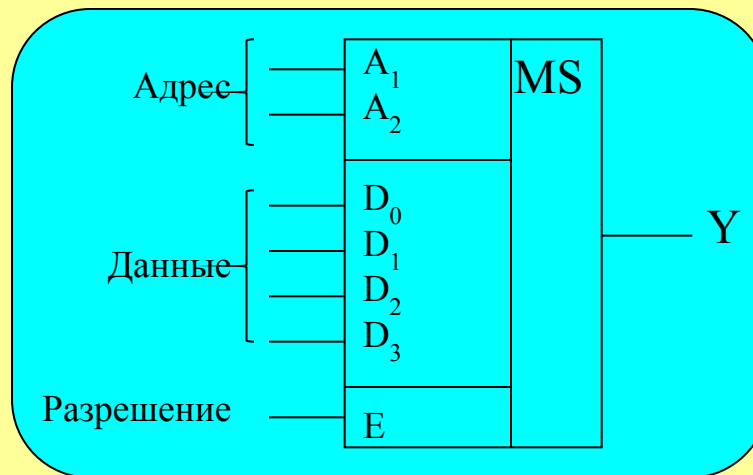
Шифратор (encoder) – устройство с функцией, обратной дешифратору.



К155**ИВ1** – 8-входовый приоритетный шифратор.

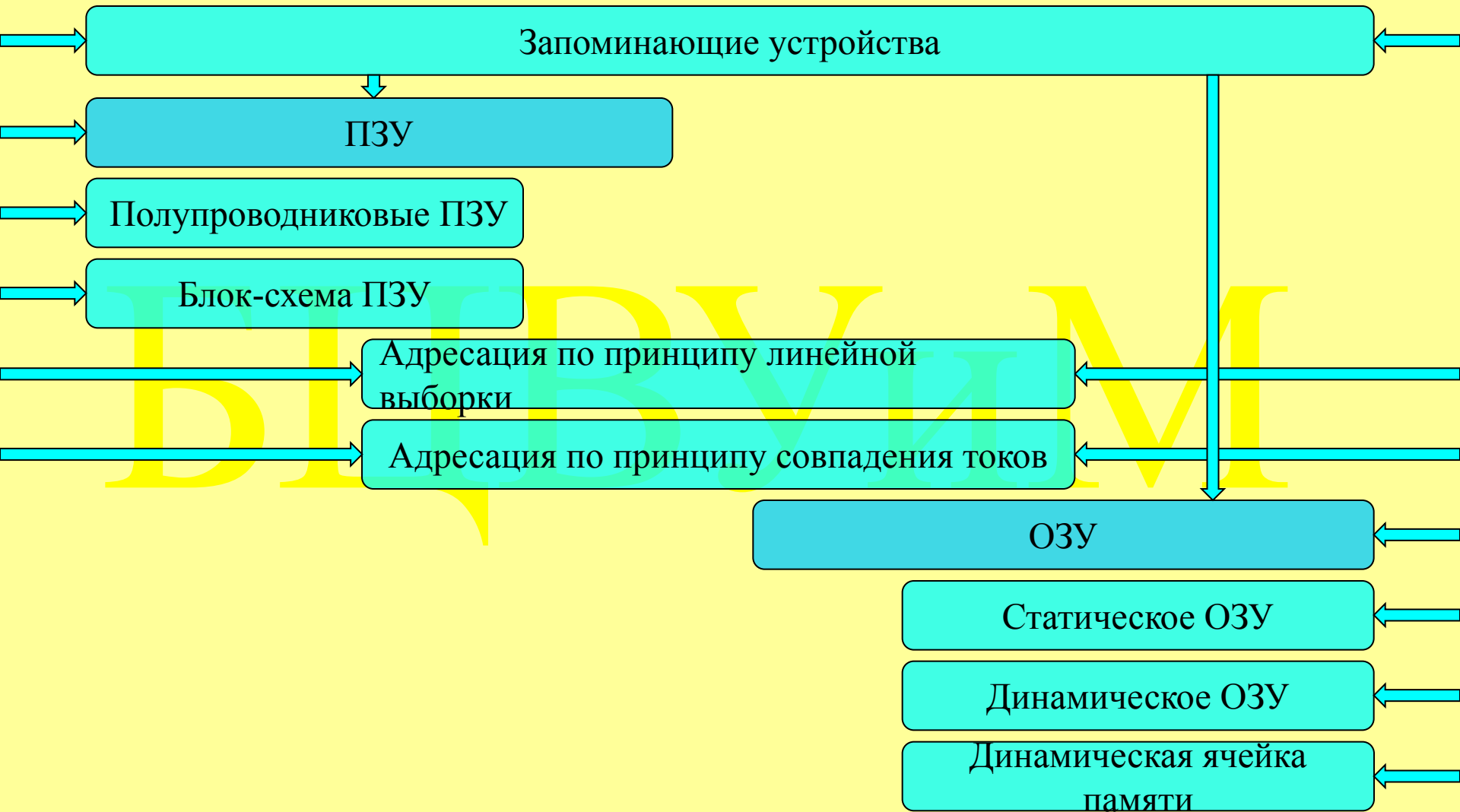
Мультиплексор

Мультиплексор — функциональный узел, осуществляющий подключение одного из нескольких входов данных к выходу.



Мультиплексоры 4—1, 8—1, 16—1 выпускаются в составе многих серий и имеют буквенный код КЦ.

Содержание: Память



Память

Запоминающие
устройства

Постоянные запоминающие устройства

Оперативные запоминающие устройства

Программируемые при
изготовлении (с масочным
программированием)

Программируемые
пользователем перед
эксплуатацией (ППЗУ)

Программируемые
пользователем во время
эксплуатации

Напряжением

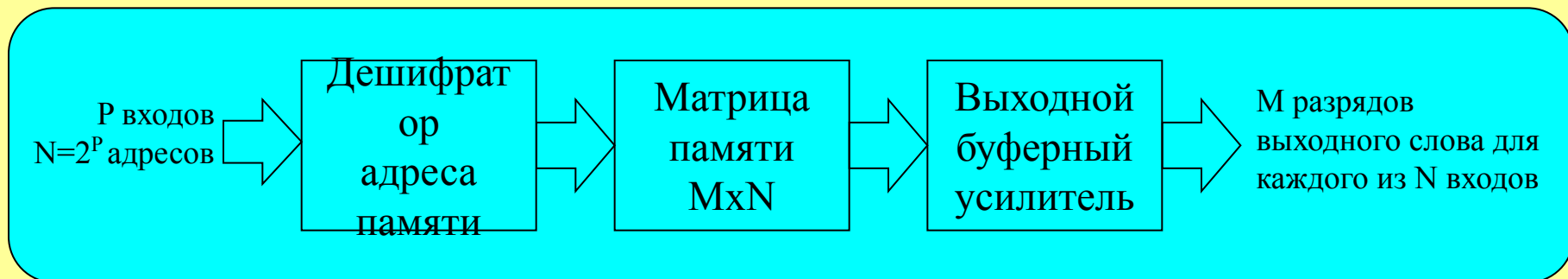
Ультрафиолетом

Прожигаемые

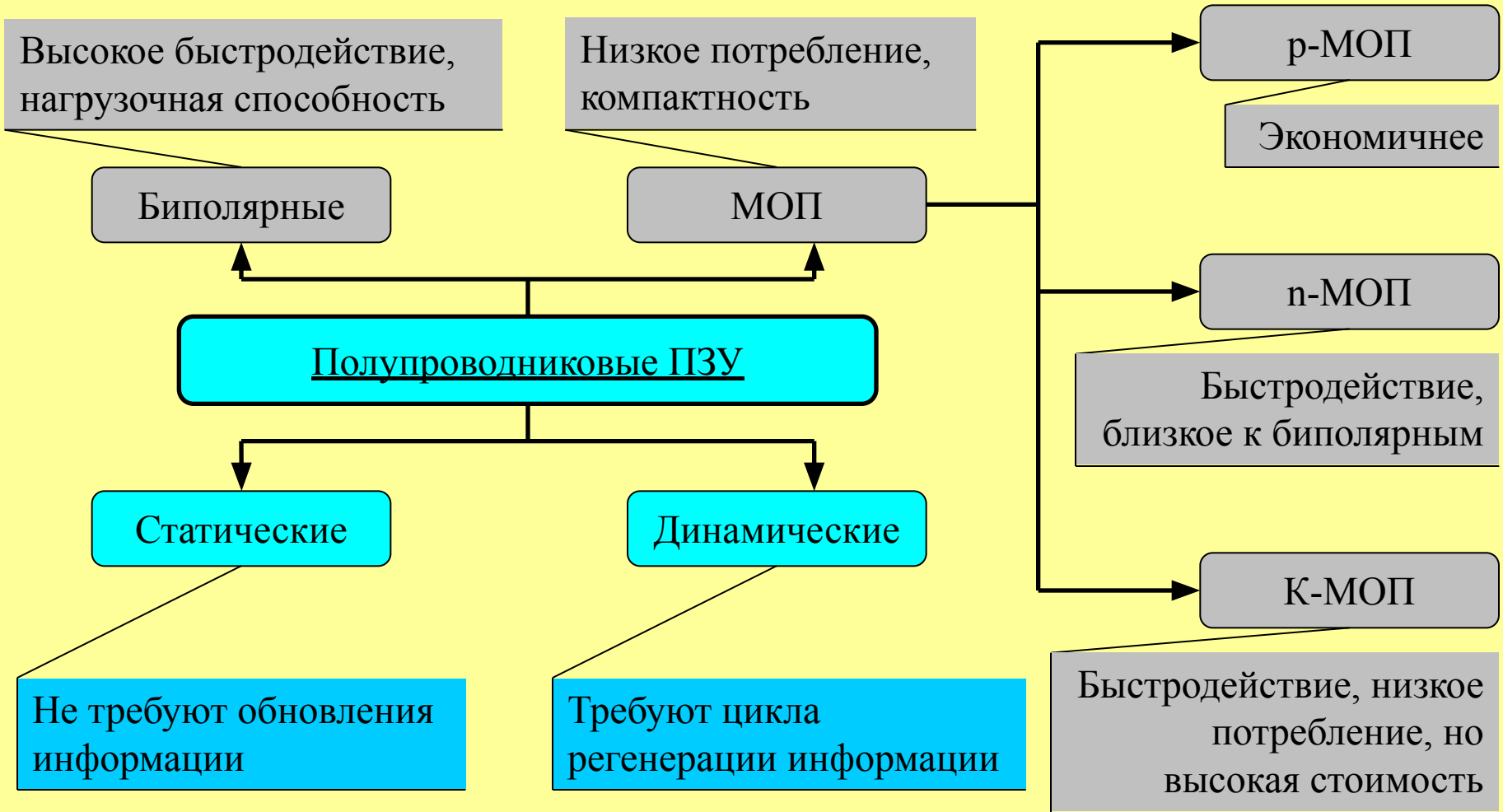
Статические. 1 триггер
хранит 1 бит, выгодны для
малых объёмов памяти

Динамические. Используется
меньше элементов,
потребляется меньше энергии,
но необходимо постоянное
обновление

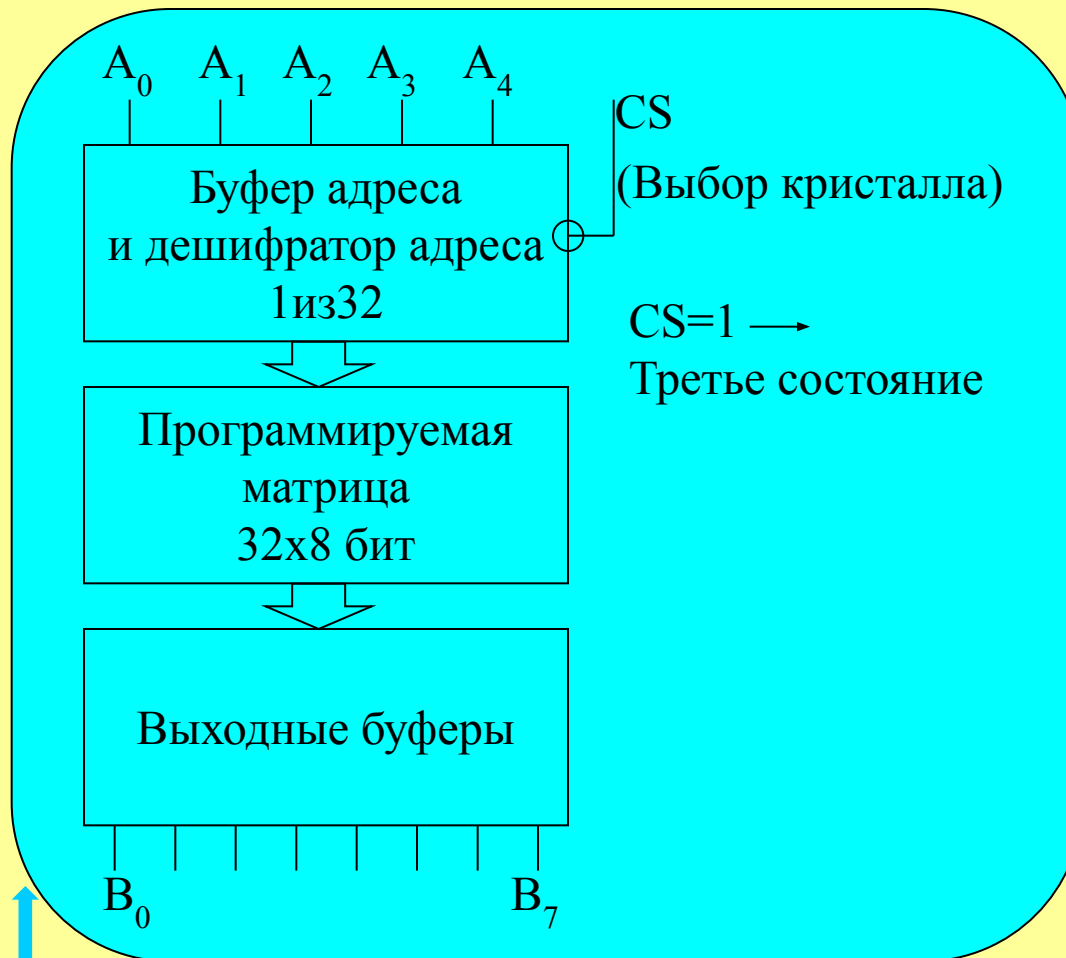
Постоянное запоминающее устройство



Полупроводниковые ПЗУ



Блок схема ПЗУ



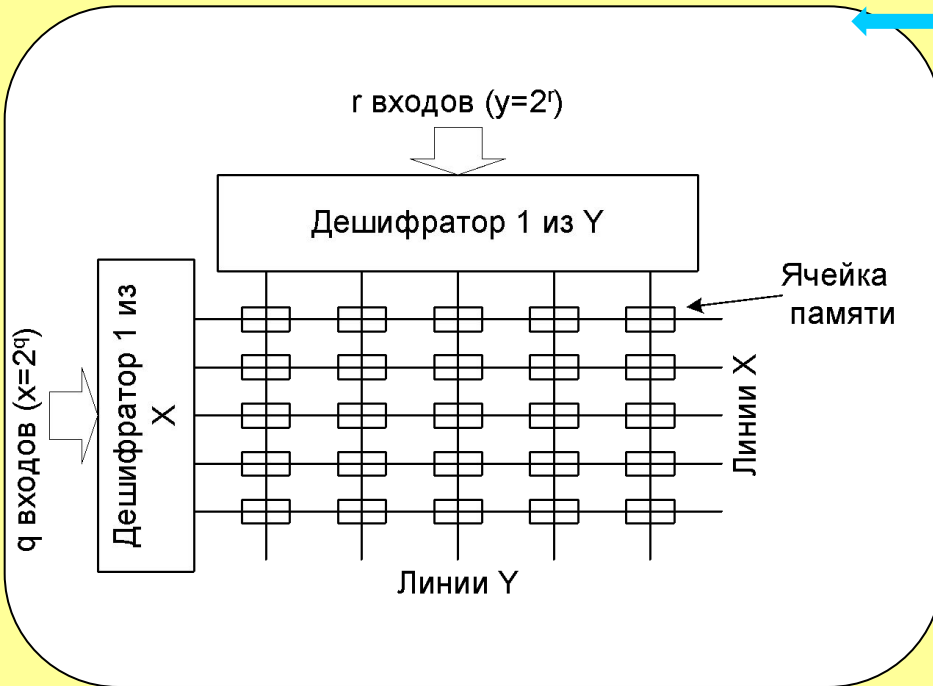
Блок схема ПЗУ типа 7488 TTL емкостью 256 бит

Принцип адресации: Линейная выборка



Принцип адресации: Совпадение токов

Отдельная матрица X-Y для ПЗУ с адресацией по принципу совпадения токов.



Матрица памяти типа X-Y с адресацией по принципу совпадения токов на МОП – транзисторных элементах связи.

Оперативное запоминающее устройство

Оперативные запоминающие устройства используются для хранения данных, изменяющихся в процессе работы системы.

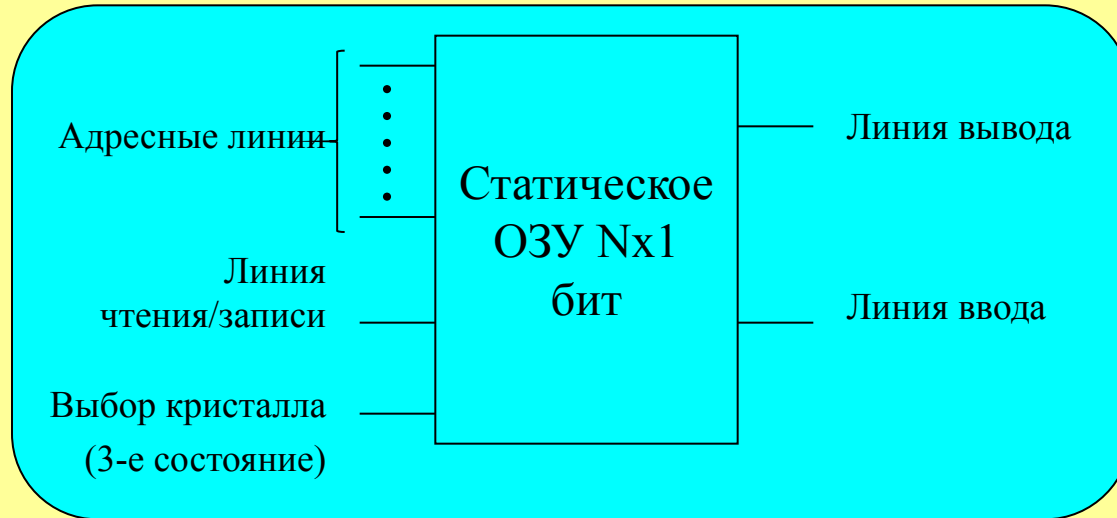
В статических ОЗУ для хранения 1 бит информации используется отдельный триггер, и эта информация сохраняется пока есть питание.

- Выгодно для малых объёмов памяти

В динамических ОЗУ информация хранится в виде электрических зарядов емкости затвор-подложка МОП – транзистора. Информация хранится несколько миллисекунд, периодическая подзарядка ёмкости (регенерация).

- Меньшее количество элементов на бит запоминаемой информации
- Более высокое быстродействие
- Меньшее потребление

Статическое ОЗУ



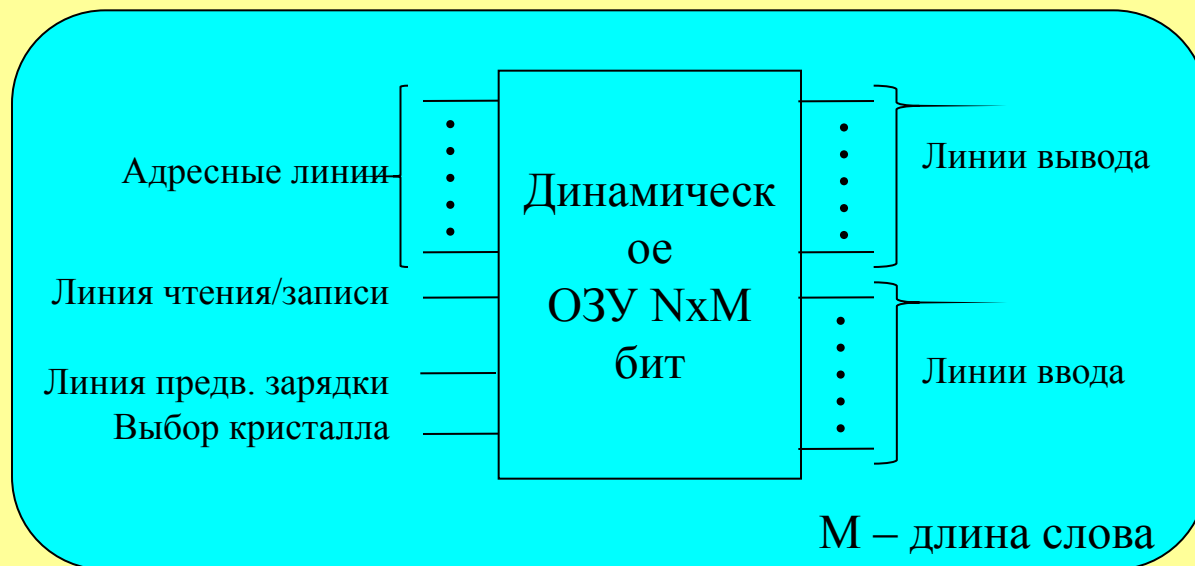
Технологии производства полупроводниковых ОЗУ:

- ТТЛ
- ЭСЛ
- МОП

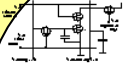
Адресация по принципу:

- Линейной выборки
- Совпадения токов

Динамическое ОЗУ



Динамическая ячейка памяти



Содержание: АЦП и ЦАП

АЦ и ЦА преобразования

АЦП

Теорема Котельникова

ЦАП

АЦ и ЦА преобразования

Цифровая форма передачи сигнала может обеспечивать:

- Более высокую помехоустойчивость при передаче сигнала
- Независимость от времени и влияния изменений в окружающей среде (t^0 , влажность, p)
- Возможность построения аппаратуры с использованием последних достижений техники, обеспечивающих компактность, экономичность и гибкость работы аппаратуры.

Микросхемы преобразователей сигналов по сравнению с цифровыми микросхемами имеют следующие особенности:

- высокую точность и стабильность I/O характеристик в широком диапазоне температур
 - сравнительно большое число контролируемых параметров в технологическом цикле производства, при контроле готовых схем, механических и климатических испытаниях
- высокое требование к контрольно-измерительной аппаратуре по точности и производительности при проверке статических и динамических параметров.

Микросхемы АЦП

- К1107ПВ
- К572ПВ
- К1113ПВ

Микросхемы ЦАП

- К594ПА1
- К1108ПА
- К1118ПА
- К572ПА

Аналого-цифровой преобразователь

АЦП – устройство, преобразующее входную аналоговую величину в соответствующий ей цифровой эквивалент – код, являющийся выходным сигналом преобразователя.

Классификация АЦП

- ▶ •Последовательные АЦП со ступенчатым пилообразным напряжением
- ▶ •АЦП последовательных приближений
- ▶ •Интегрирующие АЦП
- ▶ •Параллельные АЦП
- ▶ •Последовательно–параллельные АЦП

Аналого-цифровое преобразование

⇒ Дискретизация по времени ⇒ Квантование по уровню ⇒ Кодирование ⇒



N_t	УК	8	4	2	1
0	0	0	0	0	0
1	3	0	0	1	1
2	5	0	1	0	1
3	5	0	1	0	1
4	5	0	1	0	1
5	3	0	0	1	1
6	1	0	0	0	1
7	4	0	1	0	0
8	6	0	1	1	0

Теорема Котельникова

Если сигнал имеет ограниченный спектр, т.е. все его частотные составляющие не больше, чем F_{\max} , то для восстановления аналогового сигнала из последовательности дискретных значений тактовый интервал должен удовлетворять условию:

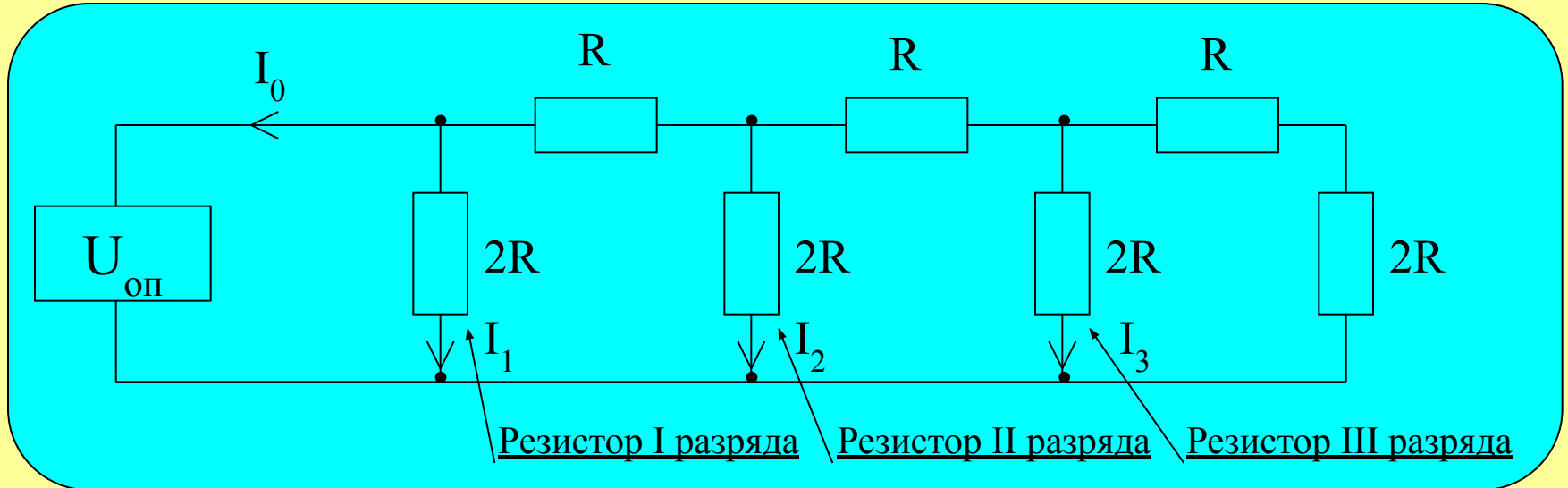
$$T \leq \frac{1}{2 \cdot F_{\max}}$$

Цифро-аналоговый преобразователь

ЦАП – устройство, преобразующее входное сообщение из цифровой формы сообщения в аналоговую.



Структура ЦАП



$$I_i = I_0 \cdot 2^{-i}$$

Содержание: МП – В общих чертах

Структурная организация БЦВУ

Управление процессами

Структурная схема БЦВУ

Работа программы с ОЗУ

Типичная схема процессора

Свойства БЦВУ

Классификация основных МП средств

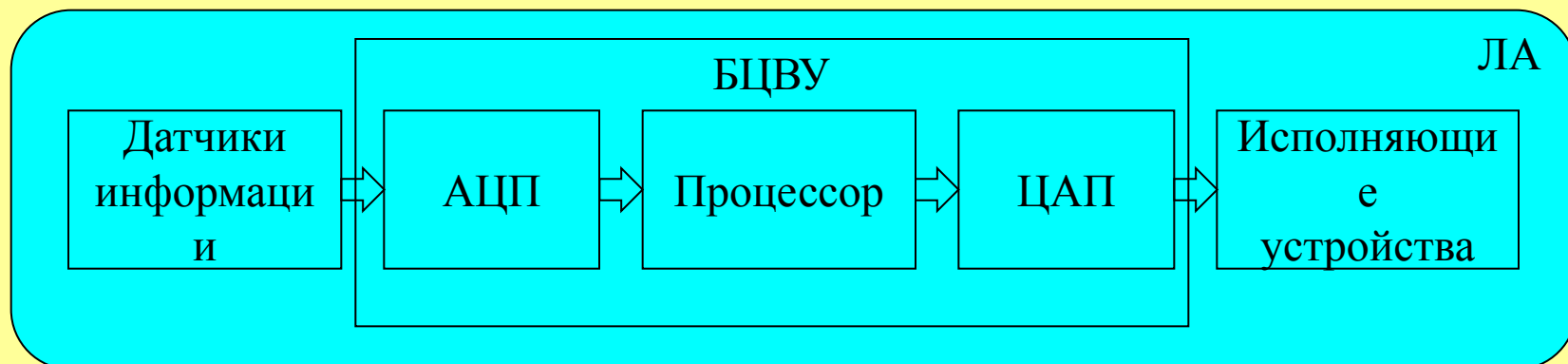
Продолжение:

Содержание: МП – Архитектура и Интерфейс

Структурная организация БЦВУ

Бортовые Цифровые Вычислительные Системы предназначены для:

- Решения пилотажно-навигационных задач
- Обеспечения работы РЛС (радиолокационных средств)
- Измерения координат
- Организации связи
- Контроля бортовых систем
- Контроля отображения информации
- и т.д.



Управление процессами

- 1) Круговая последовательность
- 2) Круговая последовательность с прерыванием
- 3) Приоритетное планирование
- 4) Планирование конечного срока, к которому должно быть завершено выполнение каждой задачи

Для синхронизации работы с памятью используются 2 подхода:

- 1) Выделяются участки программ, в которых задача не может быть прервана
- 2) Блокировка (перед получением доступа к данным, программа запрашивает на это право у Операционной системы)

Структурная схема БЦВМ

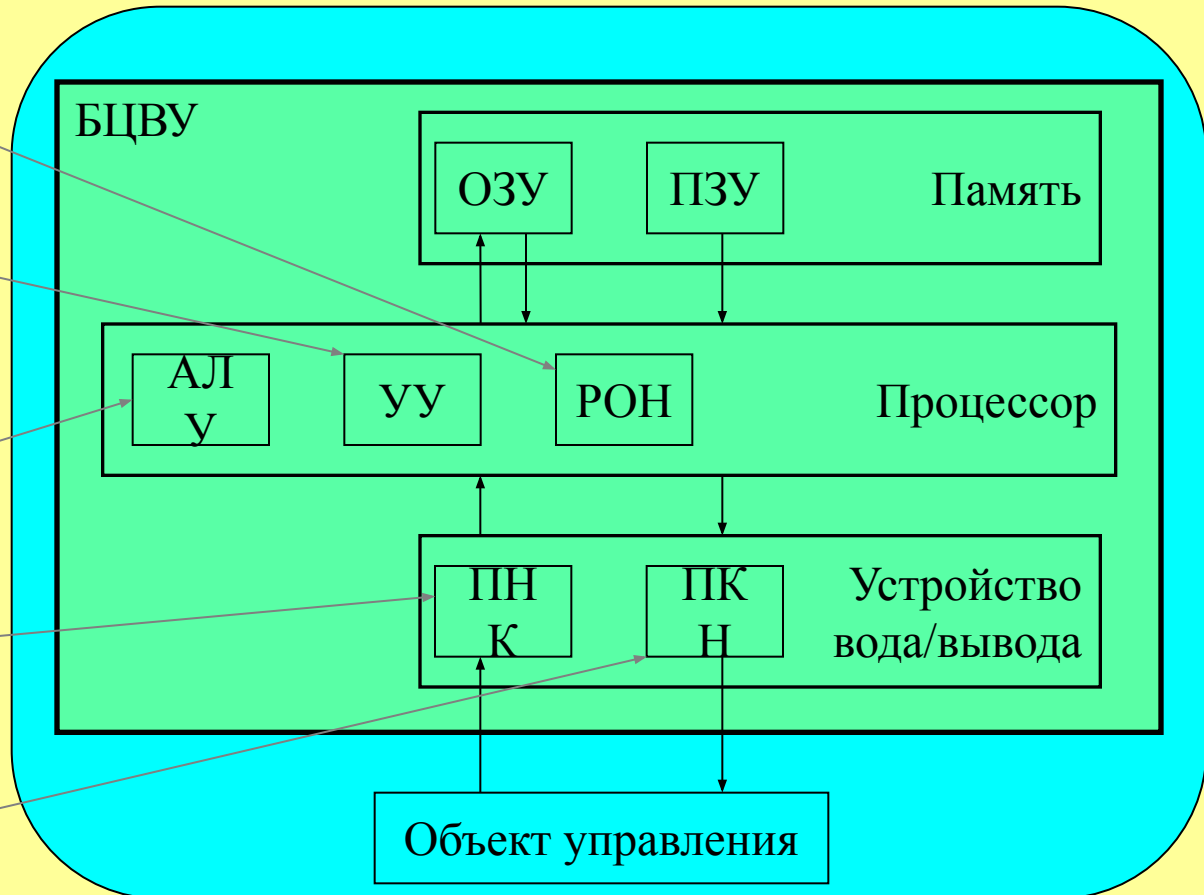
Регистр общего назначения

Устройство управления

Арифметико-логическое устройство

Преобразователь «Напряжение-Код»

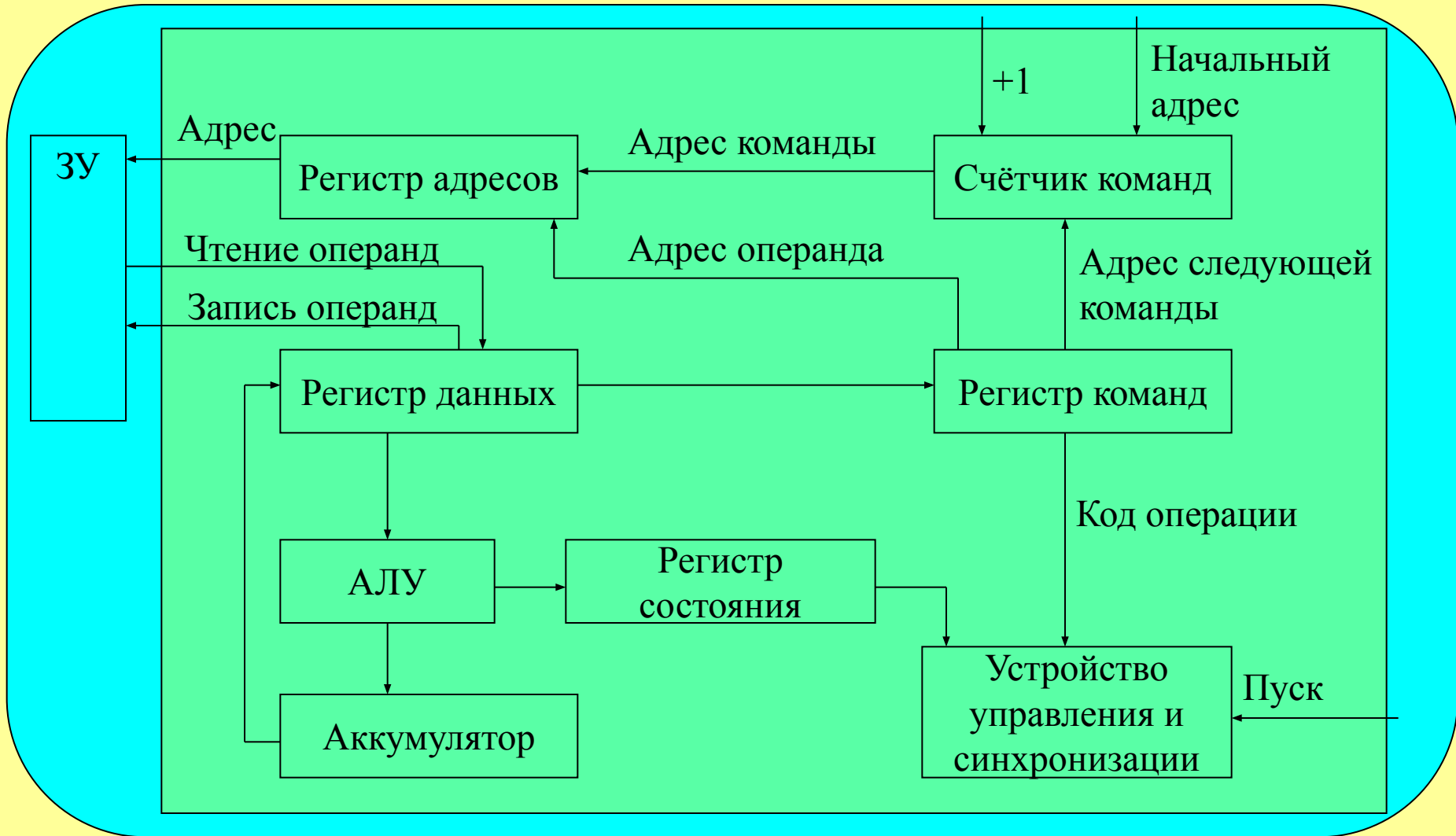
Преобразователь «Код-Напряжение»



Работа программы с ОЗУ

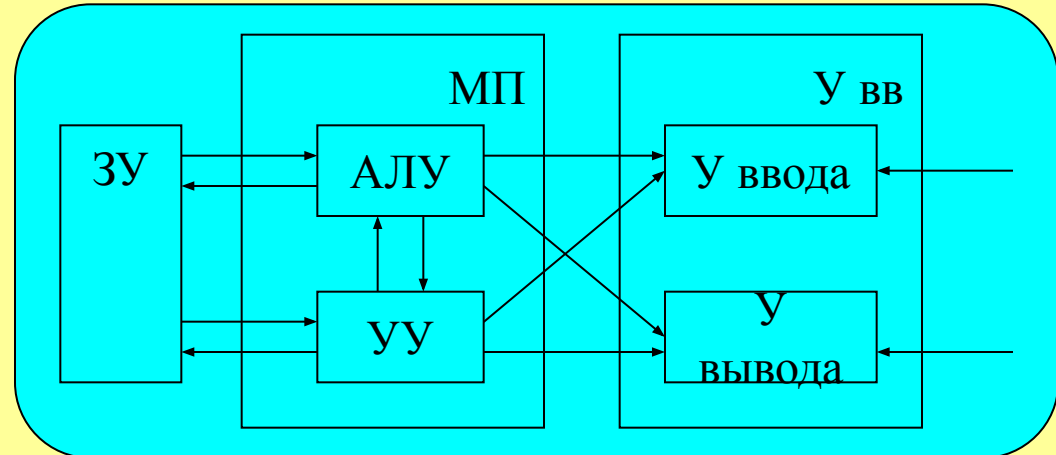
Программа			ОЗУ		
N	Относительный адрес	Обозначение команды	N	Относительный адрес	Операнд
1	X+0	LDA y+0	1	y+0	a
2	X+1	ADD y+1	2	y+1	b
3	X+2	SUB y+3	3	y+2	c
4	X+3	MUL y+4	4	y+3	d
5	X+4	MOV	5	y+4	R
6	X+5	HLT			

Типичная схема процессора



Свойства БЦВУ

1) Модульная организация – построение систем на основе набора модулей, конструктивно, функционально и электрически законченных устройств, самостоятельно решающих определённые задачи.



2) Магистральность – способ обмена информацией внутри и между модулей с помощью упорядоченных связей, объединяющих входные и выходные линии отдельных элементов.

3) Микропрограммируемость – способ организации управления для возможности переориентации системы за счёт возможной смены микропрограммы.

Классификация основных МП средств

Микро ЭВМ – конструктивно завершённая МПС, имеющая устройство связи с внешними устройствами, устройство управления, комплект программного обеспечения.

Микро контроллер – устройство, выполняющее функции логического анализа и управления (необходимо винчестеру, дисководу, принтеру).

Микропроцессорный комплект интегральных схем – совокупность микропроцессорных БИС и других ИС.

Содержание: МП – Архитектура и Интерфейс

Микропроцессор КР580ВМ80А

Регистры микропроцессорных систем (МПС)

Команды

Интерфейс

Порты

Обмен информацией между МП и внешней средой

Микропроцессорные комплекты (МПК)

16-разрядный МП

Выводы МП

Микропроцессор КР580ВМ80А

КР580ВМ80А

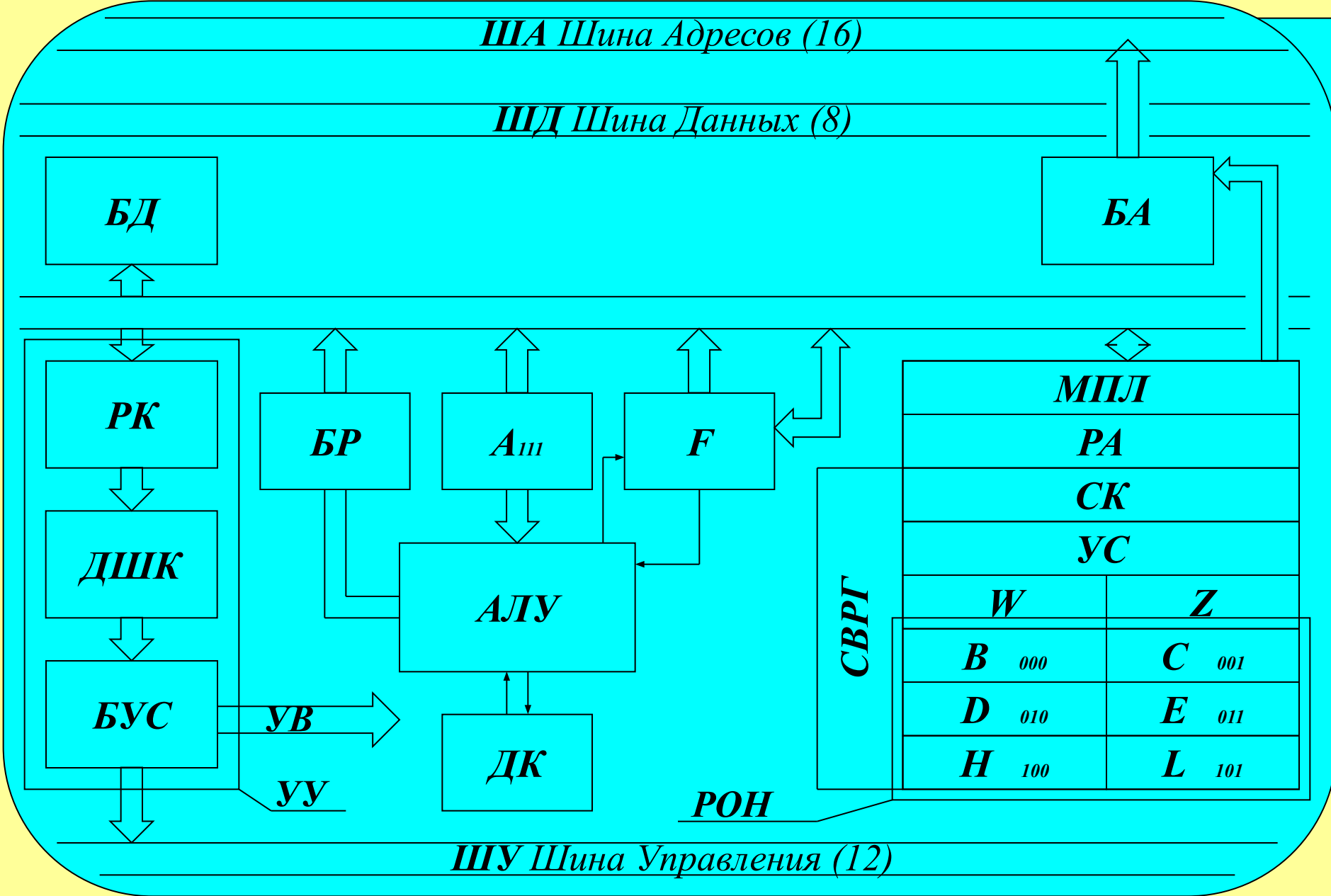
- 8-разрядный МП
- Центральный процессорный элемент параллельной обработки данных
- Реализован на 1 кристалле БИС по n-МОП технологии
- Содержит ~5000 транзисторов
- Количество выводов – 40
- Рабочая частота $f_T = 2$ МГц
- Питание УП: +5 V, -12 V, -5 V
- Характерно-однозначно определённая архитектура
- Система команд (78 команд)
- Отсутствие возможности аппаратного наращивания разрядности данных
- Время команд ~ 2...9 мксек

КР580

ВМ80

А

Структурная схема далее



Обозначения на схеме

- **ША** – Шина Адресов – 16-разрядная
- **ШД** – Шина Данных – 8-разрядная шина для ввода/вывода данных в/из процессора
- **ВШД** - Обмен информацией внутри МП осуществляется по Внутренней 8-разрядной Шине Данных с помощью 8-разрядного мультиплексора.
- **ШУ** – Шина Управления – 12-разрядная
- **БД** – Буфер Данных
- **БА** – Буфер Адреса

Обозначения на схеме

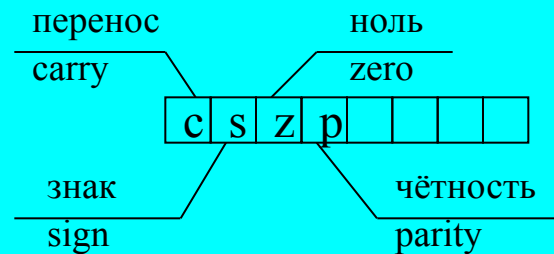
- **УУ** – Управляющее Устройство – управляет работой АЛУ, БРГ и других компонентов.

Функции УУ:

- 1) Выработка команд программы в нужной последовательности, их дешифрация и обработка полей команд.
 - 2) Управление выполнением операций.
 - 3) Синхронизация работы отдельных блоков МП.
- **РК** – Регистр Команд – предназначен для хранения кода операций (1-й байт команды) той команды, адрес которой установлен в Счётчике Команд.
 - **ДШК** – Дешифратор Команды – осуществляет дешифрацию команды (определяет тип выполняемой операции).
 - **БУС** – Блок Управления Синхронизацией – Вырабатывает необходимую последовательность управляющих сигналов. Предназначен для управления и синхронизации как внутри МП (УВ), так и других внешних устройств (ШУ).

Обозначения на схеме

- **АЛУ** – Арифметико-Логическое Устройство – для выполнения арифметических операций (сложение, вычитание, И, ИЛИ, исключающее ИЛИ, и сдвиги).
- **БР** - Буферный Регистр
- **А** – Аккумулятор – Специальный регистр для временного хранения операндов или промежуточных результатов при выполнении арифметических и логических операций в АЛУ.
- **F** – Флаги – Набор триггеров, устанавливающихся в 0 или 1 в зависимости от того или иного признака результата предыдущей операции.



- **ДК** – Десятичная Коррекция

Обозначения на схеме

- **БУС** – Блок Управления Синхронизацией – Вырабатывает необходимую последовательность управляющих сигналов. Предназначен для управления и синхронизации как внутри МП (УВ), так и других внешних устройств (ШУ).
- **БРГ** – Блок Регистров.
- **МПЛ** – Мультиплексор.
- **W** и **Z** – недоступные регистры.
- **РА** – Регистр Адресов – 16-разрядный регистр для хранения адреса ячейки ОЗУ, из которой нужно считать или записать программу.
- **СК** – Счётчик Команд – 16-разрядный регистр, указывающий адрес очередной команды (после чтения команды значение в СК увеличивается на 1).
- **УС** – указатель стэка – специально программно – доступный 16-разрядный регистр. В нём пользователь определяет адрес ячеек ОЗУ, где находится СТЭК.
- **РОН** – Регистры Общего Назначения – В РОН входят 6 8-разрядных регистров: В, С, D, E, H, L. РОН выполняют роль сверхоперативного ОЗУ.
- **СВРГ** – Схема Выбора Регистров

Регистры МПС

Внутренние Регистры

РД

РУ

000 B

<i>B</i>	<i>C</i>
----------	----------

001 C

<i>D</i>

010 D

<i>D</i>	<i>E</i>
----------	----------

011 E

<i>H</i>

100 H

<i>H</i>	<i>L</i>
----------	----------

101 L

111 A

<i>CK</i>

F

<i>УС</i>

PSW

<i>A</i>	<i>F</i>
----------	----------

Внешние Регистры

Память

Устройства I/O

0000

00

0001

0002

FF

FFFD

00

FFFE

FFFF

FF

Выход

Ввод

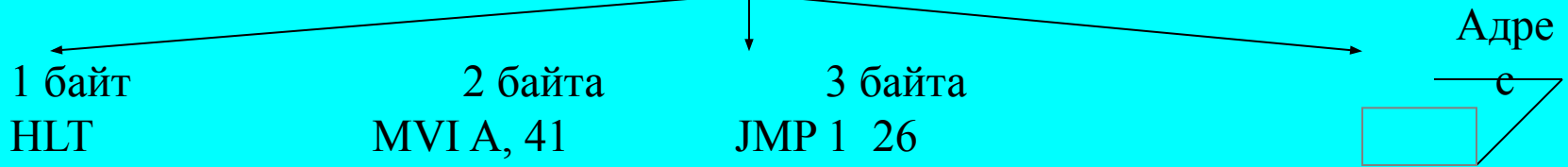
$$2^{16} = 65536(-1)$$

Команды

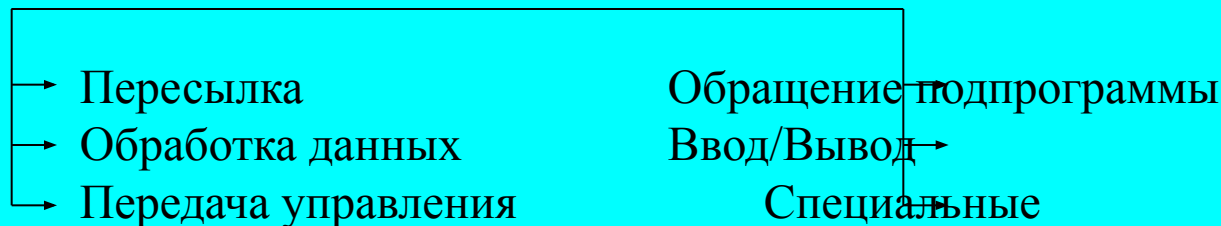
Программа – последовательность команд, поочерёдно выполняющихся микропроцессором.

Команда – инструкция, под воздействием которой выполняется какая-либо машинная операция.

Существуют команды трёх форматов:



Также команды делятся на 6 групп:



Команды

Также команды делятся на 6 групп:

- Пересылка
- Обработка данных
- Передача управления

- Обращение подпрограммы
- Ввод/Вывод →
- Специальные

Пересылка – обеспечивает простую пересылку данных без обработки:

- а) с обращением к регистрам
- б) с обращением к памяти

Обработка данных – обеспечивает выполнение операций над данными. При этом, один из операндов должен быть в аккумуляторе, а другой может быть в одном из РОНов либо в ячейке памяти, адрес которой именно в АШ или в 2-х байтовой команде. Результат выполнения команды помещается в аккумулятор.

Команды

Передача управления – эта команда безусловного и условного переходов на основе анализа признаков или флагов. Назначение этой группы – изменить нормальный ход команд.

Обращение подпрограммы – обеспечивает передачу управления с сохранением информации в том месте, в котором произошла передача, а также возврат управления под программу в исходной программе с восстановлением в состав исходной команды.

Ввод/вывод – обеспечивает обмен между микропроцессором и портами. Прием и передача данных происходит только через аккумулятор.

Специальные – группа однобайтовых команд для управления управляющих операций над самим микропроцессором.

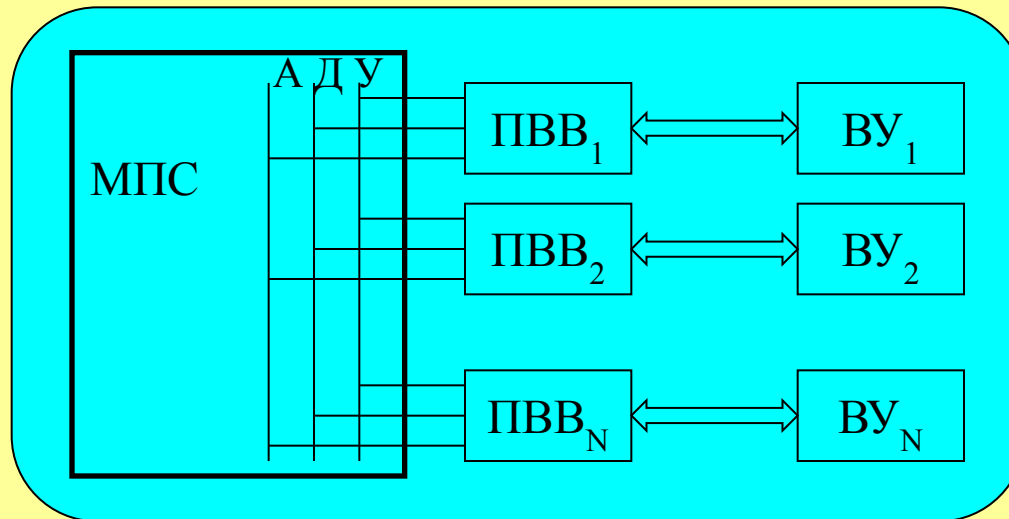
Интерфейс

Интерфейс – комплекс средств унифицированного сопряжения компонентов МПС, включающей аппаратные средства.

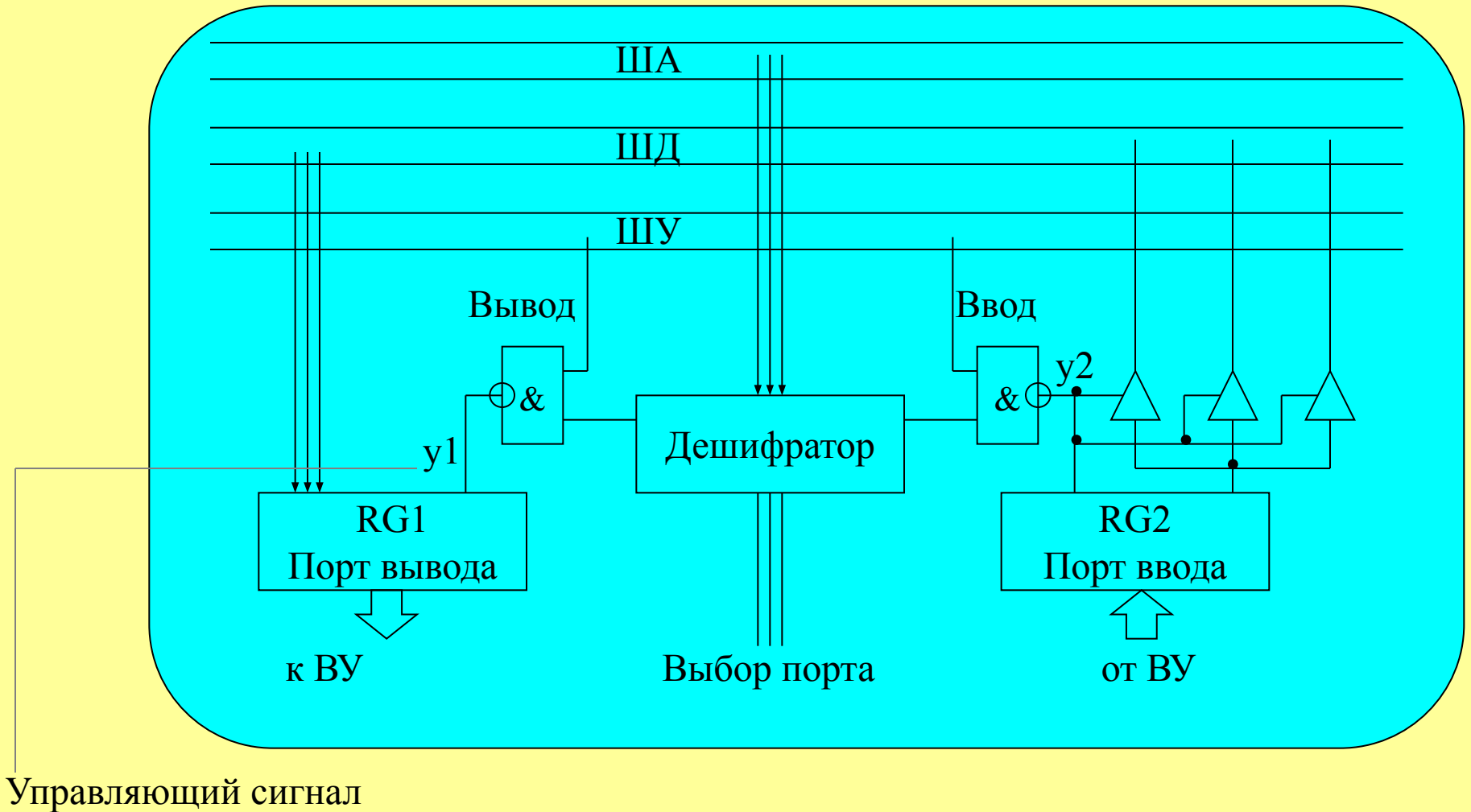


Порты ввода/вывода

Порты ввода/вывода – блоки, задачей которых является взаимодействие между МПС и внешней средой.



Типичная схема включения портов



Обмен информацией между МП и внешней средой

Способы обмена данных

1. Программно управляемая передача данных
2. Передача данных с прерыванием программы
3. Прямой доступ к памяти

1. Программно управляемая передача данных – это обмен данных между МП и ВУ, когда используется специальная команда. По этой команде ВУ подсоединяется к адресной шине через интерфейсные блоки. МП адресует к ВУ как к обычным ячейкам памяти либо как к специальным портам ввода вывода. Этот способ является простым и быстродействующим, так как не учитывается готовность ВУ.

Недостаток – МП в таком режиме при операции ввода/вывода ничего не делает.

Обмен информацией между МП и внешней средой

2. Передача данных с прерыванием программы – способность МП прерывать рабочую программу в ответ на внешнее событие и выполнять другую программу, специально предназначенную для обработки этого события – программу обработки прерывания. Такие ситуации являются обычными для МПС, работающих в реальном времени с реальными объектами и процессорами, с каналами связи и просто с ВУ с различным быстродействием. Использование прерывания по готовности порта позволяет включить периодический опрос его состояния. При этом МП освобождается для выполнения других функций. Прерывание рабочей программы аналогично переходу к другой программе с той разницей, что это происходит не по команде в программе, а по сигналу от ВУ. Этот сигнал называется «запрос на прерывание». От ВУ он попадает на шину управления. Обнаружив запрос на прерывание, МП откладывает выполнение рабочей программы и начинает выполнять программу обработки прерывания, которая заканчивается командой возврата, передающей управление на продолжение выполнения прерванной рабочей программы. Обслуживание прерывания осуществляется при помощи стека.

Далее →

Обмен информацией между МП и внешней средой

Существует два способа идентификации устройств, приславших запрос на прерывание:

1. **Прерывание с программным опросом**, т.е. когда основная программа обработки прерывания опрашивает состояние нескольких ВУ и находит то, которое требует обслуживания. Этот способ отличается простотой и минимальным количеством сигналов.

2. **Аппаратное прерывание**. Этот способ характеризуется тем, что по приходу запроса на прерывание однозначно указывается адрес внешнего устройства, который его прислал.

Обмен информацией между МП и внешней средой

3. Прямой доступ к памяти (ПДП) – этот режим необходим в ходе выполнения рабочей программы для обмена информацией между ВУ и ОЗУ. Такой обмен может осуществляться при посредничестве МП или без него. Возможность исключить МП из процесса, позволяет существенно уменьшить время. Эта возможность обеспечивается специальным устройством.

Преимущество ПДП особенно существенно при использовании быстродействующих ВУ и выполнении программ связанных с большим объемом информации и с коротким алгоритмом.

МПК 580

Микропроцессорный Комплект

BM-80A

– БИС ОН (Общего Назначения)

ГФ-24

– ГТС (Генератор Тактовых Сигналов)

ВК-28 (38)

– СК (Системный Контроллер)

ИР-82 (83)

– БР (Буферный Регистр)

ВА-86 (87)

– ШФ (Шинный Формирователь)

ВВ-51

– УСАПП (Универсальный Синхронно-Асинхронный Приёмопередатчик для последовательных устройств ввода-вывода)

ВВ-55

– Последовательно-параллельный интерфейс

ВИ-53

– Программируемый таймер

ВТ-57

– Контроллер ПДП (Прямого Доступа к Памяти)

КГ-75

– Контроллер ЭЛТ (Электронно-Лучевой Трубки)

ВВ-79

– КИК (Контроллер Индикации и Клавиатуры)

ВК-91

– КОП (Канал Общего Пользования)

ВГ-92

– Контроллер канала общего пользования

ВА-93

– Приёмопередатчик

ВТ-42

– КД ОЗУ (Контроллер Доступа ОЗУ)

ВР-43

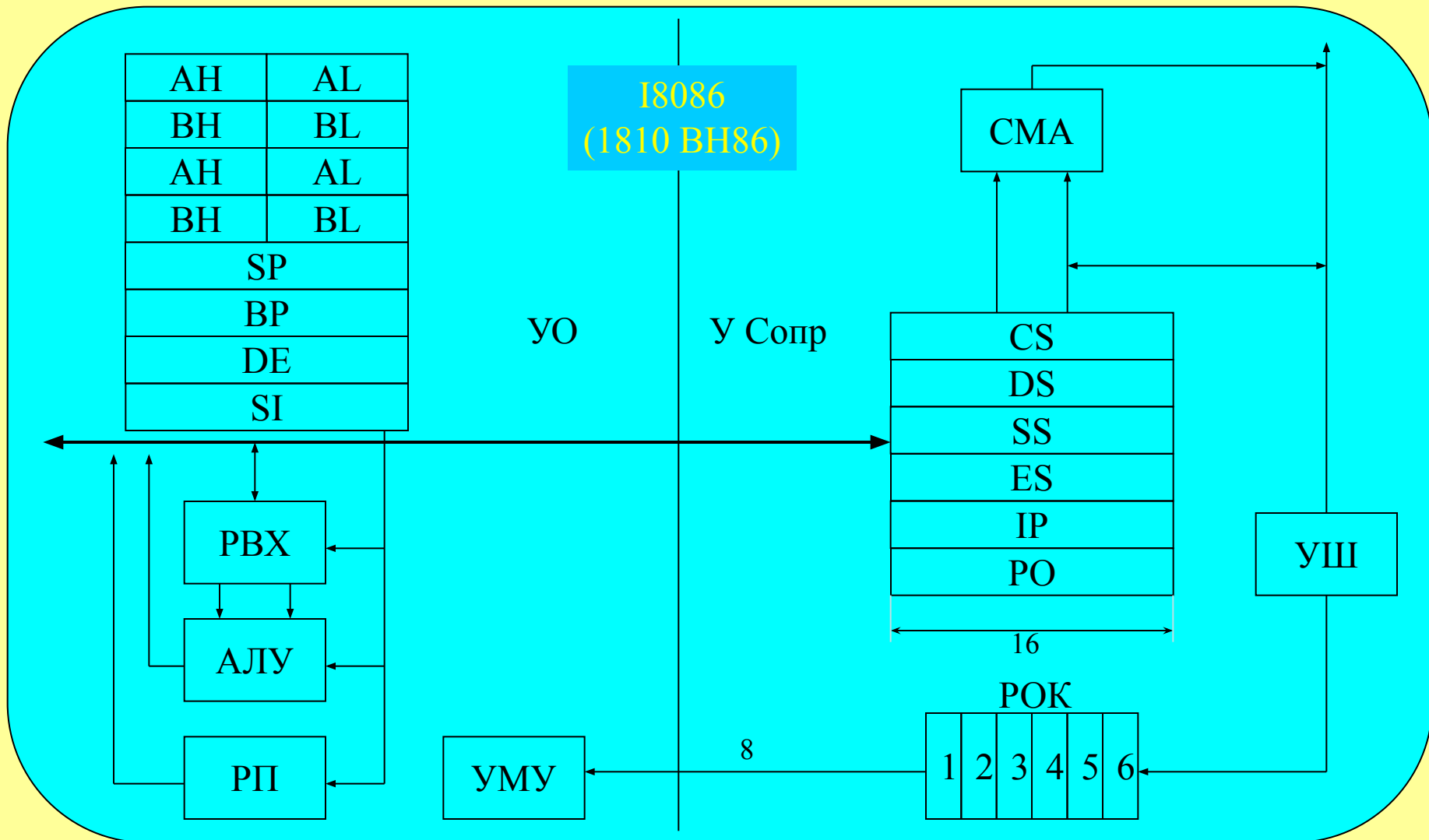
– Расширение ввода/вывода

МПК 1810

МПК 580 – аналог Intel I8080
МПК 1810 – аналог Intel I8086

1810 ВМ-86 – ЦП
ГФ-84 – Генератор Тактовых Сигналов
ВН-59 – Контроллер ПДП
ВТ-88 – Системный Контроллер
ВМ-87 – Арифметический Сопроцессор

Архитектура 16-разрядного МП



Обозначения на схеме

Устройство сопряжения обеспечивает формирование 20-разрядного физического адреса в памяти, выборку команд и операндов из памяти, организацию очередности команд и запоминания результатов выполнения команд в памяти. Состоит из:

6 РОКов – Регистров Очереди Команд (8-разрядных).

CS, DS, SS, ES – Сегментные регистры (16-разрядные).

IP – Регистр адреса команды (16-разрядный).

PO – Регистр Обмена (16 разрядный)

СМА – Сумматор Адреса (16-разрядный)

УШ – Управление Шиной.

Обозначения на схеме

Устройство Обработки предназначено для выполнения операций по обработке данных. Состоит из:

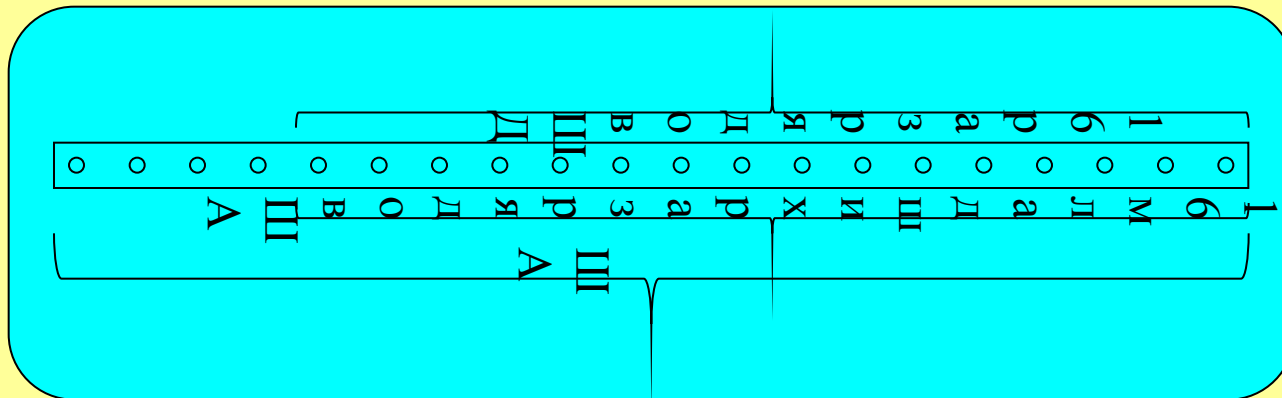
УМУ – Устройство Микропрограммного Управления

АЛУ – Арифметико-Логическое Устройство (16 разрядное)

8 РОНов – Регистров Общего Назначения (16 разрядных), где Н=High, L=Low.

SP – Регистр Признаков

Назначение выводов МП



ШД мультиплексирована с 16 младшими разрядами ША

- В первом такте МП выдаёт 16 разрядный адрес
- Во втором передаёт или принимает данные

Следовательно, для фиксации адреса на весь цикл необходим регистр-защёлка

Выводы МП

ША/ШД ↔ 0...16

ША → 16...19

CLK ← Clock

RDY ← Ready

Test ←

CLR ←

HLD ← Захват Шины

HLD A → Подтверждение захвата шины

WR →

Reset ←

Int A → Подтверждение запроса прерывания

M/IO →

RD →

MM/MX →

MM/MX (Minimum/Maximum)

Режим Minimum: МП сам вырабатывает сигнал управления для системы. [Для построения небольших устройств, не требующих сопроцессора или больших БИС]

Режим Maximum: Сигнал управления системной шиной вырабатывается контроллером шины (int 8288 или K1810BGM8)

Спасибо за внимание!

Сибирский Государственный Аэрокосмический Университет
имени академика М. Ф. Решетнёва

БЦВУиМ