

**МІНІСТЕРСТВО ОСВІТИ ТА НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ АВІАЦІЙНИЙ УНІВЕРСИТЕТ**

Кафедра радіоелектронних комплексів

ДИПЛОМНИЙ ПРОЕКТ

**Тема: Плата лічильників затримки каналу синхронізації
ВРЛ «Корінь-АС».**

Виконав – студент _____

Керівник – _____

Київ 2015

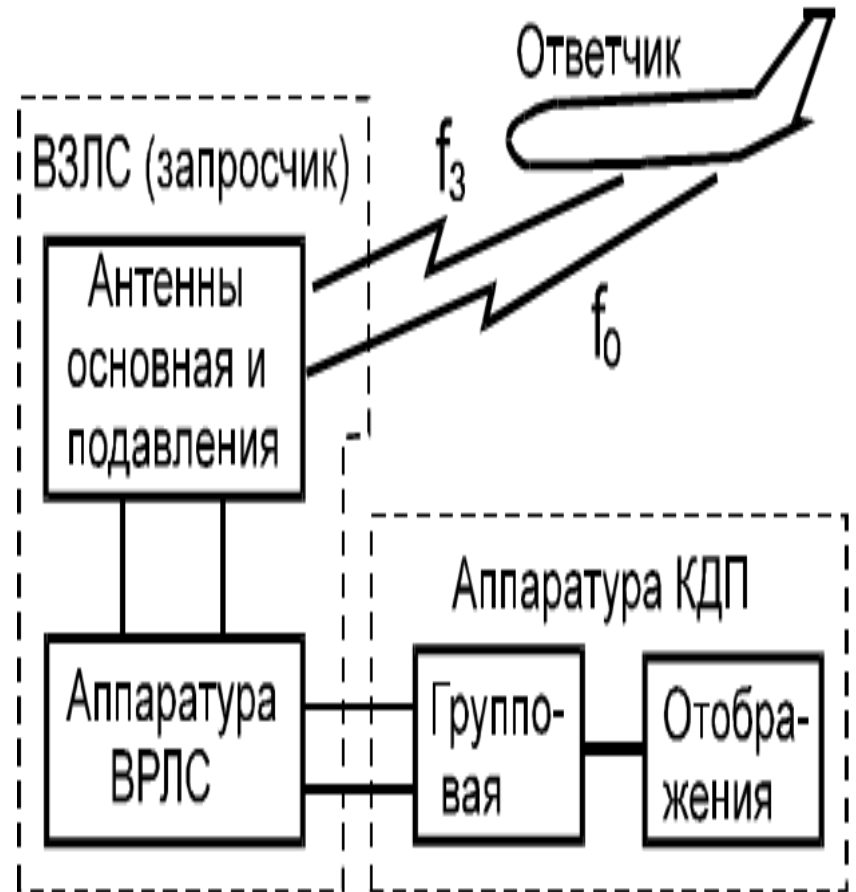


Рис.1. Загальний вигляд ВРЛ“Корінь-АС”та структура СВРЛ.

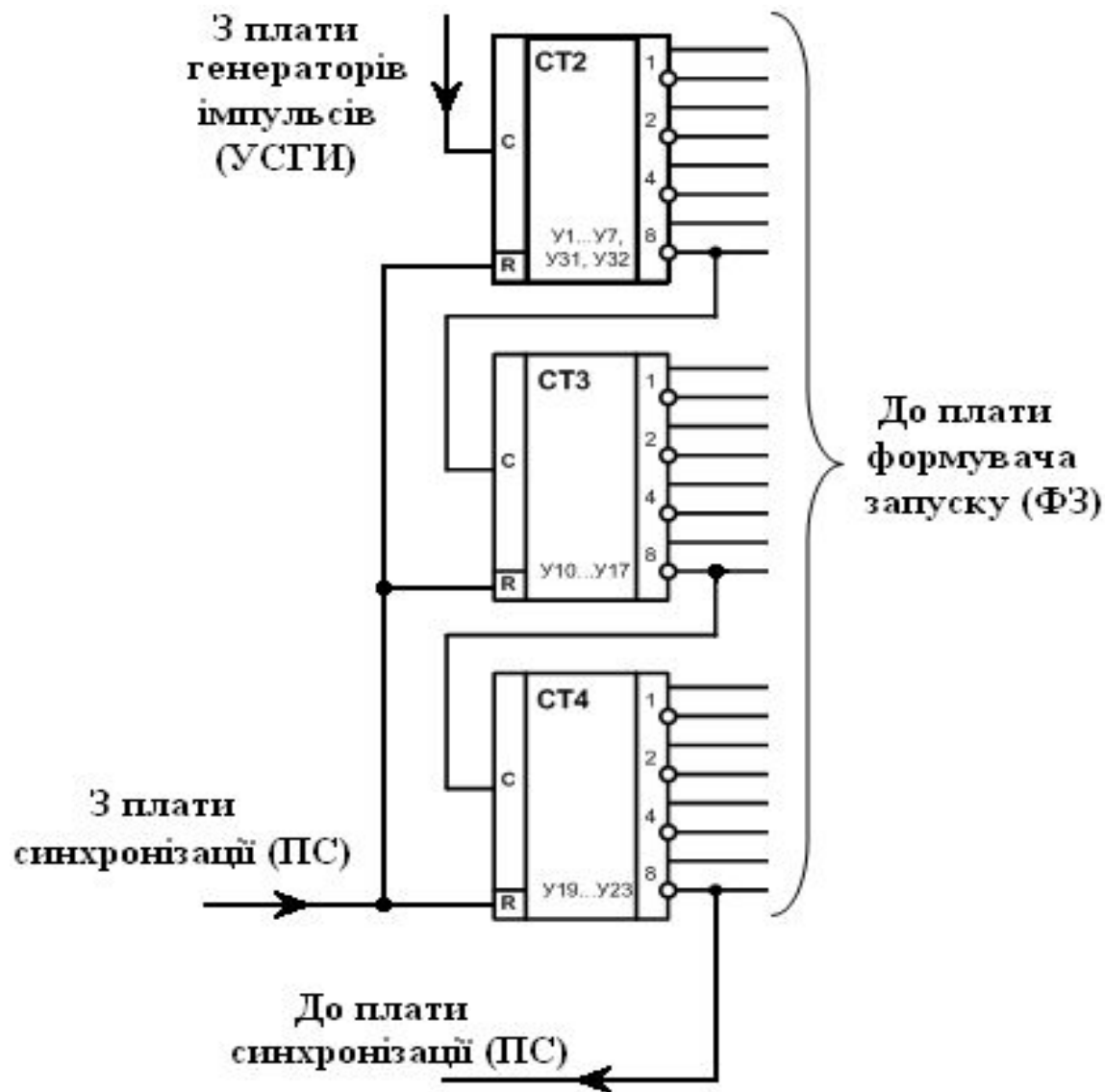


Рис.2. Плата лічильників затримки вхідного сигналу.

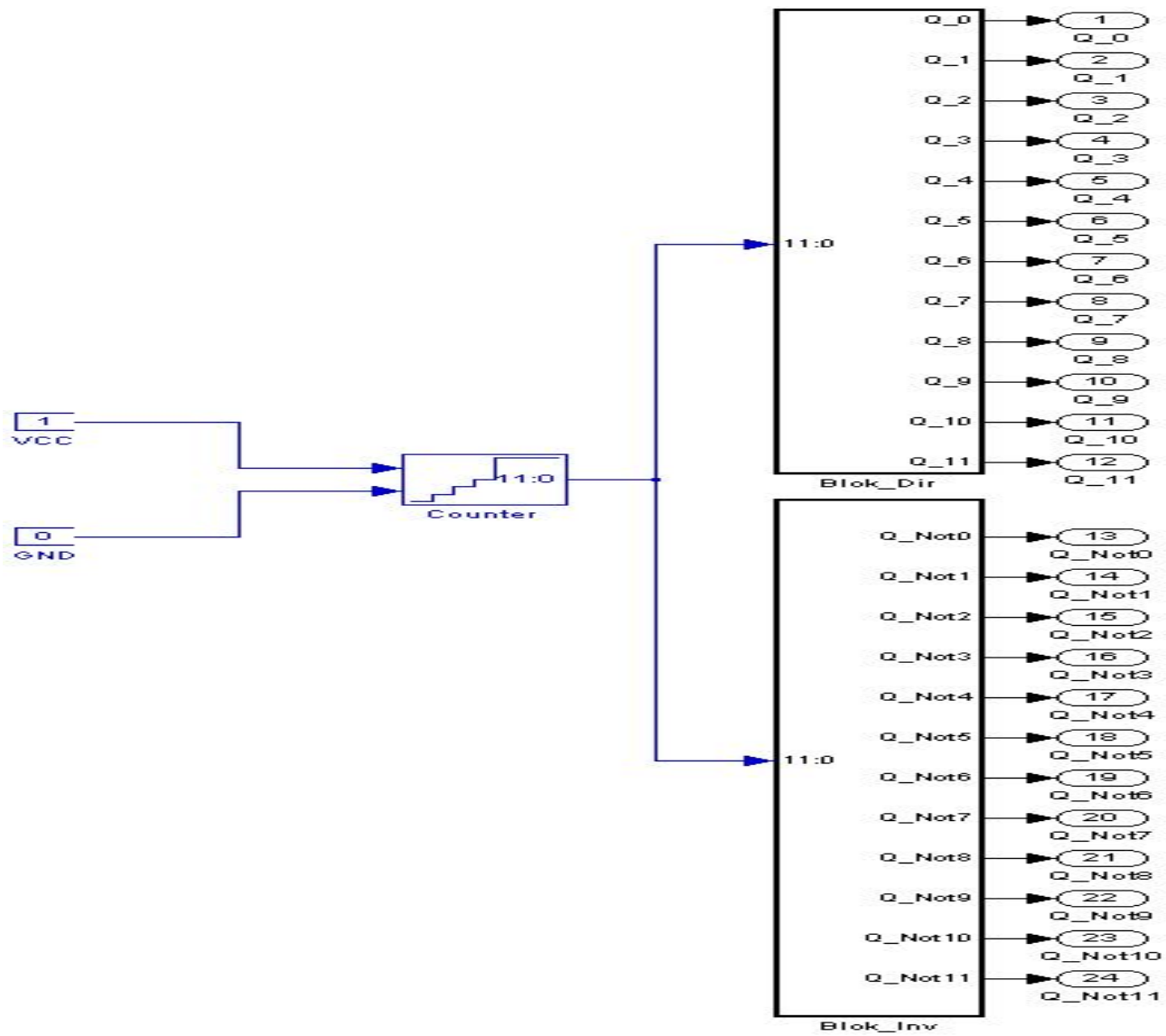


Рис.3. Модель плати лічильників затримки.

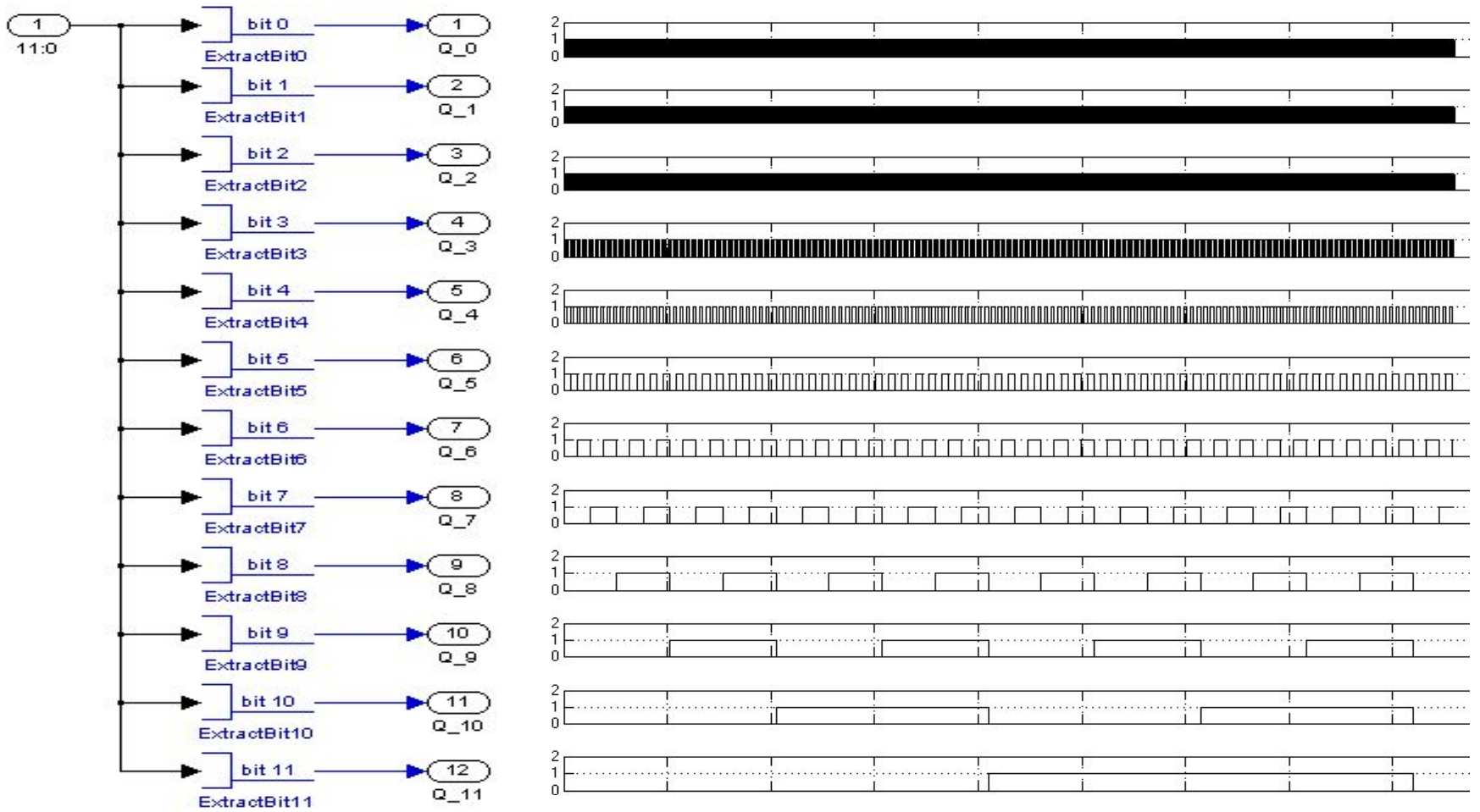


Рис.4.Блок прямих виходів схеми та епюри сигналів.

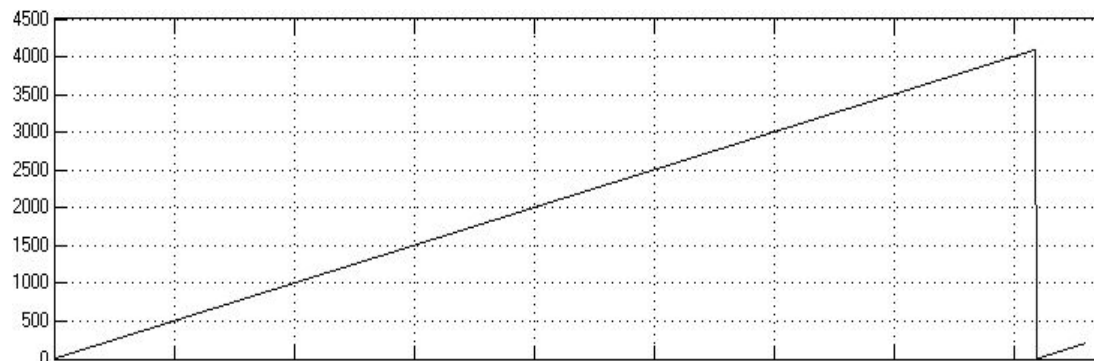
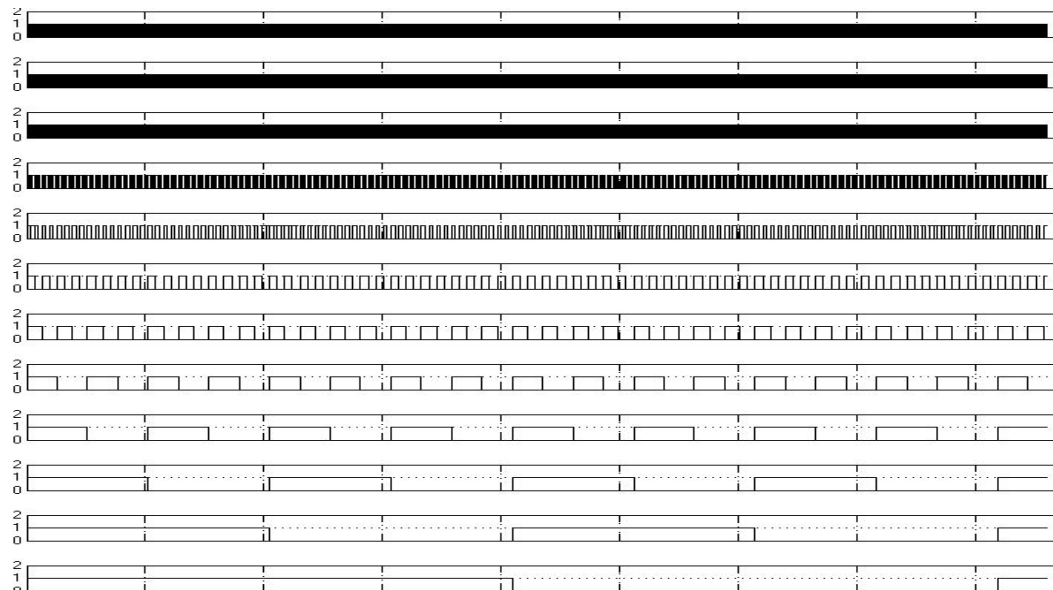
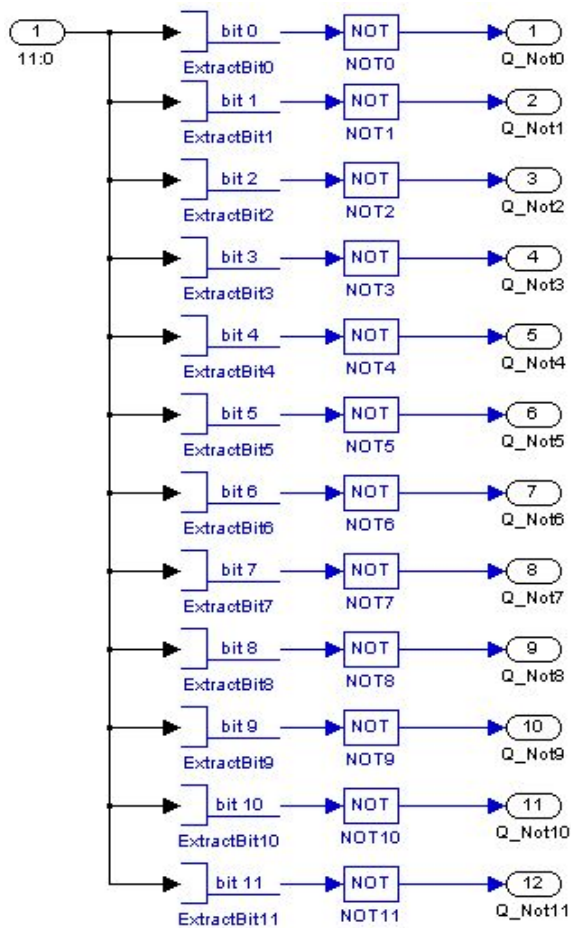


Рис.5.Блок інверсних виводів схеми з епюрами сигналів та повний сигнал лічильника.

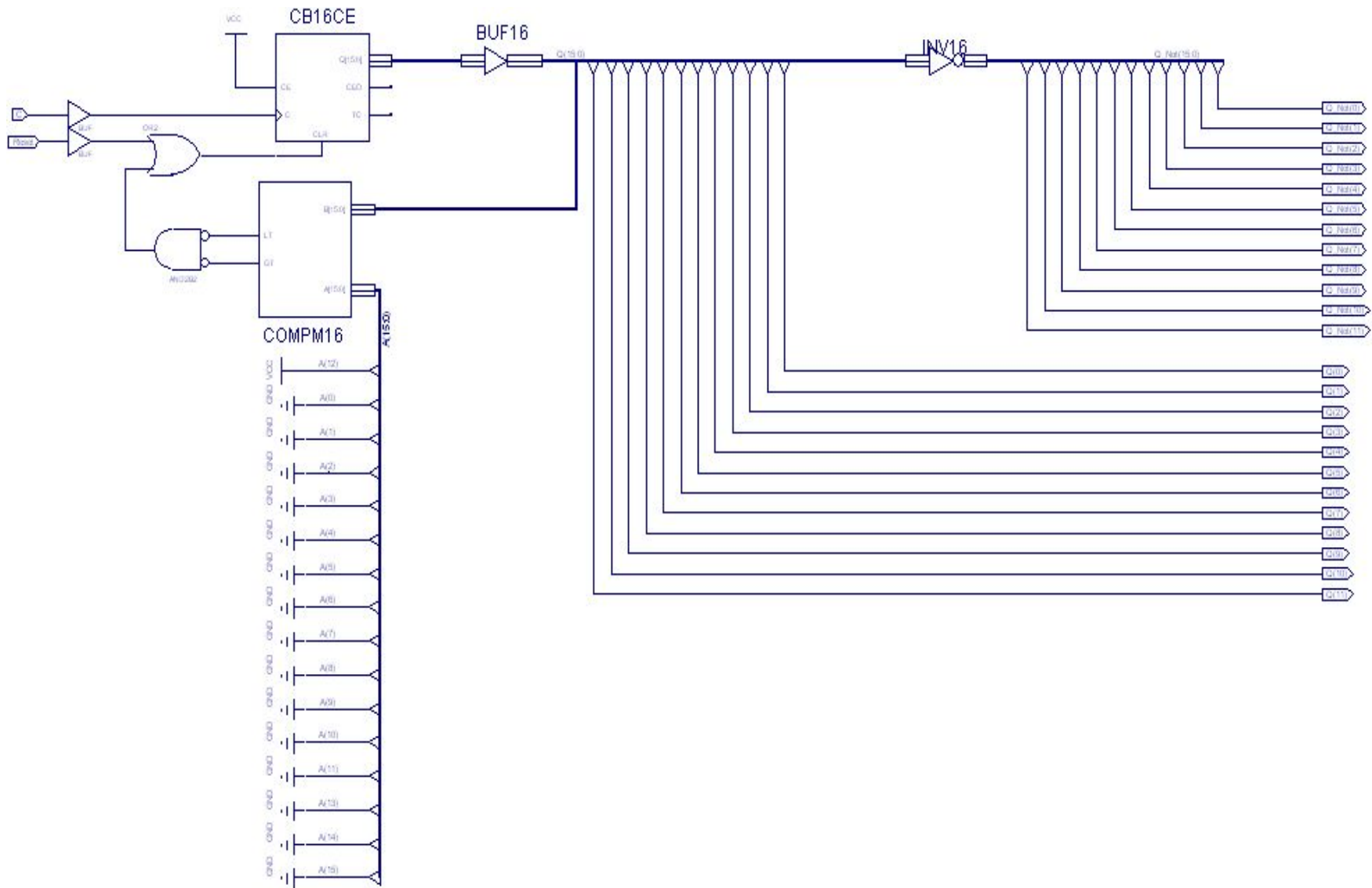


Рис.6. Плата лічильників побудована на ПЛІС XILINX.

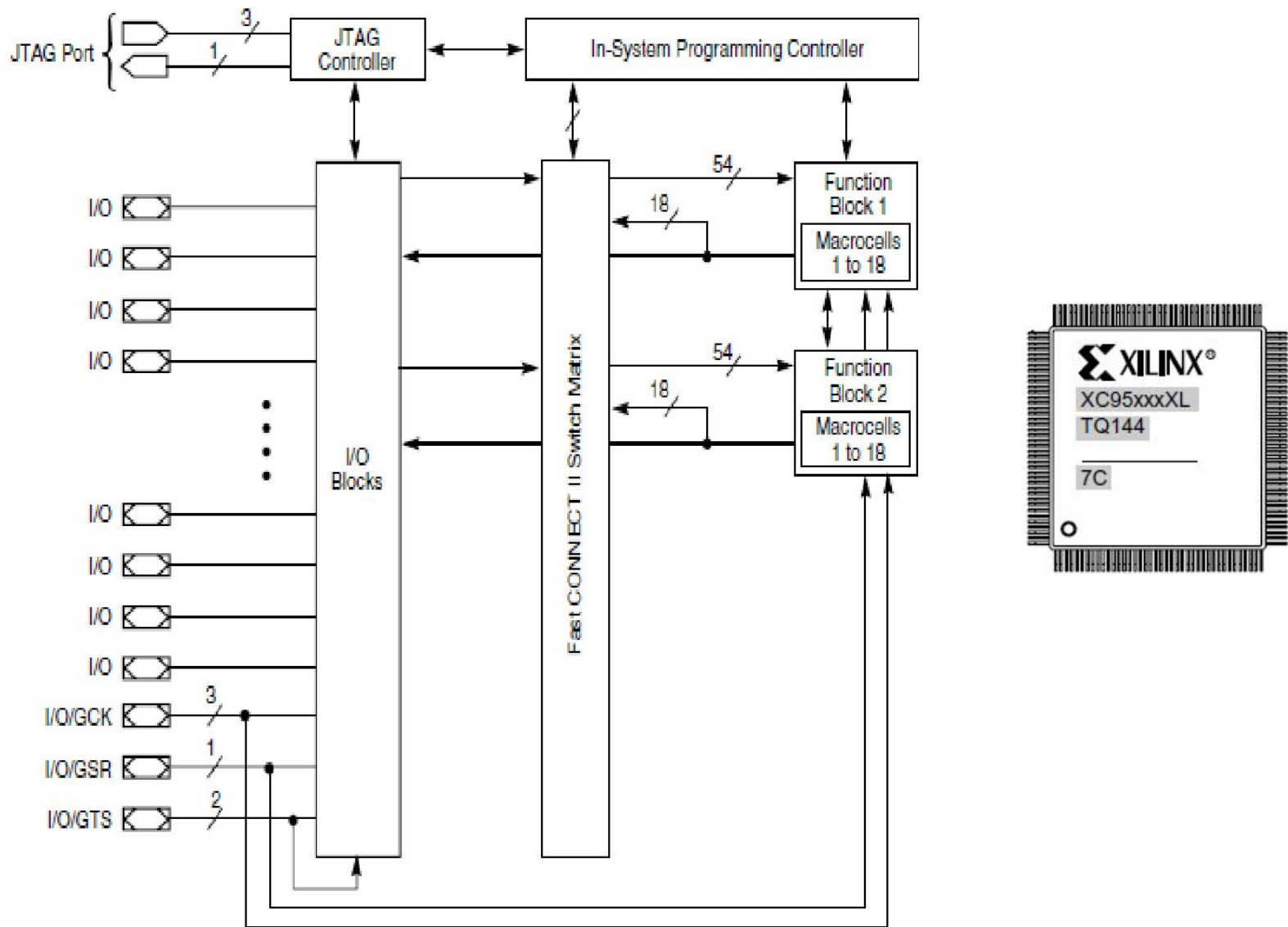


Рис.7. Структура кристалу та вигляд XC9536.

ДЯКУЮ ЗА УВАГУ!