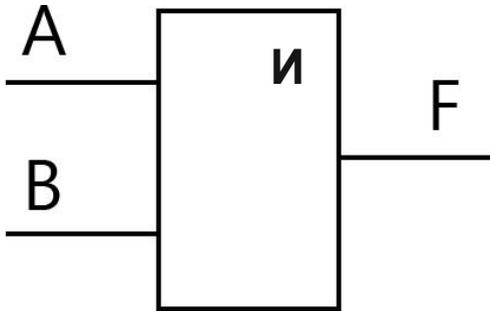
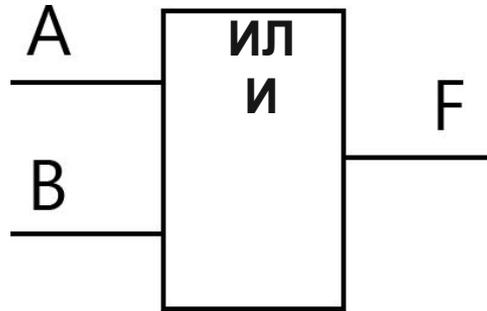


Логические элементы

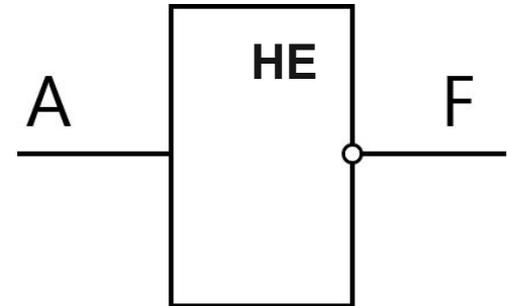
Логический элемент – это устройство, которое после обработки двоичных сигналов выдаёт значение одной из логических операций.



Конъюнктор

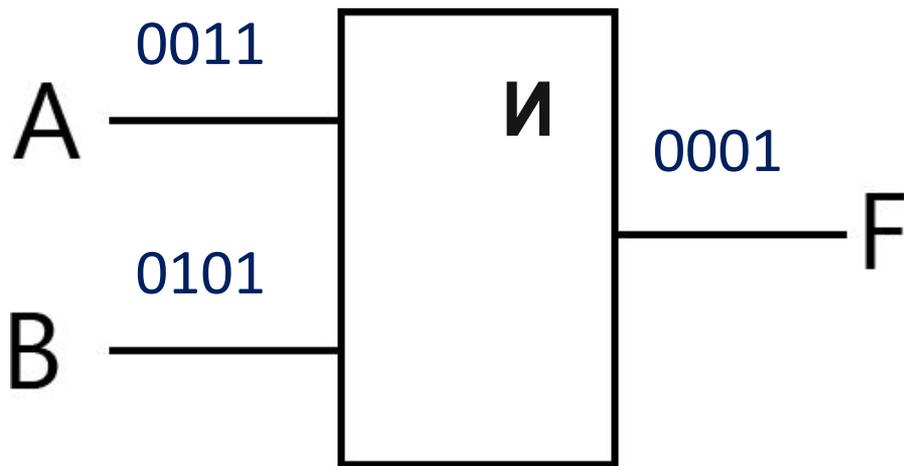


Дизъюнктор



Инвертор

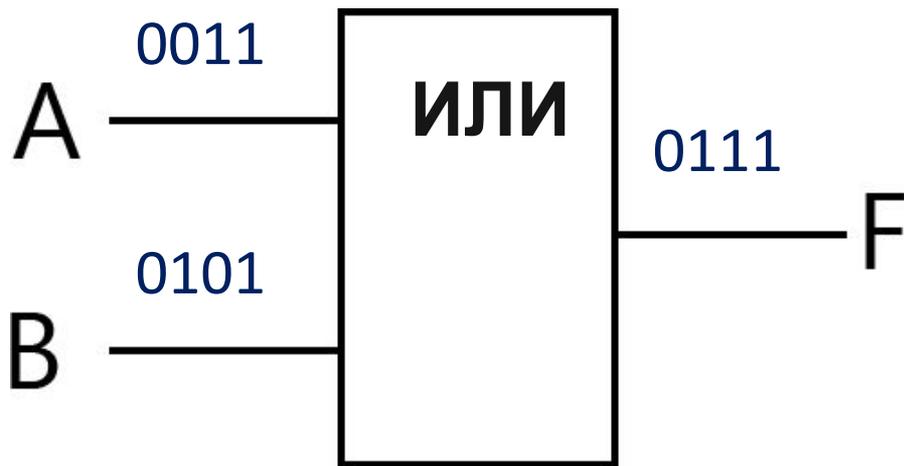
Конъюнктор – логический элемент **И**, реализующий операцию логического умножения



<i>A</i>	<i>B</i>	<i>F</i>
0	0	0
0	1	0
1	0	0
1	1	1

Единица на выходе этого элемента появится только тогда, когда на всех входах будут единицы.

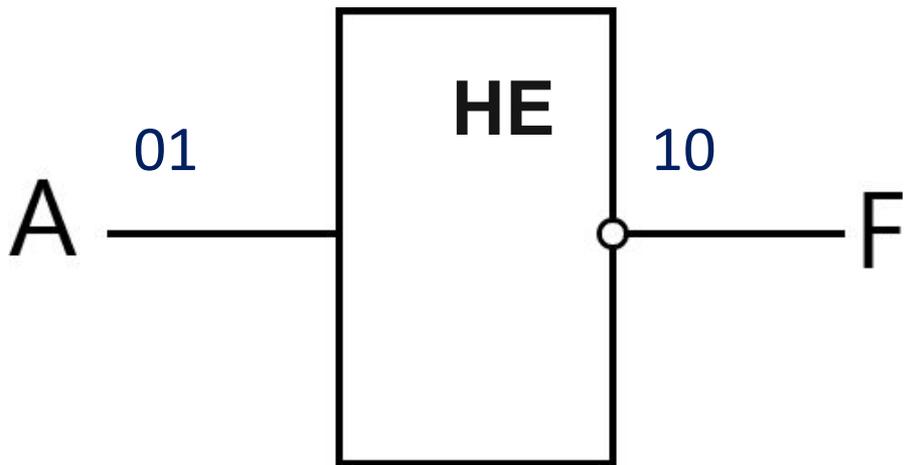
Дизъюнктор – логический элемент **ИЛИ**, реализующий операцию логического сложения



<i>A</i>	<i>B</i>	<i>F</i>
0	0	0
0	1	1
1	0	1
1	1	1

Если хотя бы на одном входе будет единица, то на выходе элемента также будет единица

Инвертор – логический элемент **НЕ**, реализующий операцию отрицания



<i>A</i>	<i>F</i>
1	0
0	1

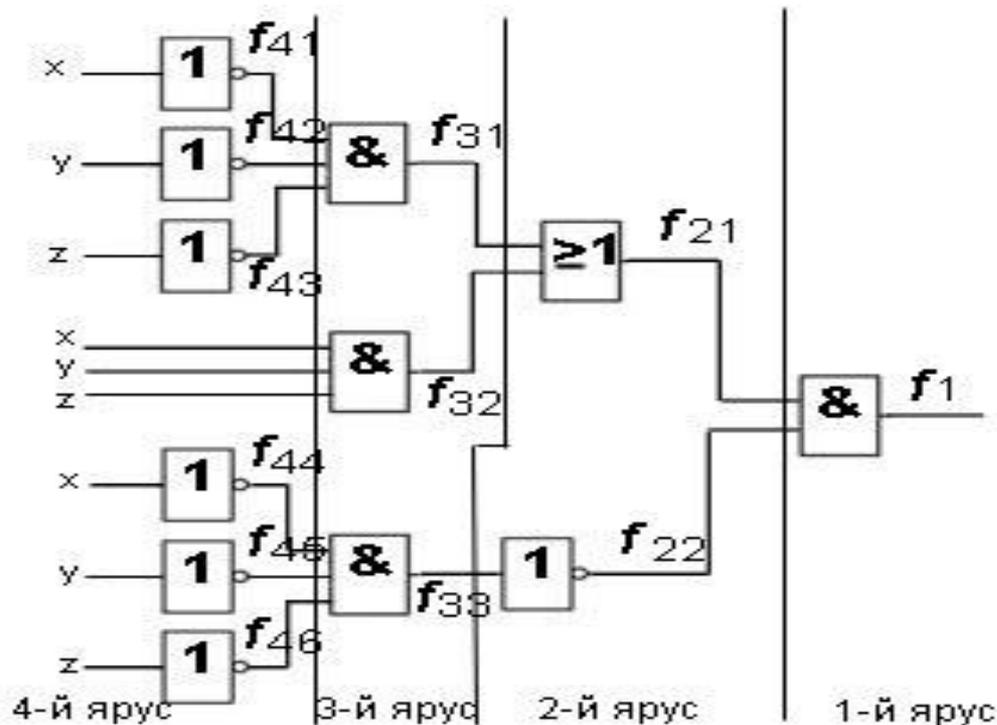
Если на входе элемента 0, то на выходе 1 и наоборот

Название элемента	Условное обозначение элемента	Таблица истинности			Условное обозначение логической операции	Контактно-релейная схема
		X2	X1	Y		
ИИ		0	0	0	$X1 * X2$ $X1 \wedge X2$	
		0	1	0		
		1	0	0		
		1	1	1		
ИЛИ		0	0	0	$X1 + X2$ $X1 \vee X2$	
		0	1	1		
		1	0	1		
		1	1	1		
НЕ			0	1	\bar{X} $\neg X$	
			1	0		
ИИ-НЕ		0	0	1	$\overline{X1 * X2}$ $\neg(X1 \wedge X2)$	
		0	1	1		
		1	0	1		
		1	1	0		
ИЛИ-НЕ		0	0	1	$\overline{X1 + X2}$ $\neg(X1 \vee X2)$	
		0	1	0		
		1	0	0		
		1	1	0		
Исключающее ИЛИ		0	0	0	$X1 \oplus X2$	
		0	1	1		
		1	0	1		
		1	1	0		

Задача анализа логических схем

- Задача анализа заключается в определении функции f , реализуемой заданной логической схемой. При решении такой задачи удобно придерживаться следующей последовательности действий.
- Логическая схема разбивается на ярусы. Ярусам присваиваются последовательные номера.
- Выводы каждого логического элемента обозначаются названием искомой функции, снабжённым цифровым индексом, где первая цифра - номер яруса, а остальные цифры - порядковый номер элемента в ярусе.
- Для каждого элемента записывается аналитическое выражение, связывающее его выходную функцию с входными переменными. Выражение определяется логической функцией, реализуемой данным логическим элементом.
- Производится подстановка одних выходных функций через другие, пока не получится булева функция, выраженная через входные переменные.

Пример 1. Найдите булеву функцию логической схемы и составьте таблицу истинности для логической схемы.



Решение. Разбиваем логическую схему на ярусы, что уже показано на рисунке. Запишем все функции, начиная с 1-го яруса:

Решение. Разбиваем логическую схему на ярусы, что уже показано на рисунке. Запишем все функции, начиная с 1-го яруса:

$$\begin{aligned}
 f_1 &= f_{21} \wedge f_{22} \\
 f_{21} &= f_{31} \vee f_{32}, \quad f_{22} = \overline{f_{33}}; \\
 f_{31} &= \overline{f_{41}} \wedge \overline{f_{42}} \wedge \overline{f_{43}}, \\
 f_{32} &= x \wedge y \wedge z, \\
 f_{33} &= \overline{f_{44}} \wedge \overline{f_{45}} \wedge \overline{f_{46}}; \\
 f_{41} &= \overline{x}, \quad f_{42} = \overline{y}, \quad f_{43} = \overline{z}, \\
 f_{44} &= \overline{x}, \quad f_{45} = \overline{y}, \quad f_{46} = \overline{z}.
 \end{aligned}$$

Теперь запишем все функции, подставляя входные переменные x, y, z .

$$\begin{aligned}
 f_{21} &= (\overline{x} \wedge \overline{y} \wedge \overline{z}) \vee (x \wedge y \wedge z), \\
 f_{22} &= \overline{\overline{x} \wedge \overline{y} \wedge \overline{z}}.
 \end{aligned}$$

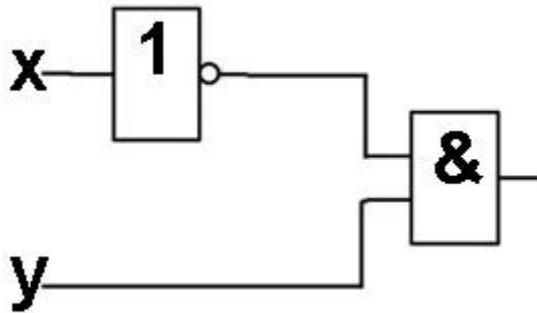
В итоге получим функцию, которую реализует на выходе логическая схема:

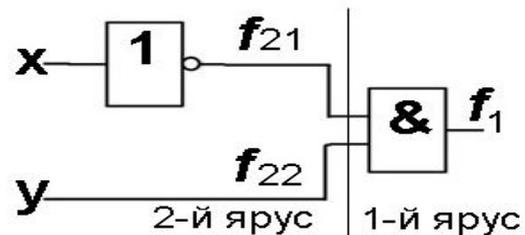
$$f = f_1 = ((\overline{x} \wedge \overline{y} \wedge \overline{z}) \vee (x \wedge y \wedge z)) \wedge (\overline{\overline{x} \wedge \overline{y} \wedge \overline{z}}).$$

Таблица истинности для данной логической схемы:

x	y	z	f_{31}	f_{32}	f_{21}	f_{22}	f
1	1	1	0	1	1	1	1
1	1	0	0	0	0	1	0
1	0	1	0	0	0	1	0
1	0	0	0	0	0	1	0
0	1	1	0	0	0	1	0
0	1	0	0	0	0	1	0
0	0	1	0	0	0	1	0
0	0	0	1	0	1	0	0

Пример 2. Найдите булеву функцию логической схемы и составьте таблицу истинности для логической схемы.





Решение. Разбиваем логическую схему на ярусы. Запишем все функции, начиная с 1-го яруса:

$$f_1 = f_{21} \wedge f_{22}$$

$$f_{21} = \bar{x}$$

$$f_{22} = y$$

Получаем функцию, которую реализует на выходе логическая схема:

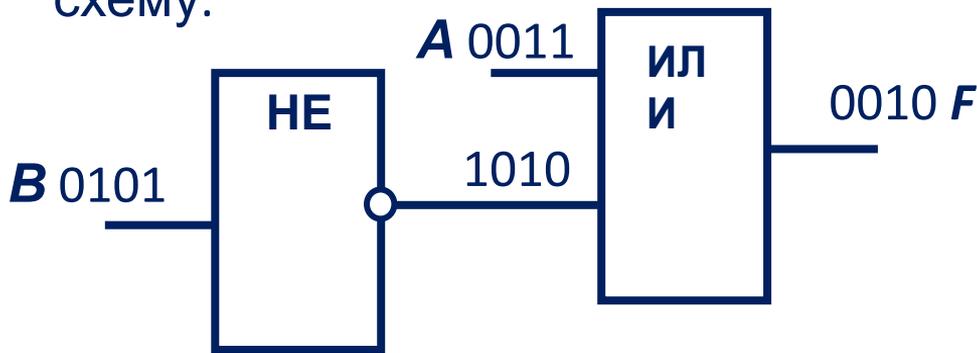
$$f_1 = \bar{x} \wedge y.$$

Таблица истинности для данной логической схемы:

x	y	f ₂₁	f ₂₂	f
1	1	0	1	0
1	0	0	0	0
0	1	1	1	1
0	0	1	0	0

Анализ электронной схемы 1

Решение. Все возможные комбинации сигналов на входах A и B внесём в таблицу истинности. Проследим преобразование каждой пары сигналов при прохождении их через логические элементы и запишем полученный результат в таблицу. Заполненная таблица истинности полностью описывает рассматриваемую электронную схему.



A	B	F
0	0	0
0	1	0
1	0	1
1	1	0

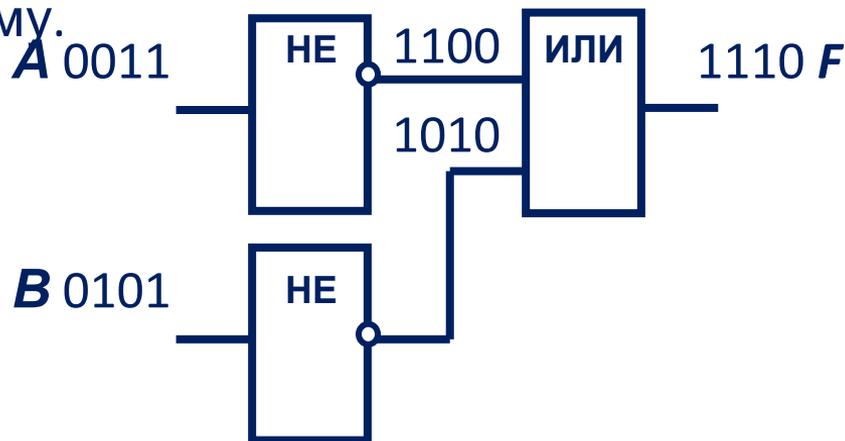
В инвертор поступает сигнал от входа B .

В конъюнктор поступают сигналы от входа A и от инвертора.

Таким образом, $\overline{F} = A \& B$.

Анализ электронной схемы 2

Решение. Все возможные комбинации сигналов на входах A и B внесём в таблицу истинности. Проведём преобразование каждой пары сигналов при прохождении их через логические элементы и запишем полученный результат в таблицу. Заполненная таблица истинности полностью описывает рассматриваемую электронную схему.



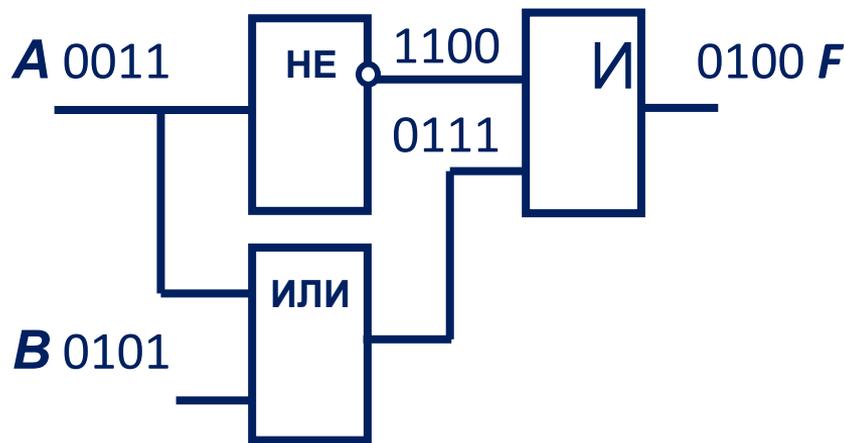
A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

Сигналы от входов A и B проходят через инверторы.

В дизъюнктор поступают сигналы от этих инверторов. Таким образом, $F = \overline{A} \vee \overline{B}$.

Анализ электронной схемы 3

Решение. Все возможные комбинации сигналов на входах A и B внесём в таблицу истинности. Проследим преобразование каждой пары сигналов при прохождении их через логические элементы и запишем полученный результат в таблицу. Заполненная таблица истинности полностью описывает рассматриваемую электронную схему.

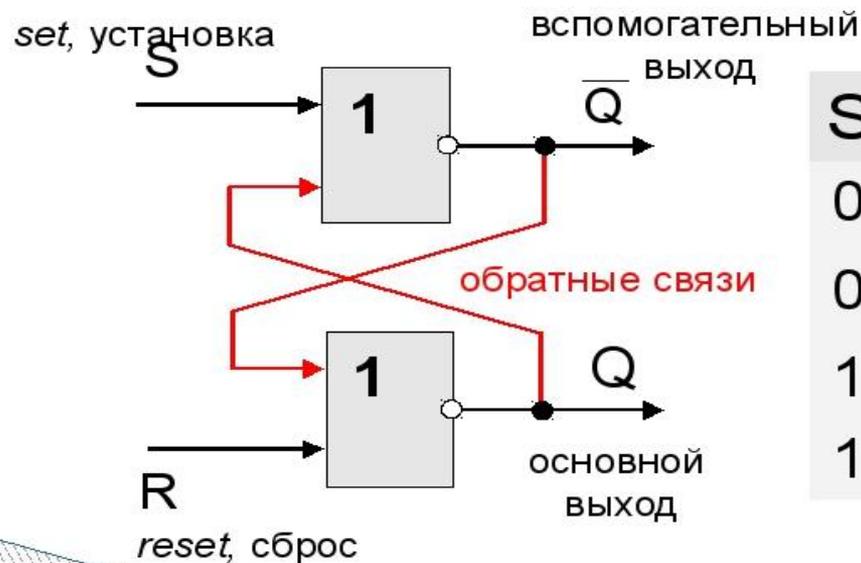


A	B	F
0	0	0
0	1	1
1	0	0
1	1	0

Сигнал A идет на инвертор и на вход дизъюнктора, на другой вход которого также поступает сигнал B . В конъюнктор поступают сигналы от инвертора и дизъюнктора. Таким образом, $F = A \& (A \vee B)$

Триггер (англ. *trigger* – защёлка)

Триггер – это логическая схема, способная хранить 1 бит информации (1 или 0). Строится на 2-х элементах **ИЛИ-НЕ** или на 2-х элементах **И-НЕ**.

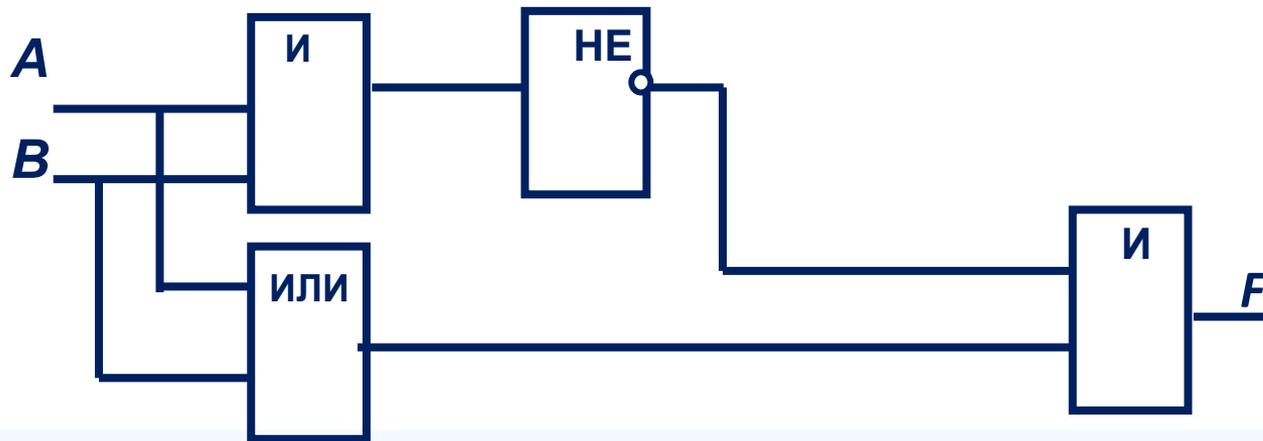
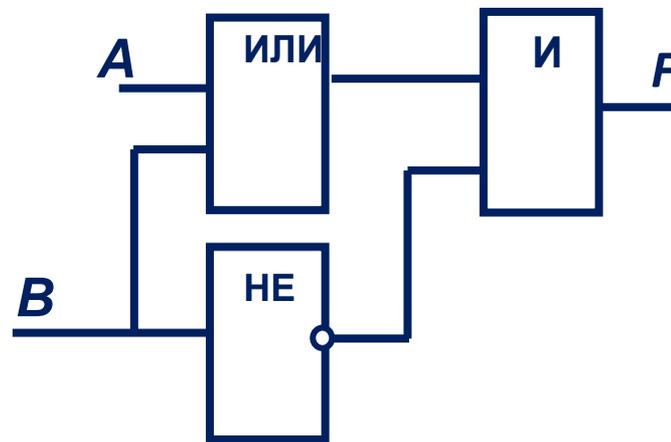
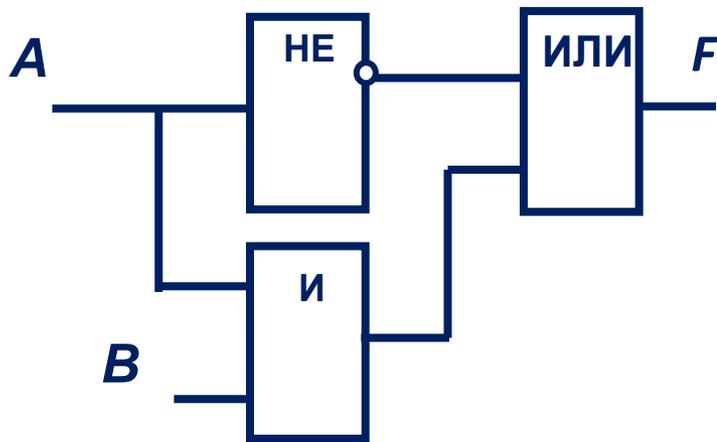


S	R	Q	\bar{Q}	режим
0	0	Q	\bar{Q}	хранение
0	1	0	1	сброс
1	0	1	0	установка 1
1	1	0	0	запрещен

Принцип работы RS-триггера:

- При подаче на оба входа триггера логического нуля ($S = R = 0$) на обоих выходах должна установиться логическая единица. Это запрещенное состояние триггера; оно не используется, т.к. может привести к неоднозначному результату.
- При $S = 0$ и $R = 1$ на выходе Q устанавливается логическая единица, в этом случае говорят, что триггер установлен в состояние 1, на выходе $\neg Q - 0$.
- При $S = 1$ и $R = 0$ происходит сброс сигнала на выходе Q на нем устанавливается логический ноль. Говорят, что триггер установлен в состояние 0.
- При $S = R = 1$ триггер находится в состоянии покоя — это режим хранения, т. е. на выходах Q и $\neg Q$ остаются прежние значения сигнала.
- Триггер запоминает один разряд двоичного числа.

Проанализировать схему



Построить схему в

Начало электроники

