

# Микропроцессорная техника в приборах, системах и комплексах

## Лекция 8

### Цифровые интегральные микросхемы (ИМС)



**Ушаков Андрей Николаевич**, старший преподаватель кафедры  
303

# Цифровые ИМС и логические элементы

*Цифровые интегральные микросхемы (ИМС)* – это микроэлектронные изделия, предназначенные для преобразования и обработки цифровых сигналов.

*Логическим элементом* называется устройство, выполняющее элементарные логические операции И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, относящиеся к функциональным элементам одноступенчатой логики и элементы двухступенчатой логики: И-ИЛИ-НЕ, И-ИЛИ, ИЛИ-И и др.

*Системой логических элементов* называется функционально полный набор логических элементов, объединенных общими электрическими, конструктивными и технологическими параметрами и использующих одинаковый тип межэлементных связей.

Системы элементов содержат элементы для выполнения логических операций, запоминающие элементы, элементы, реализующие функции узлов ЭВМ, а также элементы для усиления, восстановления и формирования сигналов стандартной формы.

# Схемотехнические базисы

Схемотехнические базисы (схемотехнологии) цифровых микросхем развивались в следующей последовательности:

- резистивно-транзисторная логика (**РТЛ**),
- резистивно-конденсаторная логика (**РКТЛ**),
- диодно-транзисторная логика (**ДТЛ**),
- транзисторно-транзисторная логика (**ТТЛ**),
- эмиттерно-связанная логика (**ЭСЛ**),
- транзисторно-транзисторная логика с диодами Шоттки (**ТТЛШ**),
- интегрально-инжекционная логика (**И<sup>2</sup>Л**).

В этих определениях слово «логика» подразумевает понятие «электронный ключ».

Все перечисленные цифровые микросхемы выполнены на базе биполярных транзисторов. Наряду с ними широкое распространение получили цифровые микросхемы на МОП-структурах (на транзисторах р- и n-типов с обогащённым каналом, **КМОП** – схемы на дополняющих транзисторах).

# Положительная и отрицательная логика работы ИМС

Цифровые микросхемы могут использовать позитивную или негативную логику.

Логика называется позитивной (положительной), если высокому уровню потенциала  $U^1$  приписывается значение логической единицы, а низкому уровню потенциала  $U^0$  – логический нуль.

Логика называется негативной (отрицательной), если высокому уровню потенциала  $U^1$  приписывается значение логического нуля, а низкому уровню потенциала  $U^0$  – значение логической единицы.

# Статические параметры ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Основные параметры логических элементов:

- напряжение источника питания;
- входной ток;
- уровни выходных напряжений;
- потребляемая мощность ( $P_{\text{пот}}$ );
- помехоустойчивость;
- коэффициент разветвления по выходу  $K_{\text{раз}}$   
(нагрузочная способность);
- коэффициент объединения по входу  $K_{\text{об}}$ .

# Входной ток

**Входной ток**  $I_{\text{вх}}$  определяет нагрузку, которую представляет рассматриваемая схема для предшествующей ей схемы или другого источника сигнала. Наиболее полно этот параметр определяет зависимость  $I_{\text{вх}}(U_{\text{вх}})$  от напряжения входного сигнала, т.е. ВАХ.

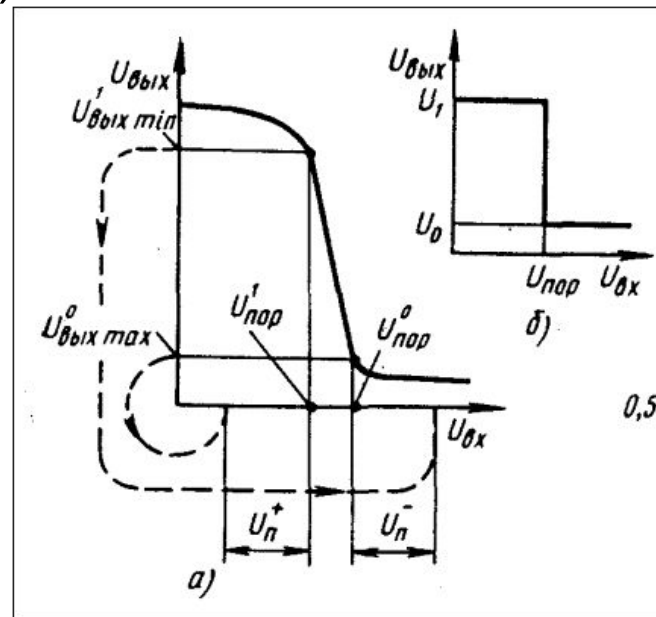
В зависимости от вида полупроводниковых приборов, на которых построена входная логика (диоды или транзисторы, их тип и т. д.), а также от значения входного сигнала (1 или 0 при положительной или отрицательной логике) схемы могут как потреблять ток от источника входного сигнала, так и отдавать его. Поэтому различают входные токи  $I_{\text{вх}}^0$  и  $I_{\text{вх}}^1$  при подаче логического «0» или логической «1».

Наименьшие входные токи имеют ИМС на МОП-транзисторах (до долей микроампер), наибольшие – быстродействующие ИМС на биполярных транзисторах (до единиц миллиампер).

# Уровни выходных напряжений (I)

По техническим условиям гарантируются наибольший и наименьший уровни выходных напряжений, соответствующих логической «1» и логическому «0» при изменениях напряжения питания, нагрузки, температуры и т. д.

Рассмотрим уровни напряжений на примере инвертора (элемента НЕ).



# Уровни выходных напряжений (2)

Напряжение  $U^I_{\text{вых min}}$  соответствует минимальному уровню логической «1» на выходе, а напряжение  $U^0_{\text{вых max}}$  – максимальному уровню логического «0». Для современных ИМС эти параметры имеют значения от долей до единиц вольт.

Абсцисса точки пересечения передаточной характеристики с уровнем  $U^I_{\text{вых min}}$  называется **входным пороговым напряжением логической «1»** и обозначается  $U^I_{\text{пор}}$ , а абсцисса точки пересечения с уровнем  $U^0_{\text{вых max}}$  – **входным пороговым напряжением логического «0»**  $U^0_{\text{пор}}$ .

При напряжении входного сигнала  $U_{\text{вх}} < U^I_{\text{пор}}$  на выходе элемента поддерживается уровень логической «1», при  $U_{\text{вх}} > U^0_{\text{пор}}$  – уровень логического «0».

Диапазон напряжений на входе  $U^I_{\text{пор}} < U_{\text{вх}} < U^0_{\text{пор}}$  и диапазон напряжений на выходе  $U^0_{\text{вых max}} < U_{\text{вых}} < U^I_{\text{вых min}}$  соответствует **области переключения**, в которой схема находится только во время действия фронтов входных сигналов.



# Потребляемая мощность (I)

В зависимости от технологии микросхем, мощности, потребляемые в состоянии логического «0» и в состоянии логической «1», могут отличаться.

Некоторые логические элементы большую мощность потребляют в статических состояниях («0», «1») и сравнительно незначительную – во время переходного процесса из состояния «0» в состояние «1» и наоборот.

Другие многочисленные и широко применяемые логические элементы характеризуются большой потребляемой мощностью во времени переходных процессов и относительно невысокой в статических состояниях.

По потребляемой мощности ИМС можно разделить на относительно мощные (потребляемая мощность от сотен до единиц милливатт), маломощные (от единиц милливатт до микроватта) и ещё меньшей мощности, называемые «нановаттными» (потребляемая мощность  $< 1$  мкВт).

# Потребляемая мощность (2)

**Средняя потребляемая мощность в динамическом режиме для ИМС на биполярных транзисторах (в предположении, что схема примерно одинаковое время находится в состояниях «0» и «1»), определяется как**

$$P_{\text{потр}} = 0,5(P_{\text{потр}}^0 + P_{\text{потр}}^1),$$

где  $P_{\text{потр}}^0$  – мощность, потребляемая микросхемой при состоянии выхода «0»;

$P_{\text{потр}}^1$  – мощность при выходном состоянии «1».

Так как эта мощность отводится (рассеивается) в виде теплоты, её называют также **рассеиваемой мощностью**.

# Помехоустойчивость

**ИМС**, принадлежащие **одной серии**, спроектированы **взаимно согласованными**, т. е. уровни выходных сигналов одного логического элемента (даже при их изменении

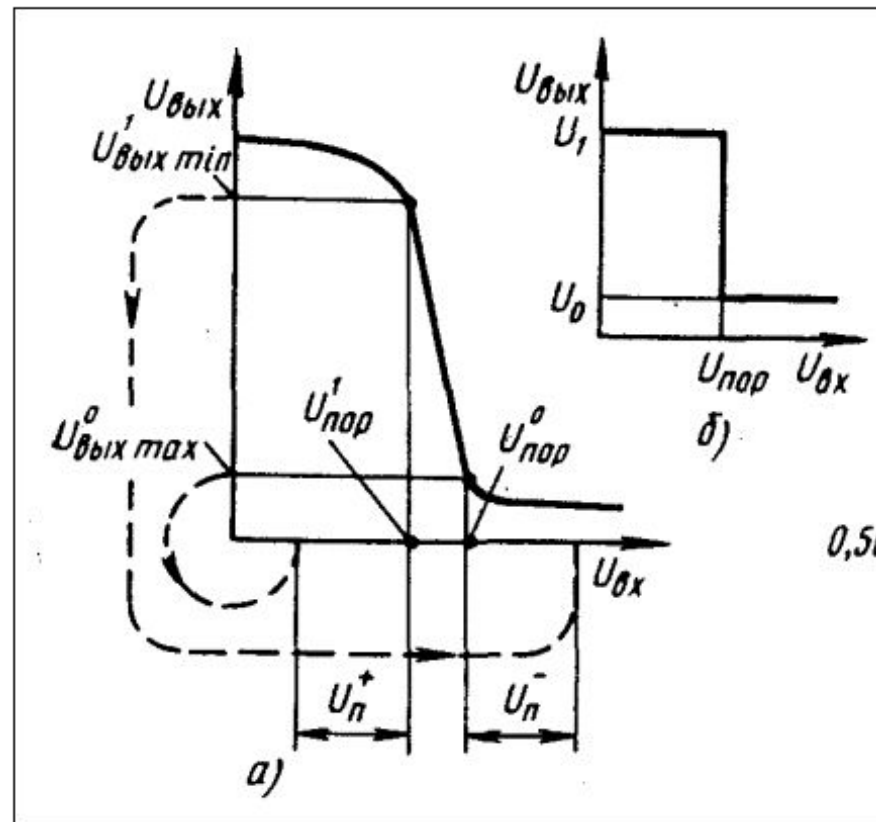
в допустимых пределах) могут использоваться в качестве уровней входного сигнала следующего элемента без каких-либо согласующих устройств.

**Допустимый уровень напряжения помехи** логического элемента определяется уровнем входного напряжения, при котором ещё не происходит ложное срабатывание микросхемы.

**В статическом режиме** помехоустойчивость определяется по низкому  $U_{\text{пом}}^0$  и высокому  $U_{\text{пом}}^1$  уровням. Помехоустойчивость **в динамическом режиме** зависит от длительности, амплитуды и формы импульса помехи, а также от запаса статической помехоустойчивости и скорости переключения логического элемента.

# Статическая помехоустойчивость (I)

Параметры статической помехоустойчивости проиллюстрированы на рисунке построением, выполненным штриховыми линиями.



0,5L

# Статическая помехоустойчивость

(2)

Из построения видно, что между  $U^0_{\text{вых max}}$ , поданным на вход следующего элемента, и  $U^I_{\text{пор}}$  имеется запас  $U^+$ . Этот запас означает, что переключения этого элемента из 1 в 0 не произойдет даже в том случае, если входной сигнал, соответствующий логическому «0», превысит по какой-либо причине значение  $U^0_{\text{вых max}}$ , но на величину, не большую, чем  $U^+$ . Значение  $U^+$  и  $U^0_{\text{вых max}}$  характеризует помехоустойчивость ИМС к положительным изменениям напряжения.

Аналогично, если на вход следующего элемента подано с выхода предыдущего напряжение логической 1, даже меньшее, чем  $U^I_{\text{пор}}$ , но на величину, не превышающую  $U^-_{\text{вых min}}$ , то переключения из 0 в 1 этого элемента не произойдет, так как  $U^I_{\text{пор}}$  окажется всё-таки большим порогового  $U^-_{\text{вых min}}$ . Параметр  $U^-_{\text{вых min}}$  характеризует помехоустойчивость ИМС к отрицательным изменениям напряжения. Этот параметр для различных типов микросхем колеблется от десятых долей до единиц вольт.

## Коэффициент разветвления по выходу, коэффициент объединения по входу

**Коэффициент разветвления по выходу  $K_{\text{раз}}$**  определяет число входов аналогичных элементов, которое может быть подключено к выходу предыдущего элемента без нарушения его работоспособности. С увеличением нагрузочной способности расширяются возможности применения цифровых микросхем и уменьшается число корпусов в разрабатываемом устройстве. Однако при этом ухудшаются помехоустойчивость и быстродействие микросхемы и возрастает потребляемая мощность.

**Коэффициент объединения по входу  $K_{\text{об}}$**  определяет максимальное число входов цифровых микросхем.

# Динамические параметры логических элементов (I)

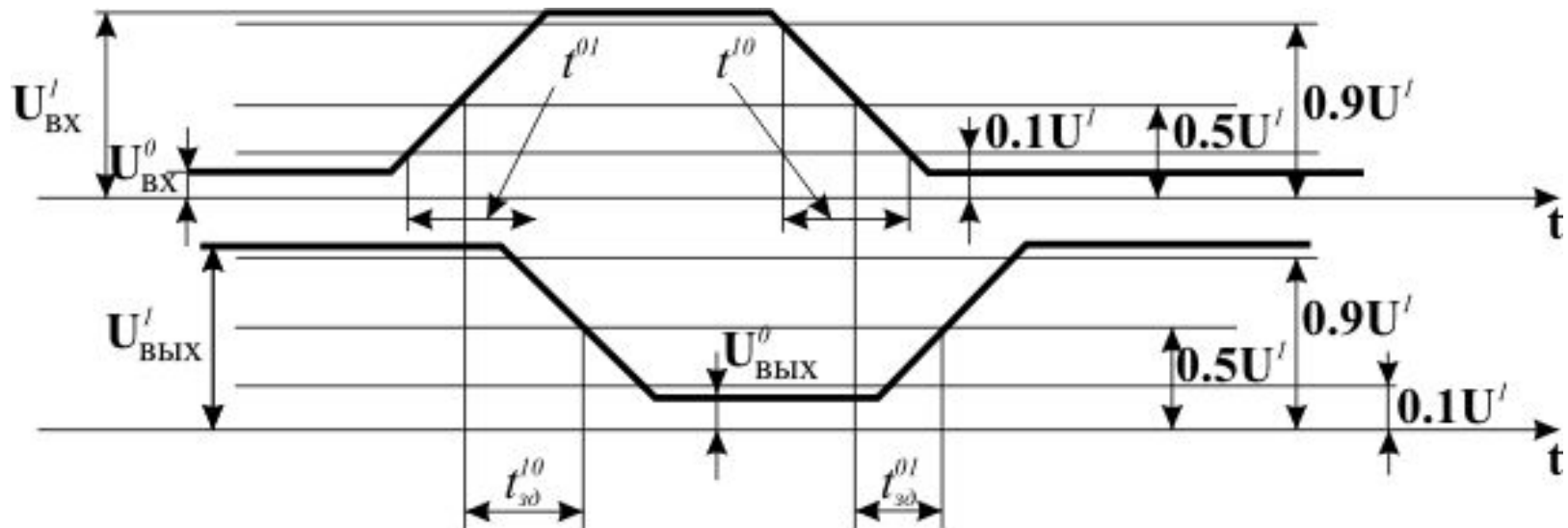
**К основным динамическим параметрам** логического элемента относятся:

- $t^{01}$  – время перехода при включении (фронт формирования уровня логической «1»);
- $t^{10}$  – время перехода при выключении (фронт формирования уровня логического «0»);
- $t_{\text{ЗА}}^{10}$  – время задержки распространения при включении (переключении из состояния логической «1» в состояние логического «0»);
- $t_{\text{ЗА}}^{01}$  – время задержки распространения при выключении (переключении из состояния логического «0» в состояние логической «1»);
- $t_{\text{ЗА}}^{\text{CP}}$  – среднее время задержки распространения (интервал времени, равный полусумме времён задержки распространения сигнала при включении и при выключении; в дальнейшем это время будем называть временем задержки элемента  $t_{\text{ЗА}}$ );
- $t_{\text{И}}$  — длительность импульса;
- $f_{\text{P}}$  — рабочая частота.

# Динамические параметры ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ (2)

Определение этих параметров обеспечивается при сравнении сигналов на входе и выходе ЛЭ, т. е. при рассмотрении процесса передачи информации через ЛЭ.

Временная диаграмма входного и выходного сигналов элемента «НЕ», на которой отмечены его динамические параметры:





# Эксплуатационные параметры

Кроме рассмотренных параметров, характеризующих электрический режим работы ИМС, используют и эксплуатационные параметры, характеризующие работоспособность ИМС в условиях воздействия окружающей среды.

К числу таких параметров относятся следующие:

- диапазон рабочих температур;
- допустимые механические воздействия (частота и амплитуда вибраций, ударные нагрузки, ускорения);
- границы допустимого диапазона изменения атмосферного давления, влажности и т. д.

# Серии логических ИМС

В зависимости от технологии изготовления логические ИМС делятся на серии, отличающиеся набором элементов, напряжением питания, потребляемой мощностью, динамическим параметрам и др.

Наибольшее применение получили серии логических ИМС, выполненные по технологиям **ТТЛ** (транзисторно-транзисторная логика), **ЭСЛ** (эмиттерно-связанная логика) и **КМОП** (комплиментарная МОП логика).

Каждая из перечисленных технологий совершенствовалась, поэтому в каждой серии ИМС имеются подсерии, отличающиеся по параметрам.

# Сводная таблица основных параметров микросхем

	ТТЛ	ТТЛШ	КМОП	Быстродейств. КМОП	ЭСЛ
<b>Технология</b>	Транзисторно-транзисторная логика	ТТЛ с диодом Шоттки	Комплементарная структура «металл-окисел-полупроводник»	Комплементарная структура «металл-окисел-полупроводник»	Эмиттерно-связанная логика
<b>Основные серии отечественных микросхем</b>	K155 K131	K555 K531 KP1533	K561 K176	KP1554 KP1564	K500 KP1500
<b>Серии зарубежных микросхем</b>	74	74LS 74ALS	CD40 H 4000	74AC 74 HC	MC10 F100
<b>Задержка распространения, нс</b>	10...30	4...20	15...50	3,5..5	0,5...2
<b>Макс. частота переключения, МГц</b>	15	50..70	1...5	50...150	300...500
<b>Напряжение питания, В</b>	5 ±0,5	5 ±0,5	3...15	2...6	-5,2 ±0,5
<b>Потребляемый ток (без нагрузки), мА</b>	20	4...40	0,002...0,1	0,002...0,1	0,4
<b>Уровень лог. 0, В</b>	0,4	0,5	< 0,1	< 0,1	-1,65
<b>Уровень лог. 1, В</b>	2,4	2,7	~ U пит	~ U пит	-0,96
<b>Макс. выходной ток, мА</b>	16	20	0,5	75	40

# Микросхемы ТТЛ (I)

В ИМС, выполненных по технологии ТТЛ, в качестве базового элемента используется многоэмиттерный транзистор. Многоэмиттерный транзистор (МЭТ) имеет несколько эмиттеров, расположенных так, что прямое взаимодействие между ними исключается. Благодаря этому переходы база-эмиттеры МЭТ можно рассматривать как параллельно включённые диоды.

В ИМС, выполненных по технологии ТТЛШ, используется сложный инвертор с двуполярным ключом, а для исключения насыщения МЭТ – диоды Шотки с малым падением напряжения в прямом направлении (ТТЛШ).

Первым разработчиком ИМС по технологии ТТЛ является фирма **Texas Instruments**, которая выпустила ИМС серии **SN74**. Дальнейшие усовершенствования этой серии были направлены на повышение быстродействия и снижение потребляемой мощности.

# Микросхемы ТТЛ (2)

Подвиды микросхем ТТЛ:

- **L** (low power) – маломощная серия
- **H** (high speed) – быстродействующая серия
- **LS** (low power Shottky) – маломощная серия с диодами Шотки
- **S** (Shottky) – серия с диодами Шотки
- **ALS** (advanced low power Shottky) – усовершенствованная маломощная серия с диодами Шотки
- **F** (fast) – сверхбыстродействующая серия.

# Микросхемы ТТЛ (3)

Серии отечественных ИМС ТТЛ и их аналоги

Серия	Аналог	Серия	Аналог
SN74	155	SN54	133
SN74L	158	SN54L	136
SN74H	131	SN54H	130
SN74LS	555	SN54LS	533
SN74S	531	SN54S	530
SN74ALS	KP1533	SN54LS	1533
SN74F	KP1531	SN54F	1531

Основные параметры ИМС ТТЛ

Серия ИМС	Потребляемая мощность, мВт	Задержка распространения, нс	Максимальная частота, МГц	Коэффициент разветвления
74	10	10,0	35	10
74L	1	33,0	3	10
74H	22	6,0	50	10
74LS	2	9,5	45	20
74S	19	3,0	125	10
74ALS	1	4,0	50	40
74F	4	2,0	130	33

# Типы выходных каскадов цифровых элементов

Цифровые элементы (логические, запоминающие, буферные) могут иметь выходы следующих типов:

- логические;
- с третьим состоянием;
- с открытым коллектором (стоком);
- с открытым эмиттером (истоком).

# Логический выход (I)

**Логический выход** формирует два уровня выходного напряжения ( $U^0$  и  $U^1$ ).

Выходное сопротивление логического выхода стремятся сделать малым, способным развивать большие токи для перезаряда ёмкостных нагрузок и, следовательно, получения высокого быстродействия элемента.

Такой тип выхода имеют большинство логических элементов, используемых в комбинационных цепях.

Схемы логических выходов элементов ТТЛ(Ш) и КМОП подобны двухтактным каскадам – в них оба фронта выходного напряжения формируются с участием активных транзисторов, работающих противофазно, что обеспечивает малые выходные сопротивления при любом направлении переключения выхода.



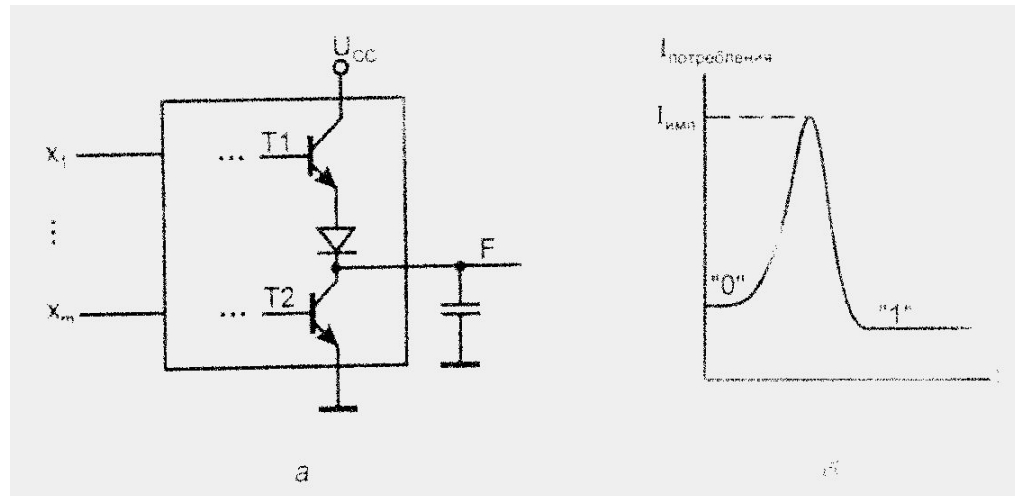
# Логический выход (2)

Особенность таких выходов состоит в том, что их нельзя соединять параллельно.

- Во-первых, это создает логическую неопределённость, т. к. в точке соединения выхода, формирующего логическую единицу, и выхода, формирующего логический нуль, не будет нормального результата.
- Во-вторых, при соединении выходов, находящихся в различных логических состояниях, возникло бы их «противоборство». Вследствие малых величин выходных сопротивлений уравнительный ток при этом может достигать достаточно большой величины, что может вывести из строя электрические элементы выходной цепи.

# Логический выход (3)

Вторая особенность логического выхода двухтактного типа связана с протеканием через оба транзистора коротких импульсов тока при переключениях из одного логического состояния в другое. Эти токи протекают от источника питания на общую точку («землю»). В статических состояниях таких токов быть не может, т. к. транзисторы Т1 и Т2 работают в противофазе, и один из них всегда заперт. Однако в переходном процессе из-за некоторой несинхронности переключения транзисторов возникает кратковременная ситуация, в которой проводят оба транзистора, что и порождает короткий импульс сквозного тока значительной величины.



# Элементы с тремя состояниями выхода (I)

Элементы с тремя состояниями (ТС) выхода кроме логических состояний 0 и 1 имеют состояние «отключено», в котором ток выходной цепи пренебрежимо мал.

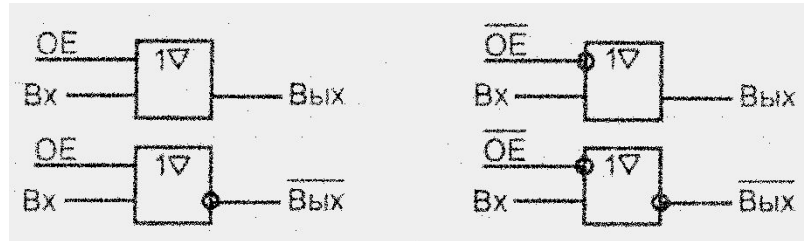
В это состояние (третье) элемент переводится специальным управляющим сигналом, обеспечивающим запертое состояние обоих транзисторов выходного каскада (Т1 и Т2).

Сигнал управления элементом типа ТС обычно обозначается как OE (Output Enable). При наличии разрешения ( $OE = 1$ ) элемент работает как обычно, выполняя свою логическую операцию, а при его отсутствии ( $OE = 0$ ) переходит в состояние «отключено».

В цифровых устройствах широко используются буферные элементы типа ТС для управляемой передачи сигналов по тем или иным линиям. Буферы могут быть неинвертирующими или инвертирующими, а сигналы OE – Н-активными или L-активными, что ведёт к наличию четырёх типов буферных каскадов.

# Элементы с тремя состояниями выхода (2)

## Типы буферных каскадов с третьим состоянием



Выходы типа ТС отмечаются в обозначениях элементов значком треугольника или буквой **Z**.

Выходы типа ТС можно соединять параллельно при условии, что в любой момент времени активным может быть только один из них. В этом случае отключённые выходы не мешают активному формировать сигналы в точке соединения выходов. Эта возможность позволяет применять элементы типа ТС в магистрально-модульных микропроцессорных системах, где многие источники информации поочередно пользуются одной и той же линией связи.

Элементы типа ТС сохраняют такие достоинства элементов с логическим выходом как быстродействие и высокая нагрузочная способность. Поэтому они являются основными в указанных применениях. В то же время они требуют обязательного соблюдения условия отключения всех выходов, соединённых параллельно, кроме одного.

# Выход с открытым коллектором

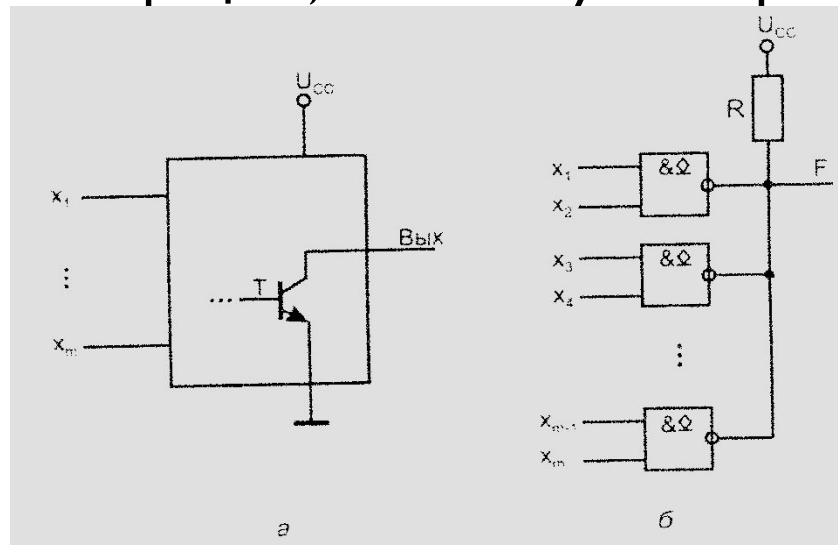
(I)

**Элементы с открытым коллектором (ОК)** имеют выходную цепь, заканчивающуюся одиночным транзистором, коллектор которого не соединен с какими-либо цепями внутри микросхемы. Транзистор управляется от предыдущей части схемы элемента так, что может находиться в насыщенном или запертом состоянии. Насыщенное состояние трактуется как отображение логического нуля, запертое – единицы. Насыщение транзистора обеспечивает на выходе напряжение  $U^0$  – малое напряжение насыщения «коллектор-эмиттер». Запирание же транзистора какого-либо уровня напряжения на выходе элемента не задает, выход при этом имеет фактически неизвестный «плавающий» потенциал, т. к. не подключен к каким-либо цепям схемы элемента. Поэтому для формирования высокого уровня напряжения при запирании транзистора на выходе элементов с открытым коллектором (типа ОК) требуется подключать внешние резисторы (или другие нагрузки), соединенные с источником питания.

# Выход с открытым коллектором

(2)

Несколько выходов типа ОК можно соединять параллельно, подключая их к общей для всех выходов цепочке. При этом можно получить режим поочередной работы элементов на общую линию, как и для элементов типа ТС, если активным будет лишь один элемент, а выходы всех остальных окажутся запертыми. Если же разрешить активную работу элементов, выходы которых соединены, то можно получить дополнительную логическую операцию, называемую операцией монтажной логики.



# Выход с открытым коллектором

(3)

При реализации монтажной логики высокое напряжение на общем выходе возникает только при запираии всех транзисторов, т. к. насыщение хотя бы одного из них снижает выходное напряжение до уровня  $U^0 = U_{кэн}$ . То есть для получения логической единицы на выходе требуется единичное состояние всех выходов: выполняется монтажная операция И. В обозначениях элементов с ОК после символа функции ставится ромб с черточкой снизу.

При использовании элементов с ОК в магистрально-модульных структурах требуется разрешать или запрещать работу того или иного элемента. Для элементов типа ТС это делалось с помощью специального сигнала ОЕ. Для элементов типа ОК в качестве входа ОЕ может быть использован один из обычных входов элемента. Если речь идет об элементе И-НЕ, то, подавая 0 на любой из входов, можно запретить работу элемента, поставив его выход в разомкнутое состояние независимо от состояния других входов. Уровень 1 на этом входе разрешит работу элемента.

# Выход с открытым коллектором

(4)

**Положительной чертой** элементов с ОК при работе в магистрально-модульных системах является их защищенность от повреждений из-за ошибок управления, приводящих к одновременной выдаче на шину нескольких слов, а также возможность реализации дополнительных операций монтажной логики.

**Недостатком** таких элементов является большая задержка переключения из 0 в 1. При этом переключении происходит заряд выходной ёмкости сравнительно малым током резистора  $R$ . Сопротивление *резистора* нельзя сделать слишком малым, т. к. это привело бы к большим токам выходной цепи в статике при насыщенном состоянии выходного транзистора. Поэтому положительный фронт выходного напряжения формируется относительно медленно с постоянной времени  $RC$ . До порогового напряжения (до середины полного перепада напряжения) экспоненциально изменяющийся сигнал изменится за время  $0.7RC$ .



# Выход с открытым коллектором

(5)

При работе с элементами типа ОК проектировщик должен задать сопротивление резистора  $R$ , которое не является стандартным, а определяется для конкретных условий. Анализ статических режимов задает ограничения величины сопротивления  $R$  снизу и сверху. Значение сопротивления резистора  $R$  выбирается в этом диапазоне с учётом быстродействия схемы и потребляемой ею мощности.

*Ограничение снизу* величины сопротивления резистора  $R$  связано с тем, что её уменьшение может вызвать перегрузку насыщенного транзистора по току.

*Ограничение сверху* величины сопротивления резистора  $R$  связано с необходимостью обеспечения достаточно высокого уровня напряжения  $U^1$ , формируемого в схеме при запертом состоянии всех выводов элементов с ОК.

# Выход с открытым эмиттером

**Выход с открытым эмиттером** характерен для элементов типа ЭСЛ. Для работы на магистраль такие элементы не используются. Возможность соединять друг с другом выходы с открытым эмиттером при объединении эмиттерных резисторов в один общий резистор приводит к схеме, называемой «эмиттерный дот» и используемой при построении логических схем для получения дополнительной операции монтажной логики.

