

Программная реализация МПС

Тема 4

Микроконтроллеры ARM
Обзор семейства STM32

Особенности архитектуры ARM

Архитектура ARM разработана британской компании Acorn Computers (ныне ARM Limited)

Сейчас компания ARM Limited занимается лишь разработкой референсных процессорных архитектур и их лицензированием.

Созданием конкретных моделей чипов и их последующим массовым производством занимаются компании лицензиаты

Особенности архитектуры ARM

Processor	Selection of Public Licensees
Cortex-A57	AMD , Broadcom , Calxeda , HiSilicon , STMicroelectronics , Samsung
Cortex-A53	AMD , Broadcom , Samsung
Cortex-A15	Texas Instruments , ST-Ericsson , nVIDIA , Samsung Electronics
Cortex-A9	Broadcom Corporation , Freescale , NEC Electronics , nVIDIA , STMicroelectronics , Texas Instruments , Toshiba , Mindspeed Technologies , ZiiLABS , Open-Silicon , eSilicon
Cortex-A8	Broadcom Corporation , Freescale , Panasonic , Samsung Electronics , STMicroelectronics , Texas Instruments , PMC-Sierra , ZiiLABS
Cortex-A7	Broadcom , Freescale , Fujitsu , HiSilicon , LGE , Samsung , STEricsson , Texas Instruments
Cortex-A5	Cambridge Silicon Radio , Open-Silicon , eSilicon
Cortex-R4	Broadcom Corporation , Texas Instruments , Toshiba , Infineon , Open-Silicon , eSilicon
Cortex-M4	NXP , STMicroelectronics , Texas Instruments , Freescale , Open-Silicon , eSilicon
Cortex-M3	Accent Srl , Actel Corporation , Broadcom Corporation , Cypress Semiconductor , Ember , Energy Micro , Fujitsu , NXP , Fuzhou Rockchip Electronics CO. Ltd. , STMicroelectronics , Texas Instruments , Toshiba , Zilog , Open-Silicon , eSilicon
Cortex-M0	Austriamicrosystems , Chungbuk Technopark , NXP , Triad Semiconductor , Melfas , Open-Silicon , eSilicon
Cortex-M0+	Freescale , NXP

Особенности архитектуры ARM

The screenshot shows the website for MIPLAND RUSI ENG. The top navigation bar includes links for 'Главная', 'Компания', 'Направления деятельности', 'Продукция', and 'Контакты'. Below the navigation is a search bar and login fields for 'e-mail' and 'пароль'. The main content area features several promotional banners: 'ПРОЕКТИРОВАНИЕ И ПРОИЗВОДСТВО СБИС', 'ПОСТАВКА ЭЛЕКТРОННЫХ КОМПОНЕНТОВ', 'РАЗРАБОТКА ЭЛЕКТРОННЫХ МОДУЛЕЙ', and 'ИСПЫТАНИЯ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ'. A sidebar on the left lists product categories such as 'Микроконтроллеры и процессоры', 'Микросхемы памяти', and 'Интерфейсные микросхемы'. There are also advertisements for 'M-SOFT' and a job opening for an 'инженер-электроник' in Saint-Petersburg. A banner for 'E-XP-O ELECTRONICA' exhibition is also visible.

Product	Description	Temperature range, °C	Supply voltage, V
MDR32F9Qx	ARM Cortex-M3 microcontroller with 12 bit ADC, DAC, CAN and USB controller	-40...+85	2.2...3.6

Особенности архитектуры ARM

В процессорной архитектуре x86, применяется набор команд CISC (Complex Instruction Set Computer), хоть и не в чистом виде.

Большое количество сложных по своей структуре команд является отличительной чертой CISC,

Команды сначала декодируются в простые, и только затем обрабатываются.

В качестве энергоэффективной альтернативы выступают чипы архитектуры ARM с набором команд RISC (Reduced Instruction Set Computer). Его преимущество в изначально небольшом наборе простых команд, которые обрабатываются с минимальными затратами.

Архитектурные отличия процессоров x86 (набор команд CISC) и ARM (набор команд RISC)



Микроконтроллеры Cortex

Под общей торговой маркой Cortex можно увидеть три типа процессоров, обозначаемых буквами А, R, М. Задачей профиля А стало достижение большой вычислительной мощности.

Cortex-A - представляют собой классические микропроцессоры, являющиеся дальнейшей эволюцией разработок ARM.

Cortex-R нацелен на использование во встраиваемых системах, поэтому эти процессоры модернизированы для исполнения задач в реальном времени.

Cortex-M отличаются простотой и низкой стоимостью. На сегодняшний день распространение получили 3 варианта ядер: Cortex-M0, Cortex-M3, Cortex-M4

Микроконтроллеры Cortex-M0

По своей структуре ядро Cortex-M0 - это конфигурируемый мультистадийный 32-разрядный RISC процессор. В его основе лежит архитектура ARMv6-M. Основное отличие заключается в использовании только набора 16-разрядных инструкций, под общим названием Thumb. Дополнительно поддерживаются некоторые команды более нового набора Thumb2.

Энергопотребление M0 от 73 до 4мкВт/МГц.

Быстродействие ядра Cortex-M0 составляет 0.84 DMIPS / МГц. Это значит, что на максимальной частоте работы ядра в 50МГц, достигается производительность 45 DMIPS. Данное значение превышает возможности 8-ми разрядных систем в несколько десятков раз, и на порядок выше, чем у 16-разрядных моделей.

Микроконтроллеры Cortex-M3

Ядро Cortex-M3 в отличие от M0, основано на архитектуре ARMv7-M и полностью реализует наборы команд Thumb и Thumb2. Из особенностей следует упомянуть аппаратное умножение 32-разрядных чисел за 1 цикл, а также деление чисел подобной разрядности (от 2 до 12 циклов).

Производительность процессора составляет 1.25DMIPS/МГц. Энергопотребление примерно в два раза выше, чем у варианта M0. Количество физических прерываний увеличено до 240. В ядре предусмотрен механизм защиты памяти.

Cortex-M3, в отличие от классической ARMv7, выполнен по Гарвардской архитектуре и поддерживает несколько периферийных шин

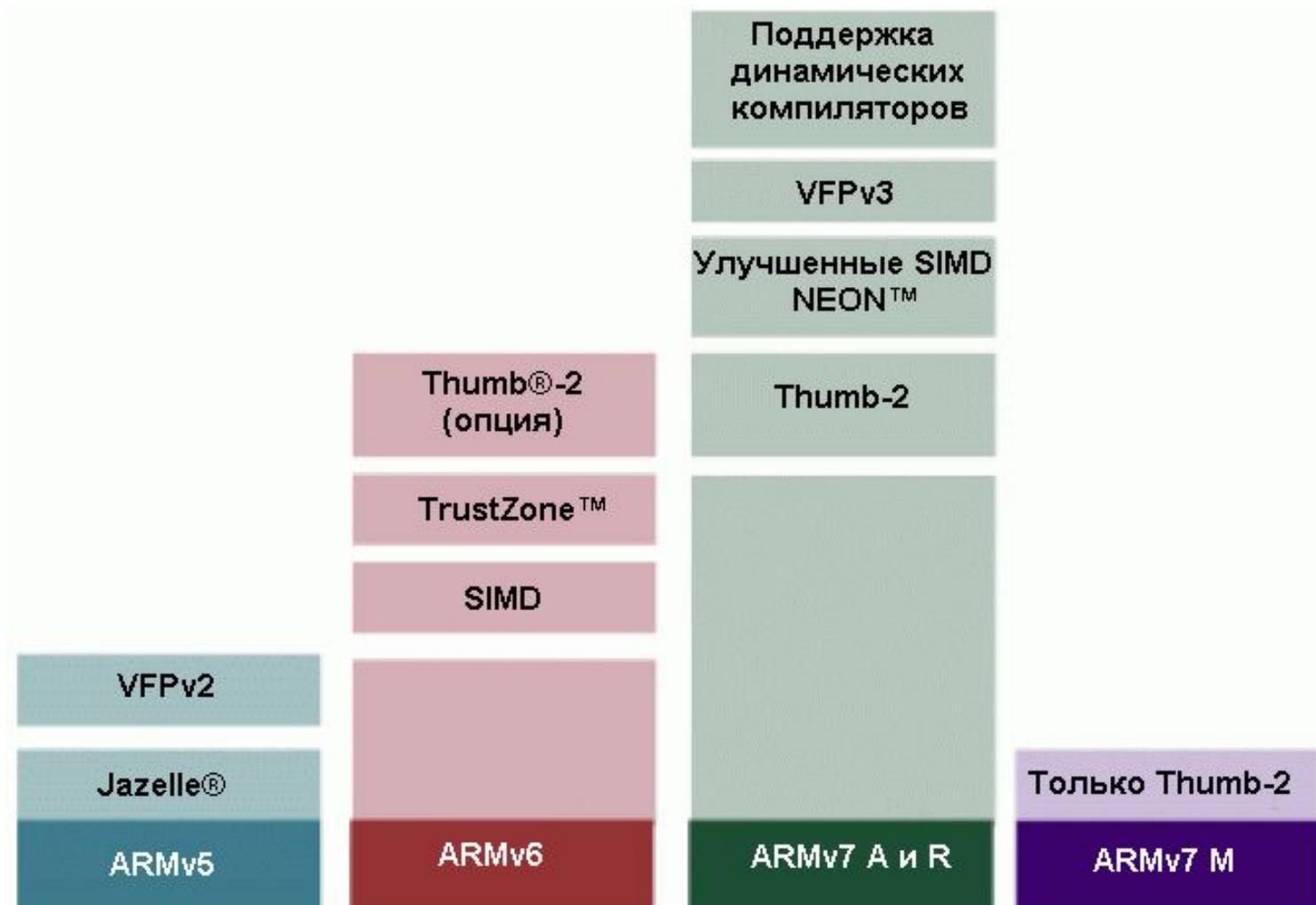
Микроконтроллеры Cortex-M4

Cortex-M4, по сравнению с Cortex-M3, не характеризуется ростом общих показателей.

Фактически M4 тот же самый M3, но дополнительно оснащенный DSP-инструкциями. Наличие последних существенно ускоряет обработку потоковых данных, что в свою очередь делает M4 весьма привлекательным для использования в системах управления и обработки информации.

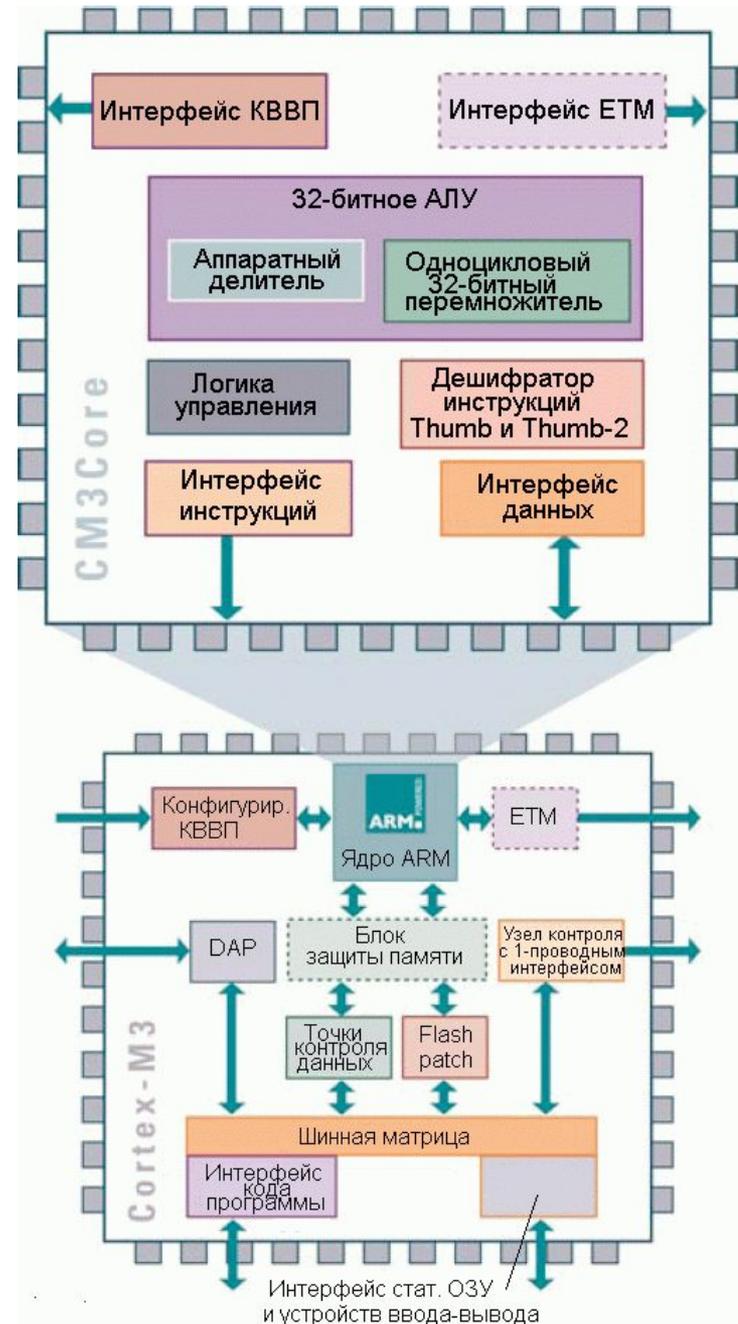
Возможности DSP, входящего в состав M4, позволяют параллельно выполнять четыре операции сложения/вычитания для 8-ми разрядных чисел или две операции сложения/вычитания с 16-ти разрядными операндами, и т.п.

Микроконтроллеры Cortex

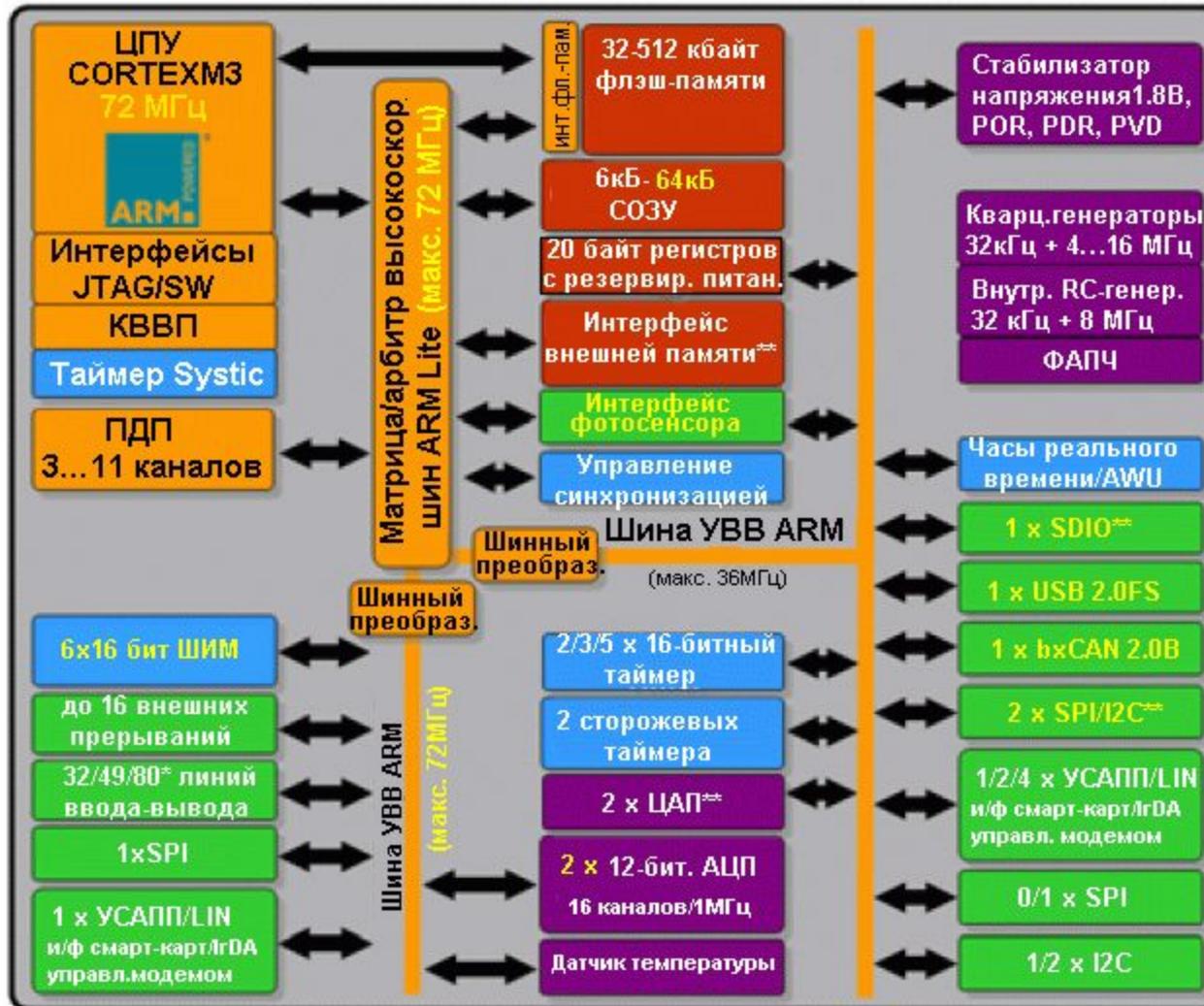


Ядро Cortex-M3

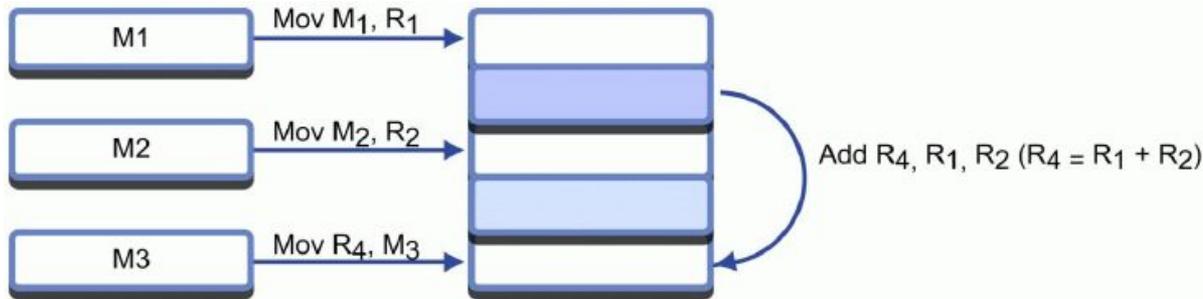
Cortex-M3 является стандартизованным микроконтроллерным ядром, которое помимо ЦПУ, содержит все остальные составляющие основу микроконтроллера элементы (в т.ч. система прерываний, системный таймер SysTick, отладочная система и карта памяти). 4 гигабайтное адресное пространство Cortex-M3 разделено на четко распределенные области кода программы, статического ОЗУ, устройств ввода-вывода и системных ресурсов. В отличие от ядра ARM7, Cortex-M3 выполнено по Гарвардской архитектуре и имеет несколько шин.



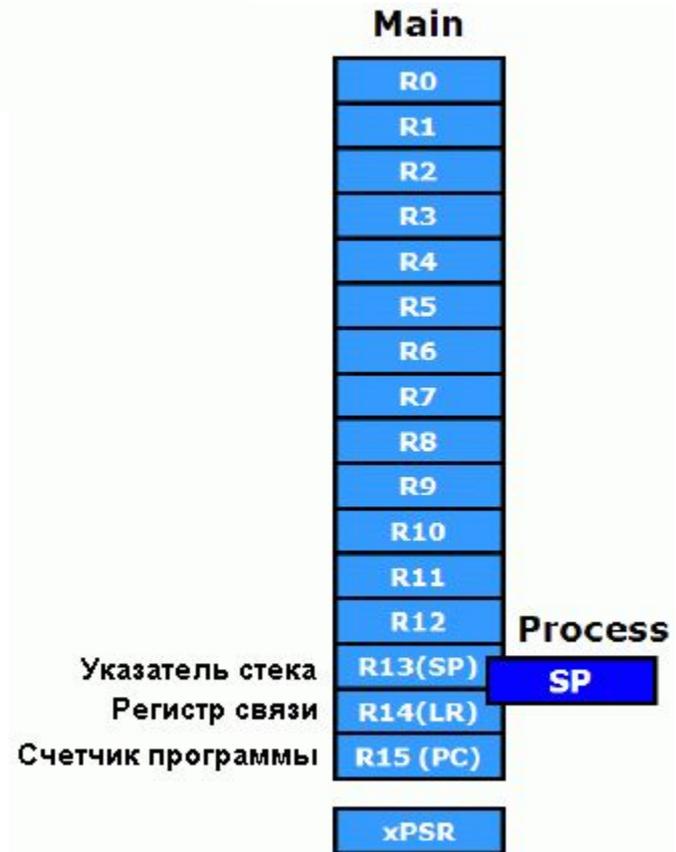
Ядро Cortex-M3



Ядро Cortex-M3



У ЦПУ Cortex-M3 имеется регистровый файл, состоящий из 16 32-битных регистров. Также как и у предшествующих ЦПУ ARM7/9 регистр R13 выступает в роли указателя стека. R14 - регистр связи, R15 - счетчик программы. R13 является банковым регистром, что позволяет Cortex-M3 работать с двумя стеками: стеком процесса и основным стеком



Ядро Cortex-M3

http://stm32asm.ru/assembler_cortex.html

{label} SYMBOL {expr} {,expr} {,expr} {; комментарий}

{label} - метка. Она нужна для того, чтобы можно было определить адрес следующей за этой меткой команды. Метка является необязательным элементом и используется только когда необходимо узнать адрес команды (например, чтобы выполнить переход на эту команду). Перед меткой не должно быть пробелов (то есть она должна начинаться с самой первой позиции строки), кроме того, имя метки может начинаться только с буквы.

SYMBOL - команда, псевдокоманда или директива. Команда, в отличие от метки, наоборот, должна иметь некоторый отступ от начала строки даже если перед ней нет метки.

{expr} {,expr} {,expr} - операнды (регистры, константы...)

```
AREA START, CODE, READONLY
dcd 0x20000400
dcd Program_start
ENTRY
Program_start
b Program_start
END
```

Ядро Cortex-M3

Арифметические операции

ADD	ADD R0, R1, Operand2 ADD R0, R1, 12bit const.	Сложение $R0 = R1 + R2$	N, Z, C, V	S
ADC	ADC R0, R1, R2 ADC R0, R1, 8bit const	Сложение с учётом переноса $R0 = R1 + R2 + C$	N, Z, C, V	S
ADDW	ADD R0, R1, 12bit const.	Сложение с 12bit константой	N, Z, C, V	
SUB	SUB R0, R1, R2 SUB R0, R1, 12bit const.	Вычитание $R0 = R1 - R2$	N, Z, C, V	S
SBC	SBC R0, R1, R2 SBC R0, R1, 8bit const.	Вычитание с учётом переноса $R0 = R1 - R2 - C$	N, Z, C, V	S
SUBW	SUB R0, R1, 12bit const.	Вычитание с 12bit константой	N, Z, C, V	
RSB	RSB R0, R1, R2 RSB R0, R1, 8bit const. RSB R0, R1, R2, ASR#23	Вычитание с противоположным порядком аргументов. $R0 = R2 - R1$ или $R0 = 8bit\ const - R1$	N, Z, C, V	S

Умножение. Деление.

MUL	$R0 = R1 \times R2$	Умножение. 32bit результат	N, Z	S
MLA	$R0 = (R1 \times R2) + R3$	Умножение и сложение		
MLS	$R0 = R3 - (R1 \times R2)$	Умножение и вычитание		
UMULL	RLo, RHi = $R2 \times R3$	Умножение. 64bit результат		
UMLAL	RLo, RHi += $R2 \times R3$	Умножение и сложение		
SMULL	RLo, RHi = $R2 \times R3$	Умножение со знаком. 64bit результат		
SMLAL	RLo, RHi += $R2 \times R3$	Умножение со знаком и сложение		
UDIV	$R0 = R1 / R2$	Деление без знака		
SDIV	$R0 = R1 / R2$	Деление со знаком		

Ядро Cortex-M3

Доступ к памяти

ADR	ADR R0, label +/- 12bit ADR.W R0, label +/- 32bit	Загрузка адреса метки в регистр.
LDR STR	LDR R0, [R1, #8bit const.]! - прединкремент LDR R0, [R1], #8bit const. - постинкремент LDRB R0, [R1] - без инкремента STRB R0, [R1], #1	Загрузка/сохранение регистра в режиме адресации со смещением. B=байт, SB=байт со знаком (только загрузка) H=полуслово, SH=полуслово со знаком (только загрузка)
LDR STR	LDR R0, [R1, R2, {LSL#0..3}] STR R0, [R1, R2, {LSL#0..3}]	Смещение задаётся третьим регистром. B, SB, H, SH работают аналогично
LDR LDRD	LDR R0, label LDRD R0, R1, label	Смещение задаётся адресом метки. B, SB, H, SH работают аналогично Невозможно применить к STR/STRD.
LDRT STRT		Непривилегированный доступ. Аналогичны простому LDR/STR.
LDRD STRD	LDRD R0, R1, [R2, #10bit const.]! - прединкремент LDRD R0, R1, [R2], #10bit const. - постинкремент LDRD R0, R1, [R2] - без инкремента STRD R0, R1, [R2]	Загрузка/сохранение двух регистров в режиме адресации со смещением. Константа должна быть кратна 4.
LDM STM	LDM R0, {R1-R3} LDM R0!, {R1-R3} - постинкремент R0 IA, DB, FD, EA - см. описание	Загрузка/сохранение множества регистров. IA - с увеличением адреса DB - с уменьшением адреса.
PUSH POP	PUSH {R0, R2-R7, R12} POP {R0, R2-R7, R12}	Загрузка/чтение из стека
LDREX STREX	LDREX R1, [R2, #10bit const.] STREX R0, R1, [R2, #10bit const.]	Эксклюзивное чтение/запись регистра. B=байт, H=полуслово.
CLREX	CLREX (без параметров)	Сброс признака эксклюзивного доступа.

Ядро Cortex-M3

Перемещение и обработка данных

MOV	MOV R0, R1	Загрузка/перемещение регистров	N, Z, C, V	S
MVN	MOV R0, 16bit const. MVN R0, R1	Загрузка 16-бит в мл. полуслово, сброс старшего Перемещение регистра с инверсией		
MOVT	MOVT R0, 16bit const.	Загр. 16bit в старшее полуслово. Младш. остаётся без изменений.		
CMP	CMP R0, R1	Сравнение	N, Z, C, V	S
CMN	CMN R0, R1	Сравнение с противоположным знаком		
TST	TST R0, Operand2	Проверить значение битов по маске	N, Z, C	S
TEQ	TEQ R0, Operand2	Проверить равенство двух величин	N, Z	S
REV REV16 REVSH RBIT	REV R0, R1	Изменение порядка битов или байтов в слове		
CLZ	CLZ R0, R1	Подсчет количества ведущих нулей		

Логические операции

AND	И	0 в маске сбрасывает биты. Второй Operand2 для всех команд	N, Z, C	S
ORR	ИЛИ	1 в маске устанавливает биты		
EOR	Исключающее ИЛИ	1 в маске инвертирует биты		
BIC	Сброс битов по маске. И-НЕ	1 в маске сбрасывает биты		
ORN	ИЛИ-НЕ	0 в маске устанавливает биты		

Ядро Cortex-M3

Операции сдвига

ASR	Арифметический сдвиг вправо	N, Z, C
LSL	Логический сдвиг влево	
LSR	Логический сдвиг вправо	
ROR	Циклический сдвиг вправо	
RRX	Сдвиг вправо на 1 позицию через перенос	

Ветвление. Подпрограммы.

B	B label	Переход к метке
BX	BX R0	Переход по адресу в регистре
BL	BL label	Выполнить подпрограмму label
BLX	BLX R0	Выполнить подпрограмму по адресу в регистре
BX LR	BX LR	Возврат из подпрограммы
CBZ	CBZ R0, label	Переход, если R0 = 0
CBNZ	CBNZ R0, label	Переход, если R0 != 0
TBB	TBB [R0, R1]	Табличный переход по индексу. Короткий переход.
TBH	TBH [R0, R1, LSL #1]	Длинный переход
IT	IT{x{y{z}}} cond	Блок условно исполняемых инструкций

Ядро Cortex-M3

Работа с битовыми полями

BFC	BFC R0, #lsb, #width	Сброс поля в ноль
BFI	BFI R0, R1, #lsb, #width	Копирует младшие биты R1 в поле R0
UBFX	UBFX R0, R1, #lsb, #width	Копирует поле R1 в мл. биты R0 с заполнением нулями
SBFX	SBFX R0, R1, #lsb, #width	Копирует поле R1 в мл. биты R0 с расширением знака
UXTB	UXTB R0, R1 {, ROR #8,16,24}	Преобразование байта с заполнением нулями
UXTH		Преобразование полуслова
SXTB	SXTB R0, R1 {, ROR #8,16,24}	Преобразование байта с расширением знака
SXTH		Преобразование полуслова

Преобразование данных с насыщением

SSAT	SSAT Rd, #n, Rm {, shift #s}	Число со знаком в число со знаком,
USAT	USAT Rd, #n, Rm {, shift #s}	Число со знаком в число без знака

Q

Ядро Cortex-M3

Управление системой

MRS	MRS R0, PSR	Чтение/запись специальных регистров.
MSR	MSR PSR, R0	
CPSIE CPSID		Разрешение/запрет прерываний
WFE	WFE	Ожидать событие
WFI	WFI	Ожидать прерывание
BKPT		Точка останова
DMB DSB	DMB	Барьер синхронизации доступа к ОЗУ
ISB	ISB	Сброс конвейера
SEV	SEV	Дёрнуть ножкой события для внешних камней
SVC	SVC 8bit const.	Вызов системного сервиса
NOP	NOP	

Встроенные псевдоинструкции компилятора

MOV32	MOV32 R0, 32bit const. (label)	Загрузить слово в регистр.
LDR	LDR R0, =label	Загрузить 32bit адрес метки или #число
ADRL	ADRL R0, label	Загрузить 32bit адрес метки

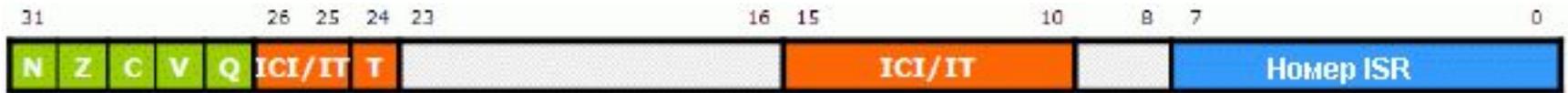
Ядро Cortex-M3

Суффиксы условного исполнения

EQ	Z = 1	Равенство
NE	Z = 0	Неравенство
CS, HS	C = 1	Больше или равно, беззнаковое сравнение
CC, LO	C = 0	Меньше, беззнаковое сравнение
MI	N = 1	Отрицательное значение, меньше нуля
PL	N = 0	Положительное значение, больше или равно нулю
VS	V = 1	Переполнение
VC	V = 0	Нет переполнения
HI	C = 1 и Z=0	Больше, беззнаковое сравнение
LS	C = 0 или Z=1	Меньше или равно, беззнаковое сравнение
GE	N = V	Больше или равно, знаковое сравнение
LT	N != V	Меньше, знаковое сравнение
GT	Z = 0 и N = V	Больше, знаковое сравнение
LE	Z = 1 и N != V	Меньше или равно, знаковое сравнение
AL	1	Безусловное исполнение

Ядро Cortex-M3

Помимо регистрового файла, имеется отдельный регистр, который называется регистром статуса программы. Он не входит в основной регистровый файл, а доступ к нему возможен с помощью двух специальных инструкций. В xPSR хранятся значения полей, влияющих на исполнение инструкций ЦПУ Cortex.



ISR - процедура обработки прерывания

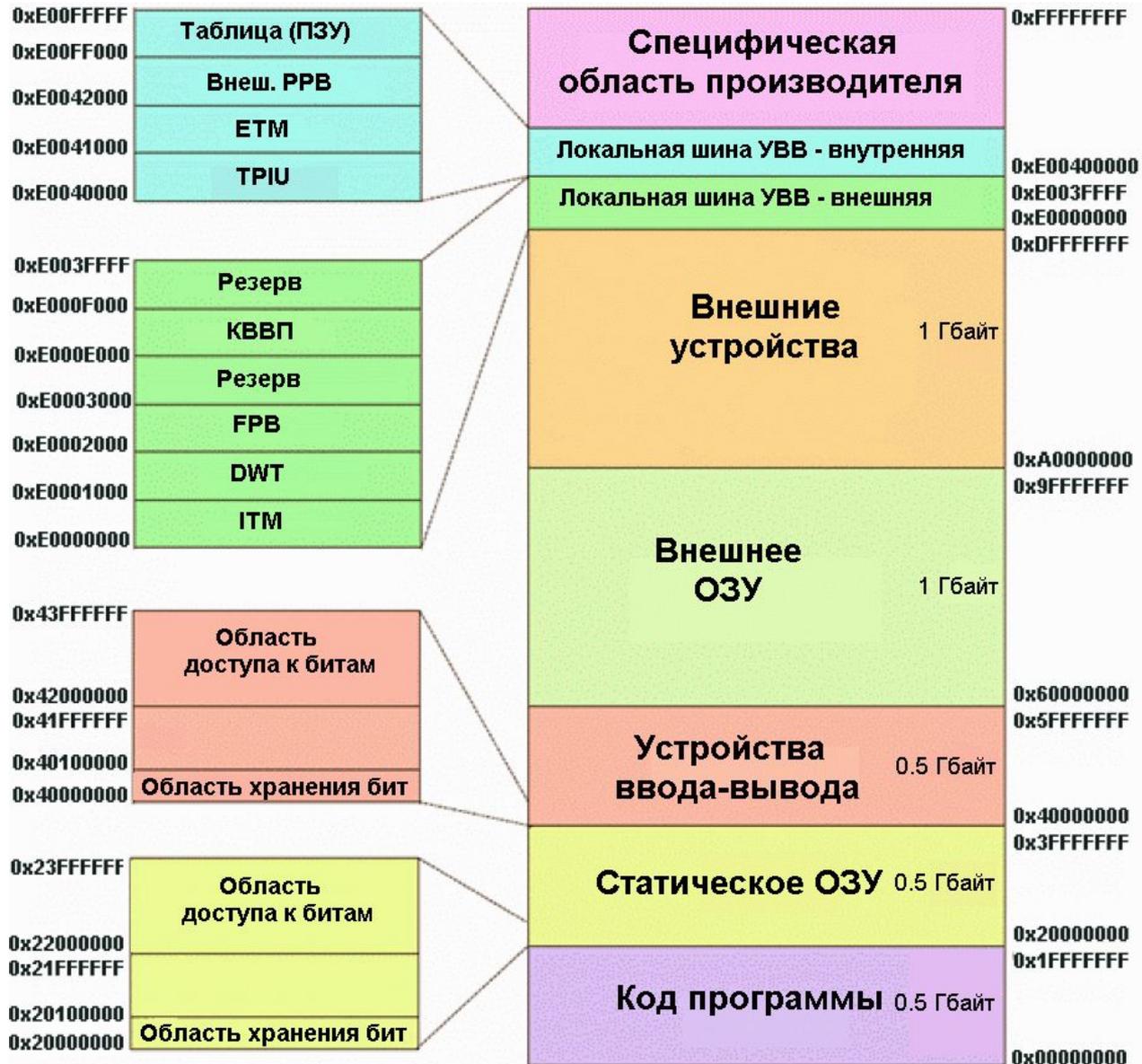
ICI - возобновляемая прерыванием инструкция

Ядро Cortex-M3 (режимы работы ЦПУ)



	Операции (после сброса - привилегированные)	Стек (после сброса - основной стек)
Handler - обработка исключительных ситуаций	Привилегированное исполнение Полное управление	Основной стек используется ОС и при обработке исключительных ситуаций
Thread - исключительные ситуации не обрабатываются - обычное выполнение кода	Привилегированные/ непривилегированные	Основной стек или стек процесса

Ядро Cortex-M3



Ядро Cortex-M3

Процессор Cortex-M3 выполнен по Гарвардской архитектуре, которая подразумевает использование отдельных шин данных и инструкций. Они называются шиной Dcode и Icode, соответственно. Обе эти шины могут осуществлять доступ к инструкциям и данным в диапазоне адресов 0x00000000 - 0x1FFFFFFF.

Также имеется дополнительная системная шина, которая предоставляет доступ к области системного управления по адресам 0x20000000-0xDFFFFFFF и 0xE0100000-0xFFFFFFFF.

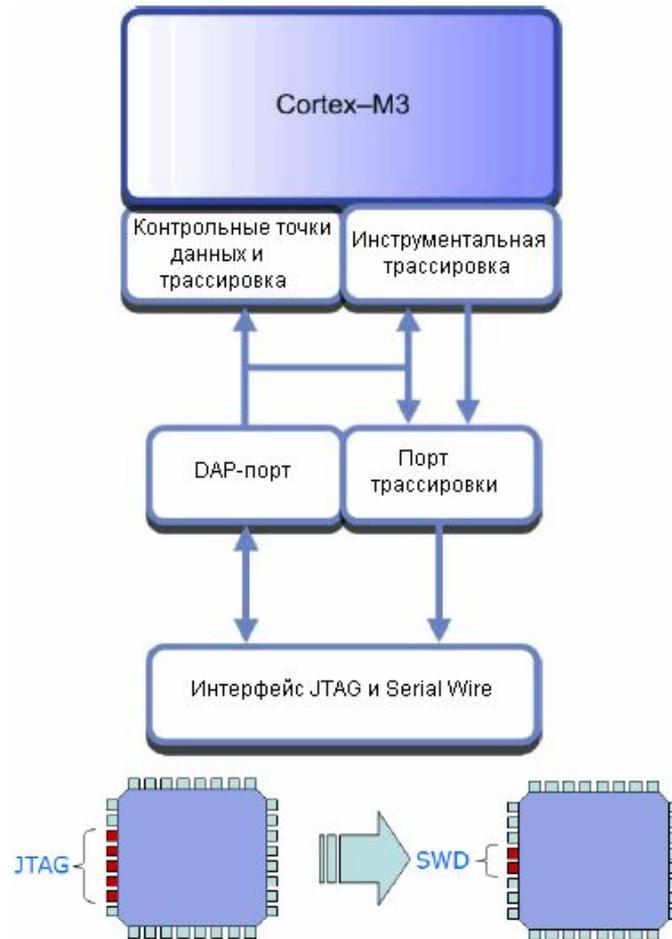
У встроенной отладочной системы процессора Cortex имеется еще одна дополнительная шинная структура, которая называется локальной шиной УВВ (Private Peripheral Bus, PPB)

Ядро Cortex-M3

В ядро Cortex входит 24-битный вычитающий счетчик с функциями автоматической перезагрузки и генерации прерывания. Он называется таймером SysTick и предназначен для использования в качестве стандартного таймера во всех Cortex-микроконтроллерах. Таймер SysTick может использоваться для формирования шкалы времени в ОСРВ или для генерации периодических прерываний для обработки запланированных задач. С помощью регистра управления и статуса таймера SysTick, который расположен в области системных ресурсов процессора Cortex-M3, пользователь может выбрать источник синхронизации таймера. Если установить бит CLKSOURCE, то таймер SysTick будет работать на тактовой частоте ЦПУ. Если же его сбросить, то таймер будет работать на частоте, равной 1/8 тактовой частоты ЦПУ.

Ядро Cortex-M3

Отладочная система CoreSight использует интерфейс JTAG или Serial Wire



STM32



* from CCM-SRAM

STM32

STM32F07/STM32F217

Cortex-M3 120MHz	up to 128 KB SRAM	up to 1MB FLASH	3xADC 12 bit (0,5us)	2xDAC 12 bit	2 timers motor control	USB 2.0 OTG FS	USB 2.0 OTG FS/HS	2xCAN 2.0B	FSMC	Ethernet IEEE 1588	Camera interface	Random Generator
---------------------	----------------------	--------------------	-------------------------	-----------------	---------------------------	-------------------	----------------------	---------------	------	-----------------------	---------------------	---------------------

STM32F05/STM32F215

Cortex-M3 120MHz	Up to 128KB SRAM	Up to 1MB FLASH	3xADC 12 bit (0,5us)	2xDAC 12 bit	2 timers motor control	USB 2.0 OTG FS/HS	2xCAN 2.0B	FSMC	Random Generator	Crypto/Hash processor
---------------------	---------------------	--------------------	-------------------------	-----------------	---------------------------	----------------------	---------------	------	---------------------	--------------------------

STM32F105/STM32F107 «Connectivity Line»

Cortex-M3 72MHz	Up to 64KB SRAM	Up to 256KB FLASH	2xADC (1 us)	2xDAC 12 bit	1 timer motor control	USB 2.0 OTG FS	2xCAN 2.0B	2xI ² S audio class	Ethernet IEEE 1588 (Only in STM32F107)
--------------------	--------------------	----------------------	-----------------	-----------------	--------------------------	-------------------	---------------	-----------------------------------	---

STM32F103 «Performance Line»

Cortex-M3 72MHz	Up to 96KB SRAM	Up to 1MB FLASH	2/3x12 DAC (1 us)	2xDAC 12 bit	1 timer motor control	USB FS	CAN 2.0B	2xI ² C	SDIO	FSMC
--------------------	--------------------	--------------------	----------------------	-----------------	--------------------------	-----------	-------------	--------------------	------	------

STM32F102 «USB Access Line»

Cortex-M3 48MHz	Up to 16KB SRAM	Up to 128KB FLASH	ADC 12 bit (1 us)	USB FS
--------------------	--------------------	----------------------	----------------------	--------

STM32F101 «Access Line»

Cortex-M3 36MHz	Up to 8 KB SRAM	Up to 1MB FLASH	ADC 12 bit (1 us)	2xDAC 12 bit	FSMC
--------------------	--------------------	--------------------	----------------------	-----------------	------

STM32F100 «Value Line»

Cortex-M3 24MHz	Up to 32KB SRAM	Up to 512KB FLASH	ADC 12 bit (1,2 us)	2xDAC 12 bit	1 timer motor control	GEC(HDMI)
--------------------	--------------------	----------------------	------------------------	-----------------	--------------------------	-----------

STM32L152 «Ultra Low Power Line»

Cortex-M3 32MHz	Up to 128KB FLASH	Up to 16KB SRAM	Reset BOR PVD	EEPROM 4KB	RTC 32KHz osc	MSI 64KHz- 4MHz	DMA	ADC 12 bit 1us, 24 channels	2x DAC 12 bit	MPU ETM	USB FS	LCD 8x40
--------------------	----------------------	--------------------	---------------------	---------------	------------------	-----------------------	-----	--------------------------------	------------------	------------	--------	-------------

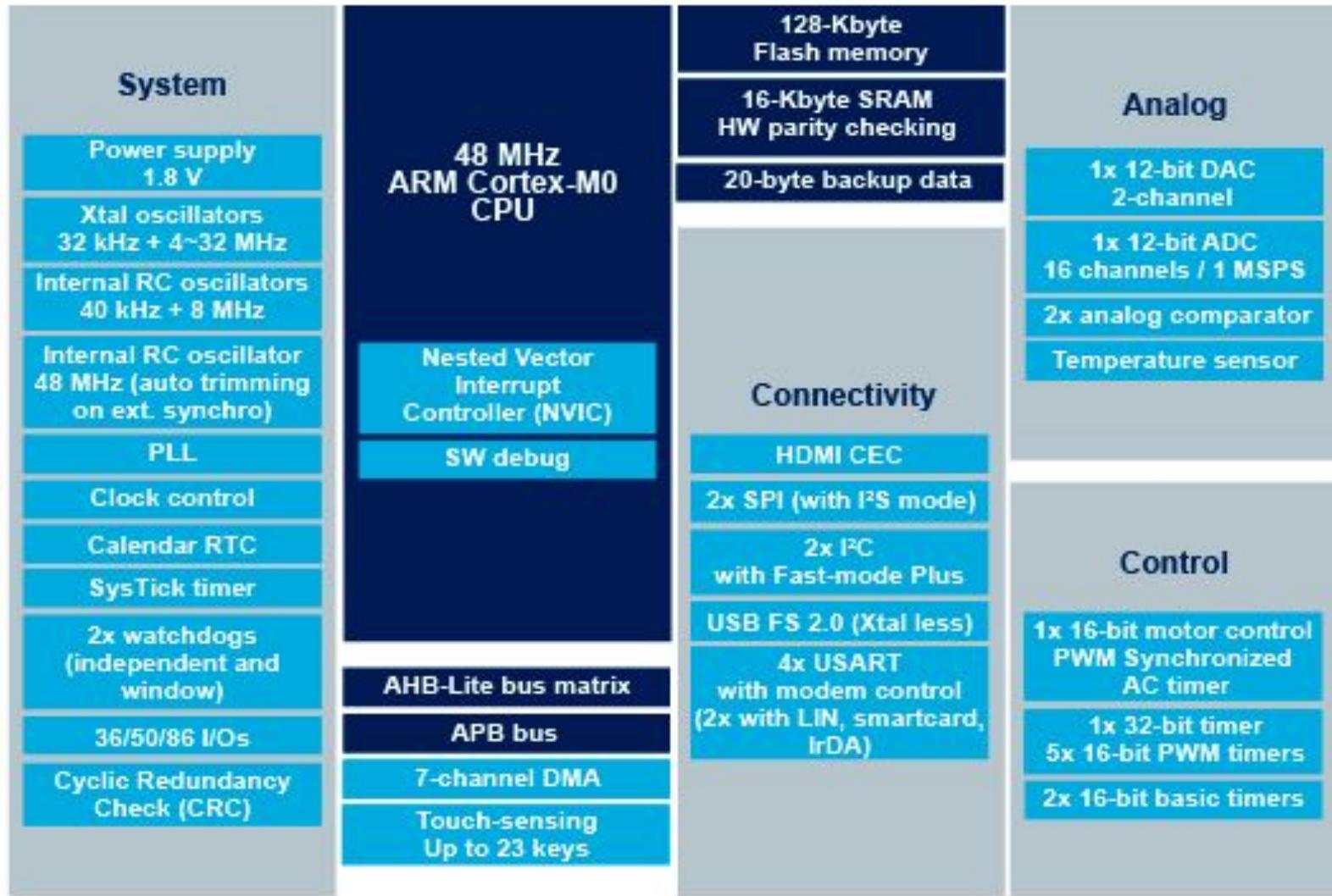
STM32L151 «Ultra Low Power Line»

Cortex-M3 32MHz	Up to 128KB FLASH	Up to 16KB SRAM	Reset BOR PVD	EEPROM 4KB	RTC 32KHz osc	MSI 64KHz- 4MHz	DMA	ADC 12 bit 1us, 24 channels	2x DAC 12 bit	MPU ETM	USB FS
--------------------	----------------------	--------------------	---------------------	---------------	------------------	-----------------------	-----	--------------------------------	------------------	------------	--------

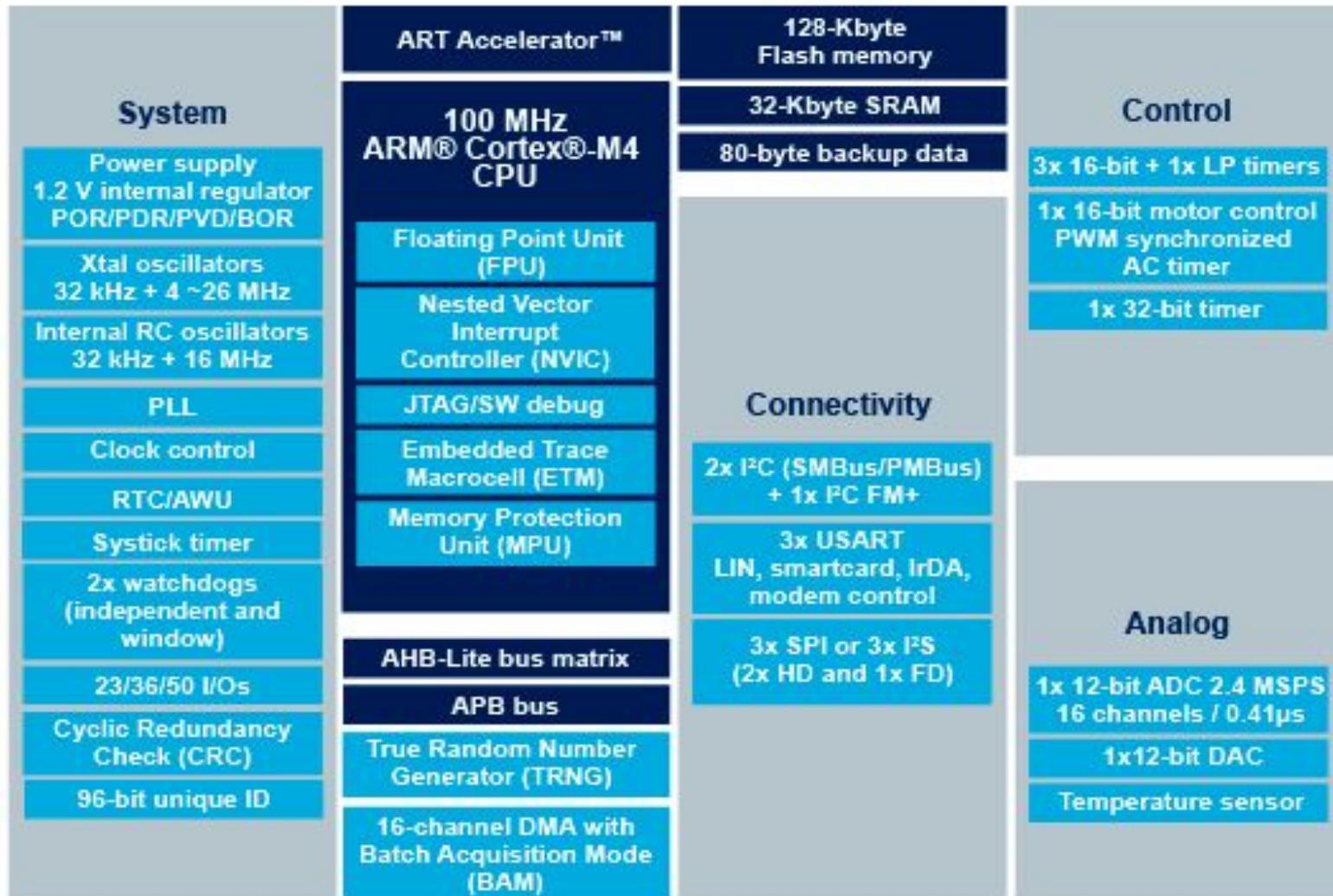
STM32W108 «RF (ZigBee) Line»

Cortex-M3 24MHz	8KB SRAM	128KB FLASH	ADC 12 bit	USCI (UART/SPI/TWI)	AES128	IEEE 802.15.14 radio RF and Baseband
--------------------	-------------	----------------	---------------	------------------------	--------	--

STM32F0



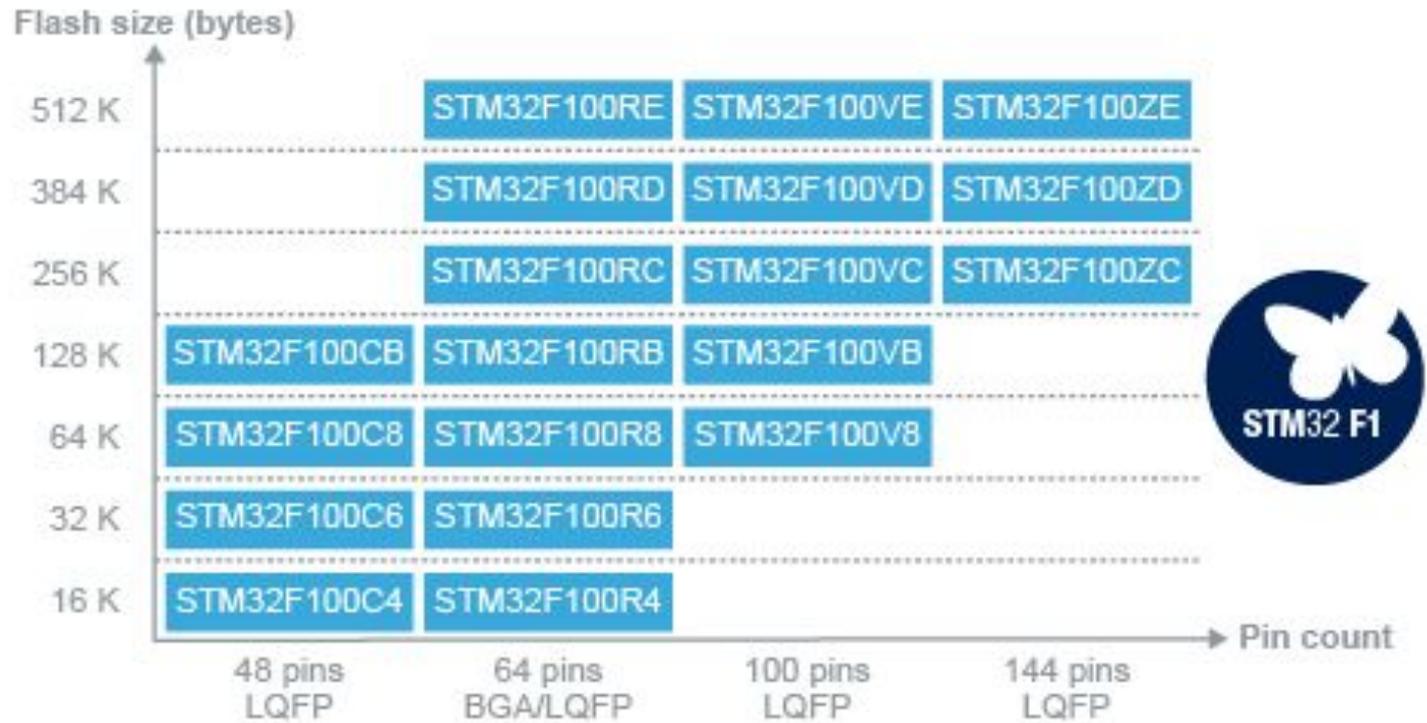
STM32F4



STM32F7

<p>System</p> <ul style="list-style-type: none"> Power supply 1.2 V regulator POR/PDR/PVD Xtal oscillators 32 kHz + 4 ~26 MHz Internal RC oscillators 32 kHz + 16 MHz PLL Clock control RTC/AWU 1x SysTick timer 2x watchdogs (independent and window) 82/114/140/168 I/Os Cyclic redundancy check (CRC) 	<ul style="list-style-type: none"> Chrom-ART Accelerator™ JPEG Codec Acceleration ART Accelerator™ 	<ul style="list-style-type: none"> 2-Mbyte dual bank Flash 512-Kbyte SRAM + 16-Kbyte ITCM RAM FMC/SRAM/NOR/NAND/SDRAM Dual Quad-SPI 94-byte + 4-Kbyte backup SRAM 1024-byte OTP
<p>Control</p> <ul style="list-style-type: none"> 2x 16-bit motor control PWM synchronized AC timer 5x 16-bit timers 2x 32-bit timers LP timer 	<p>Cache I/D 16+16 Kbytes</p> <p>ARM Cortex-M7 216 MHz</p> <ul style="list-style-type: none"> Floating point unit (FPU) Double precision Nested vector interrupt controller (NVIC) JTAG/SW debug/ETM Memory Protection Unit (MPU) 	<p>Connectivity</p> <ul style="list-style-type: none"> TFT LCD controller MIPI®-DSI HDMI-CEC 4x SPI, 3x I²S, 4x I²C Camera interface Ethernet MAC 10/100 with IEEE 1588 MDIO slave 2x CAN 2.0B 1x USB 2.0 OTG FS/HS 1x USB 2.0 OTG FS 2x SDMMC 4x USART + 4 UART LIN, smartcard, IrDA, modem control 2x SAI (Serial audio interface) SPDIF input x4 DFSDM
	<ul style="list-style-type: none"> AXI and Multi-AHB bus matrix 16-channel DMA True random number generator (RNG) 	<p>Analog</p> <ul style="list-style-type: none"> 2x 12-bit, 2-channel DACs 3x 12-bit ADC 24 channels / 2.4 MSPS Temperature sensor

STM32 Value Line



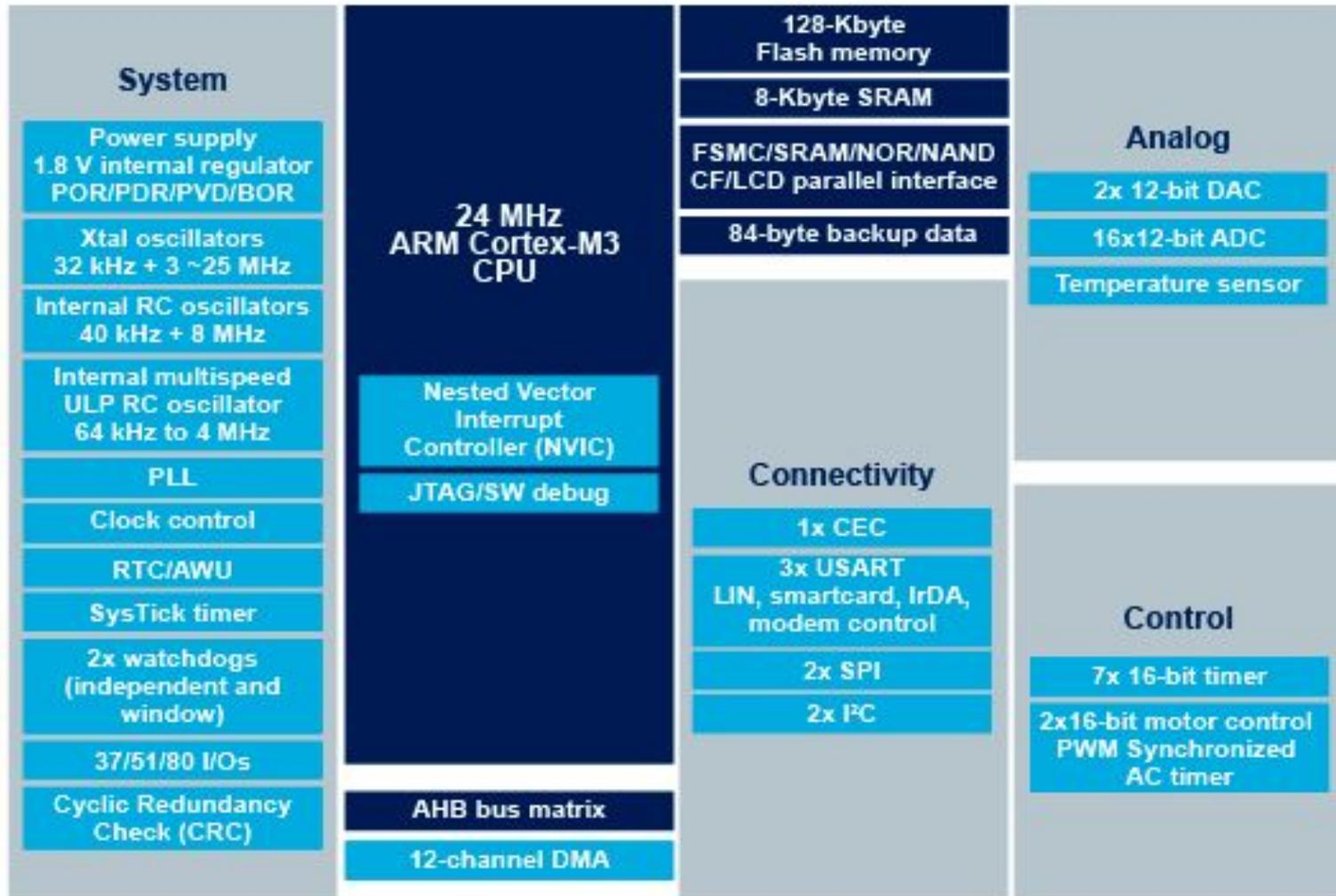
STM32 Value Line

- Core: ARM® 32-bit Cortex® -M3 CPU
 - 24 MHz maximum frequency, 1.25 DMIPS/MHz (Dhrystone 2.1) performance
 - Single-cycle multiplication and hardware division
- Memories
 - 16 to 128 Kbytes of Flash memory
 - 4 to 8 Kbytes of SRAM
- Clock, reset and supply management
 - 2.0 to 3.6 V application supply and I/Os
 - POR, PDR and programmable voltage detector (PVD)
 - 4-to-24 MHz crystal oscillator
 - Internal 8 MHz factory-trimmed RC
 - Internal 40 kHz RC
 - PLL for CPU clock
 - 32 kHz oscillator for RTC with calibration
- Low power
 - Sleep, Stop and Standby modes
 - V_{BAT} supply for RTC and backup registers
- Debug mode
 - Serial wire debug (SWD) and JTAG interfaces

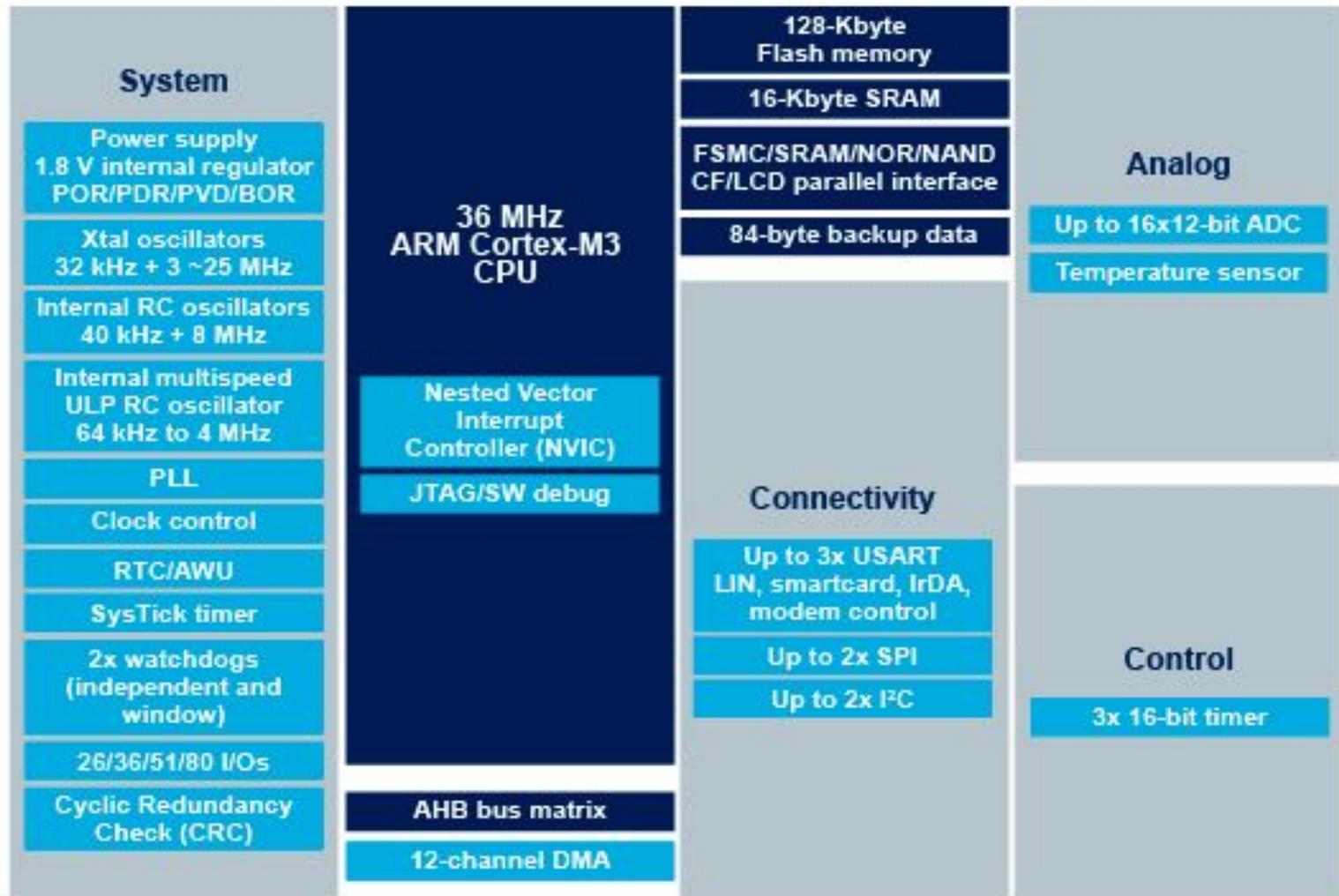
STM32 Value Line

- DMA
 - 7-channel DMA controller
 - Peripherals supported: timers, ADC, SPIs, I² Cs, USARTs and DACs
- 1 × 12-bit, 1.2 μs A/D converter (up to 16 channels)
 - Conversion range: 0 to 3.6 V
 - Temperature sensor
- 2 × 12-bit D/A converters
- Up to 80 fast I/O ports
 - 37/51/80 I/Os, all mappable on 16 external interrupt vectors and almost all 5 V-tolerant
- Up to 12 timers
 - Up to three 16-bit timers, each with up to 4 IC/OC/PWM or pulse counter
 - 16-bit, 6-channel advanced-control timer: up to 6 channels for PWM output, dead time generation and emergency stop
 - One 16-bit timer, with 2 IC/OC, 1 OCN/PWM, dead-time generation and emergency stop
 - Two 16-bit timers, each with IC/OC/OCN/PWM, dead-time generation and emergency stop
 - 2 watchdog timers (Independent and Window)
 - SysTick timer: 24-bit downcounter
 - Two 16-bit basic timers to drive the DAC
- Up to 8 communications interfaces
 - Up to two I² C interfaces (SMBus/PMBus)
 - Up to 3 USARTs (ISO 7816 interface, LIN, IrDA capability, modem control)
 - Up to 2 SPIs (12 Mbit/s)
 - Consumer electronics control (CEC) interface
- CRC calculation unit, 96-bit unique ID
- ECOPACK® packages

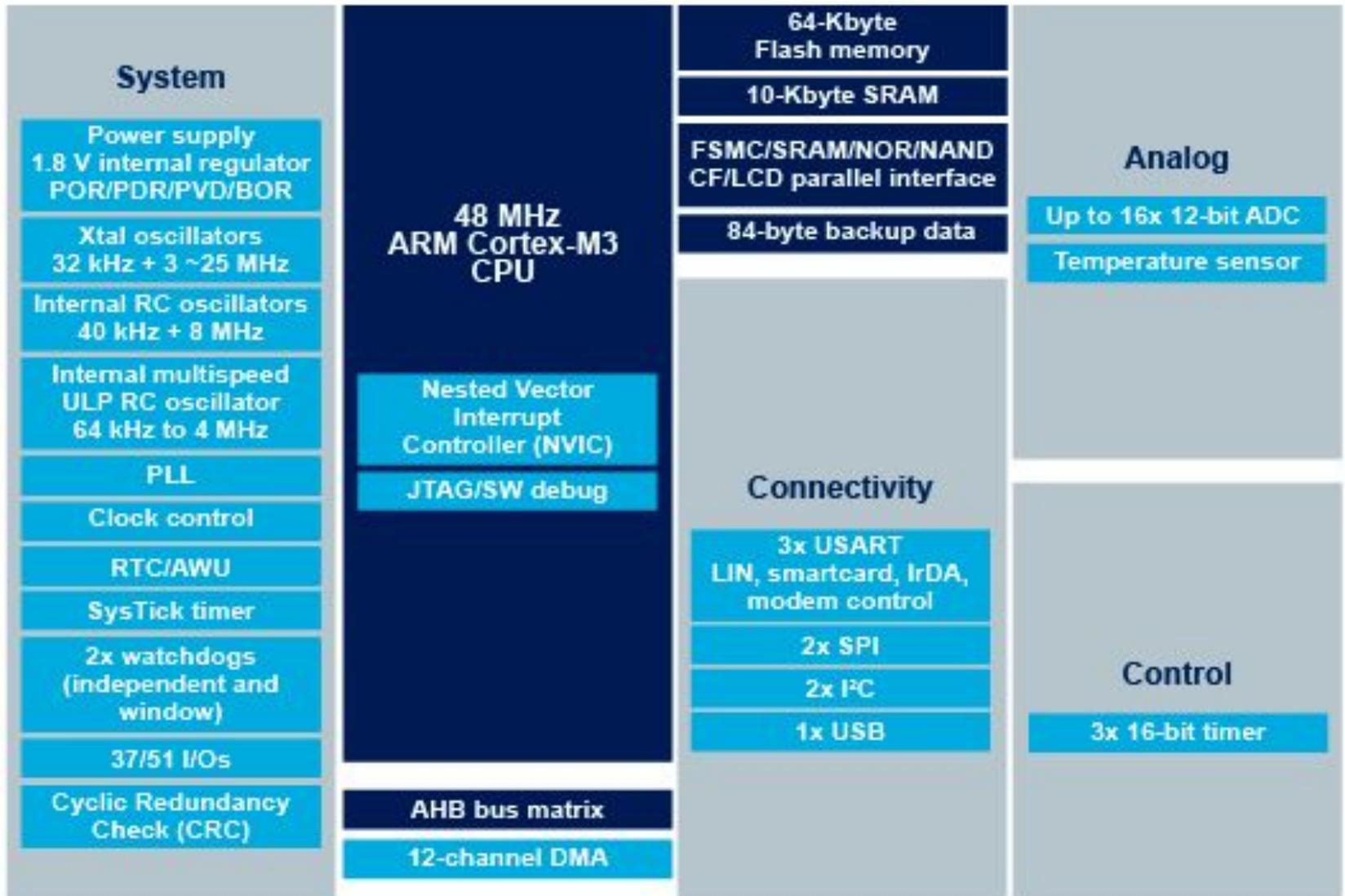
STM32 Value Line



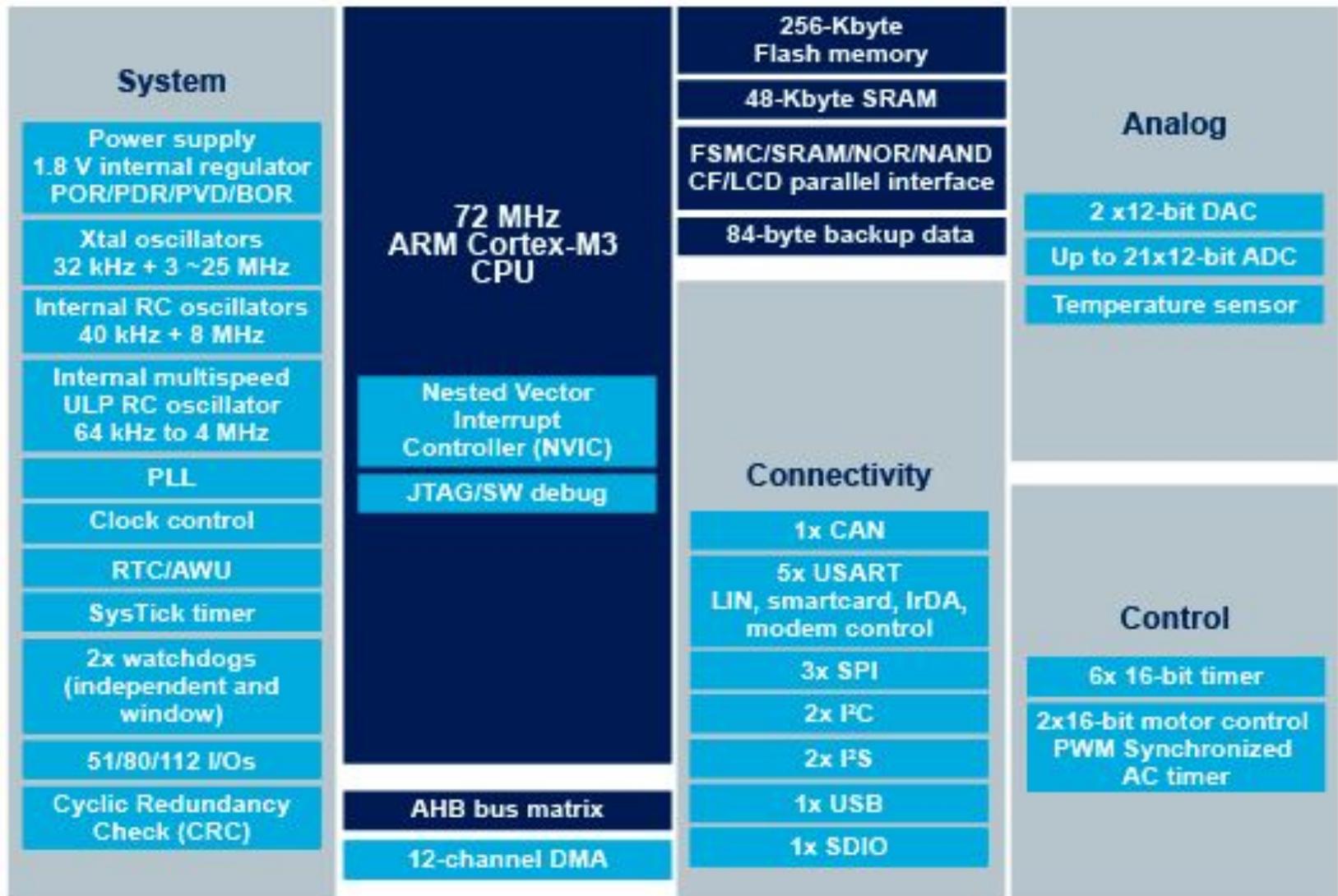
STM32 F101



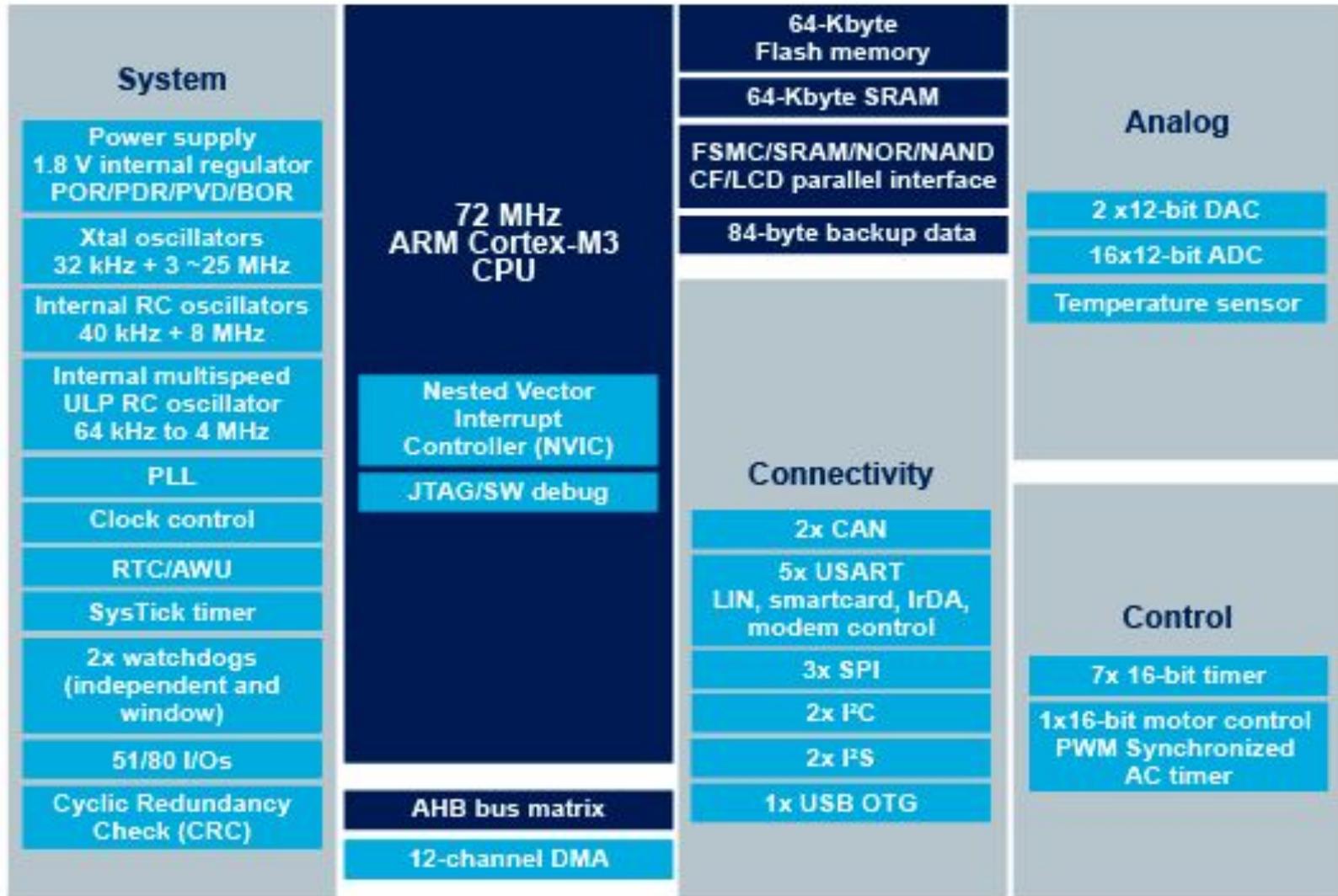
STM32 F102



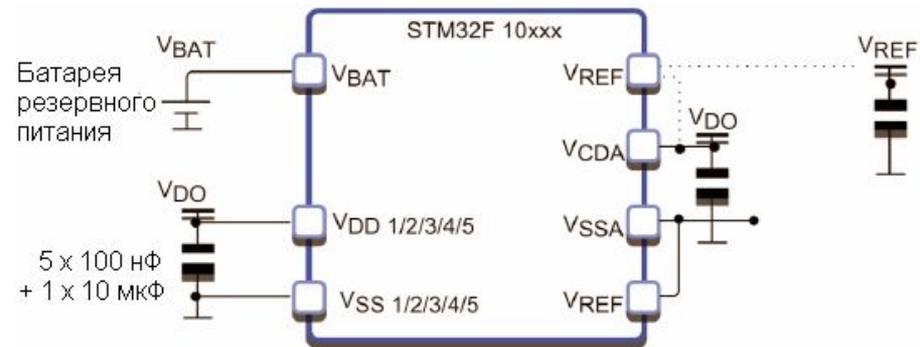
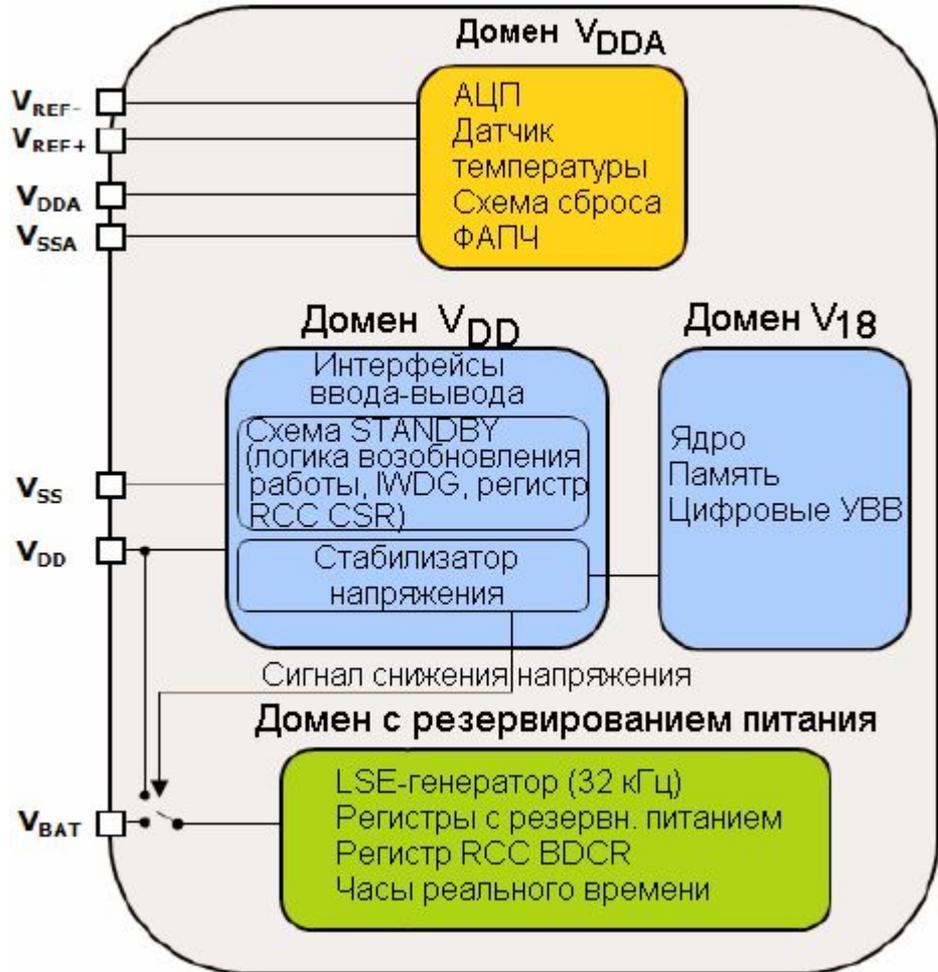
STM32 F103



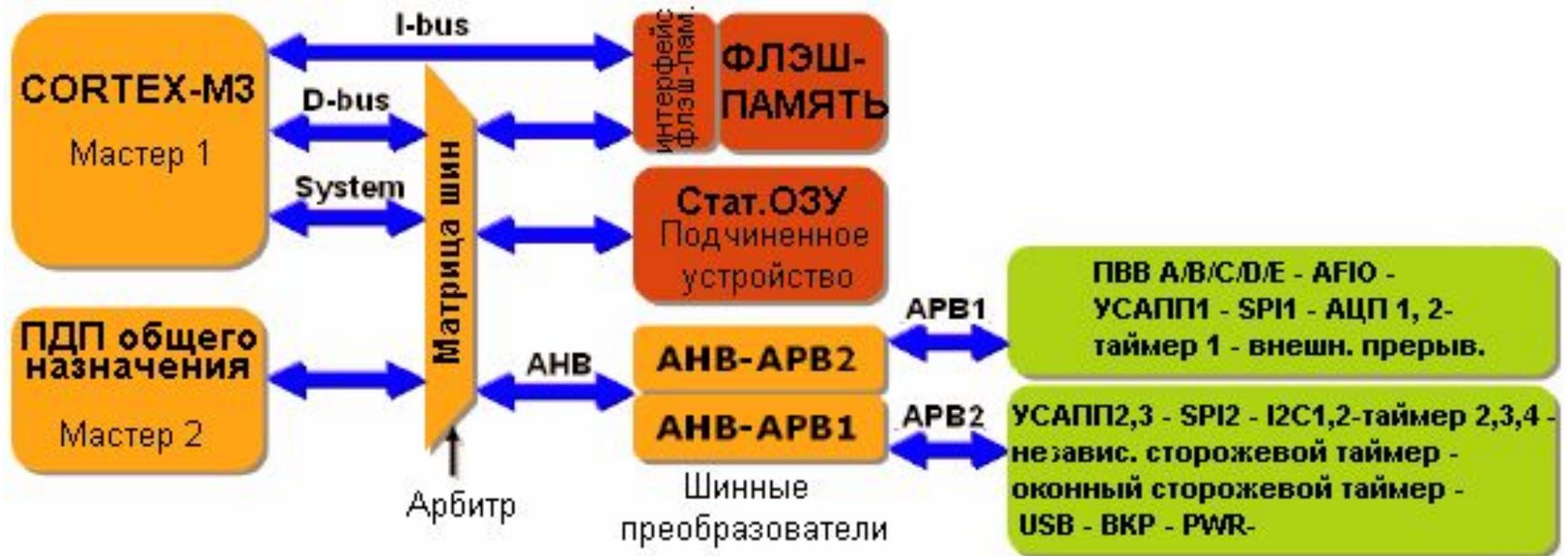
STM32 F105/107



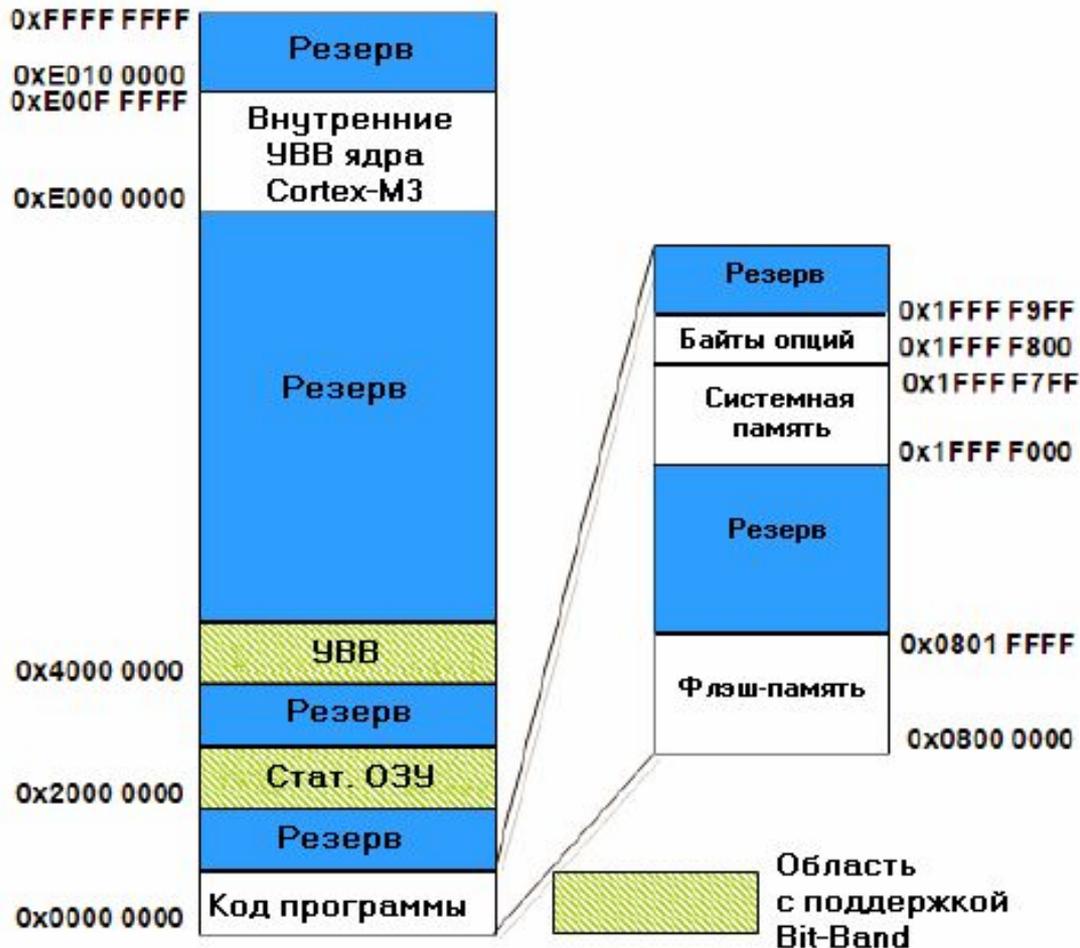
STM-32 питание



Архитектура системы микроконтроллеров STM32

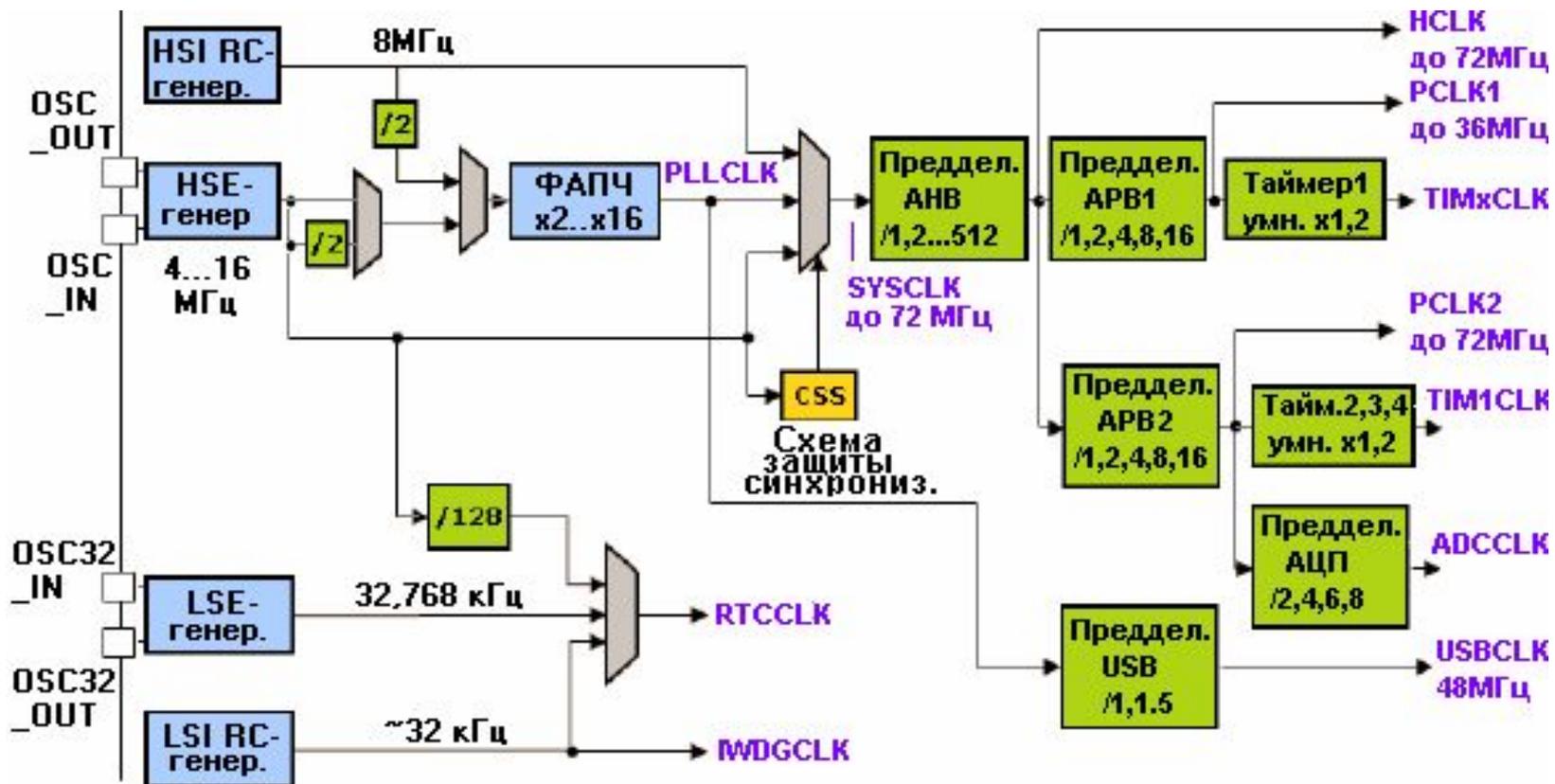


Архитектура системы микроконтроллеров STM32



Выводы выбора режима загрузки		Режим загрузки
BOOT1	BOOT0	
x	0	Флэш-память пользователя
0	1	Системная память
1	1	Встроенное статич.ОЗУ

Архитектура системы микроконтроллеров STM32

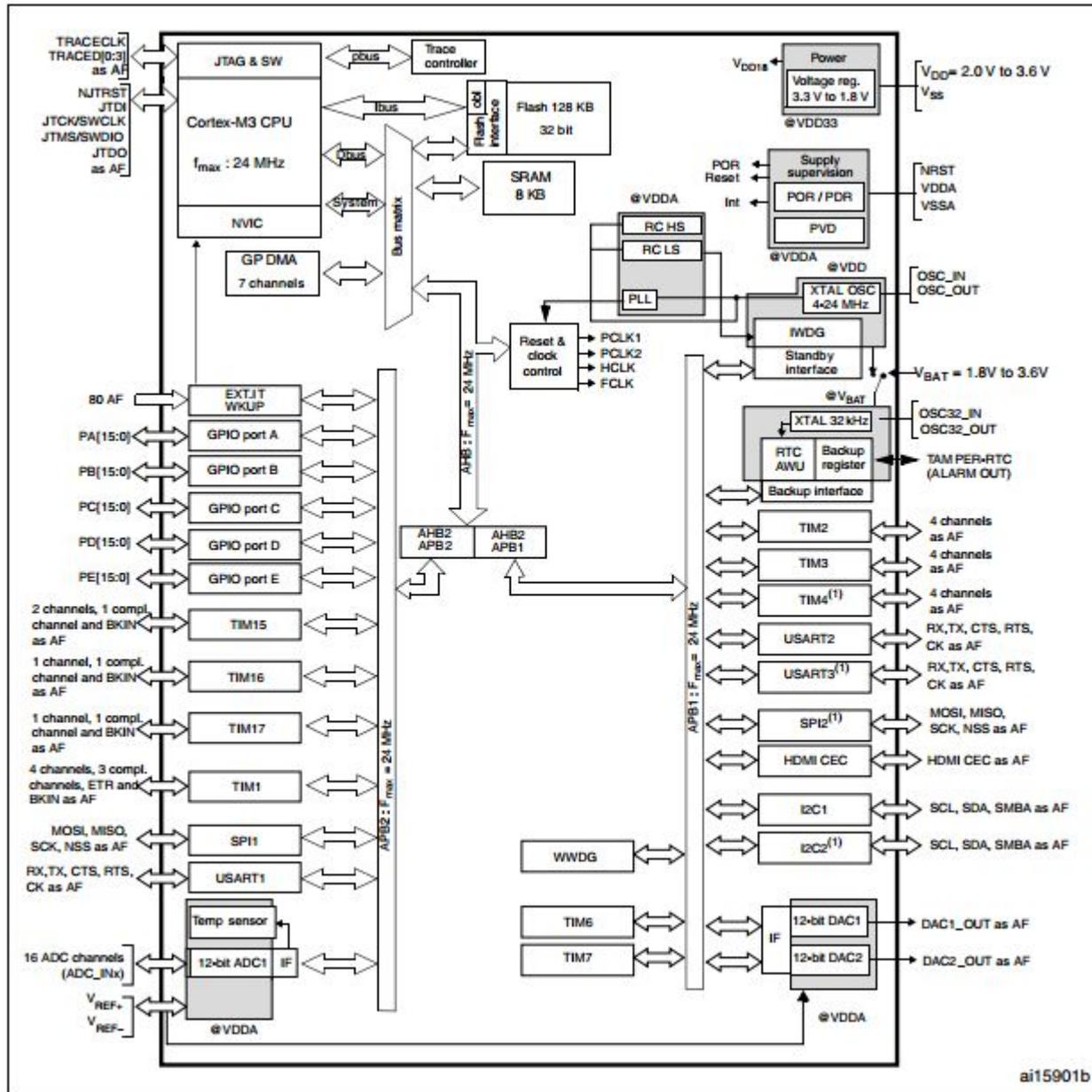


Архитектура системы микроконтроллеров STM32

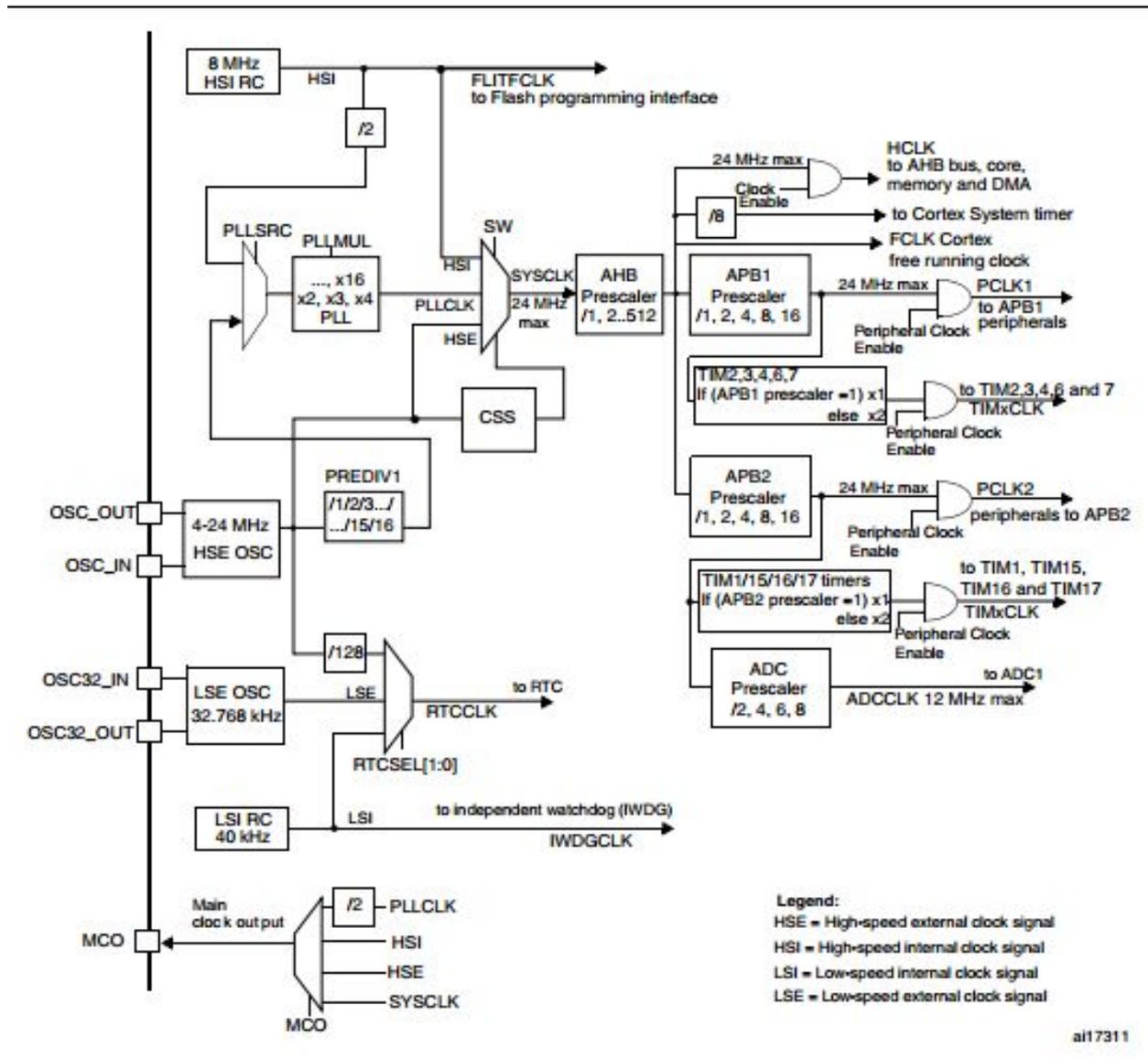
Table 2. STM32F100xx features and peripheral counts

Peripheral		STM32F100Cx				STM32F100Rx				STM32F100Vx	
Flash - Kbytes		16	32	64	128	16	32	64	128	64	128
SRAM - Kbytes		4	4	8	8	4	4	8	8	8	8
Timers	Advanced-control	1		1		1		1		1	
	General-purpose	5 ⁽¹⁾		6		5 ⁽¹⁾		6		6	
Communication interfaces	SPI	1 ⁽²⁾		2		1 ⁽²⁾		2		2	
	I ² C	1 ⁽³⁾		2		1 ⁽³⁾		2		2	
	USART	2 ⁽⁴⁾		3		2 ⁽⁴⁾		3		3	
	CEC	1									
12-bit synchronized ADC number of channels		1 10 channels				1 16 channels				1 16 channels	
GPIOs		37				51				80	
12-bit DAC Number of channels		2 2									
CPU frequency		24 MHz									
Operating voltage		2.0 to 3.6 V									
Operating temperatures		Ambient operating temperature: -40 to +85 °C / -40 to +105 °C (see Table 8) Junction temperature: -40 to +125 °C (see Table 8)									
Packages		LQFP48				LQFP64, TFBGA64				LQFP100	

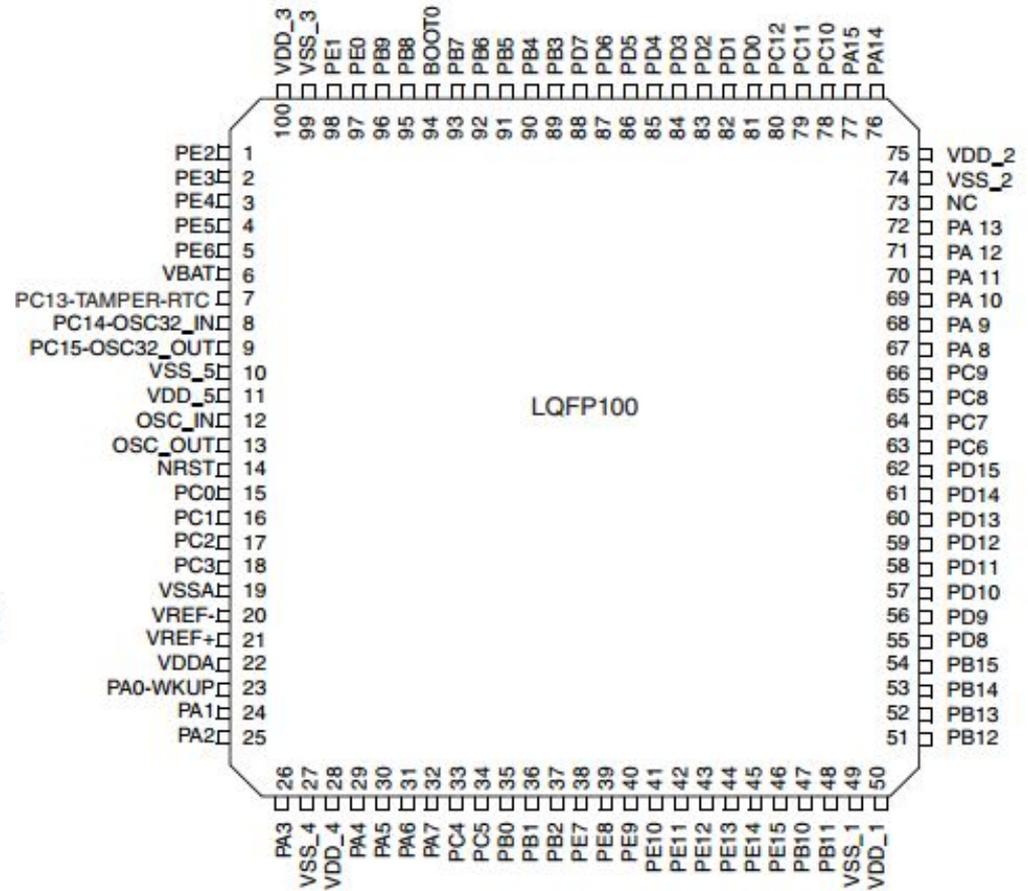
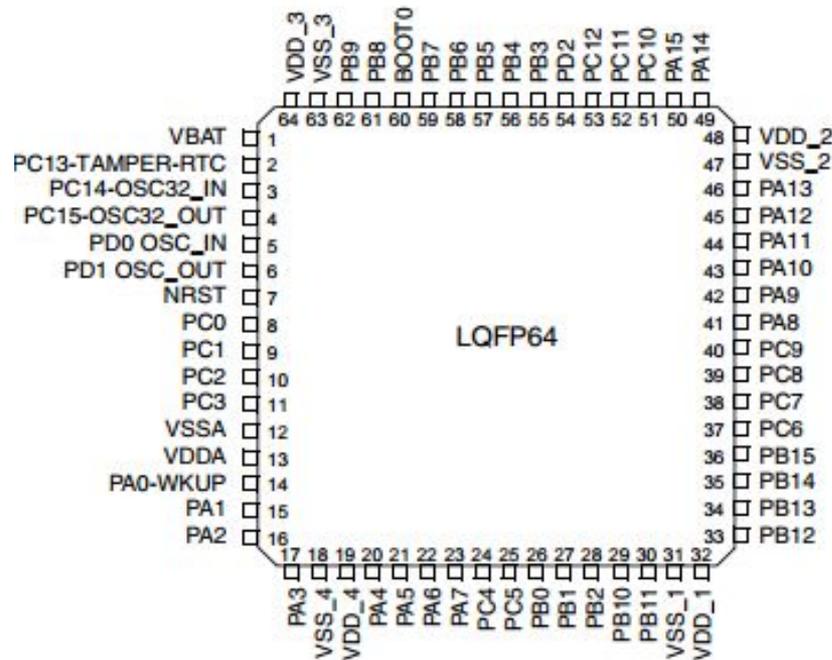
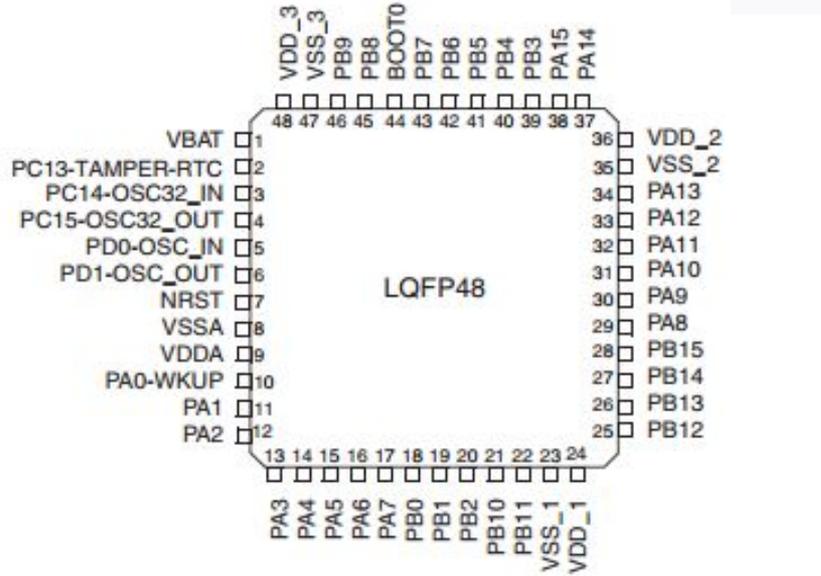
Архитектура системы микроконтроллеров STM32



Архитектура системы микроконтроллеров STM32



Архитектура системы микроконтроллеров STM32



Архитектура системы микроконтроллеров STM32

Table 4. Low & medium-density STM32F100xx pin definitions

Pins				Pin name	Type ⁽¹⁾	I / O level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alternate functions ⁽³⁾⁽⁴⁾	
LQFP100	LQFP64	TFBGA64	LQFP48					Default	Remap
1	-	-	-	PE2	I/O	FT	PE2	TRACECLK	-
2	-	-	-	PE3	I/O	FT	PE3	TRACED0	-
3	-	-	-	PE4	I/O	FT	PE4	TRACED1	-
4	-	-	-	PE5	I/O	FT	PE5	TRACED2	-
5	-	-	-	PE6	I/O	FT	PE6	TRACED3	-
6	1	B2	1	V _{BAT}	S	-	V _{BAT}	-	-
7	2	A2	2	PC13-TAMPER-RTC ⁽⁵⁾	I/O	-	PC13 ⁽⁶⁾	TAMPER-RTC	-
8	3	A1	3	PC14-OSC32_IN ⁽⁵⁾	I/O	-	PC14 ⁽⁶⁾	OSC32_IN	-

Архитектура системы микроконтроллеров STM32

Table 4. Low & medium-density STM32F100xx pin definitions (continued)

Pins				Pin name	Type ⁽¹⁾	I / O level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alternate functions ⁽³⁾⁽⁴⁾	
LQFP100	LQFP64	TFBGA64	LQFP48					Default	Remap
9	4	B1	4	PC15-OSC32_OUT ⁽⁵⁾	I/O	-	PC15 ⁽⁶⁾	OSC32_OUT	-
10	-	-	-	V _{SS_5}	S	-	V _{SS_5}	-	-
11	-	-	-	V _{DD_5}	S	-	V _{DD_5}	-	-
12	5	C1	5	OSC_IN	I	-	OSC_IN	-	PD0 ⁽⁷⁾
13	6	D1	6	OSC_OUT	O	-	OSC_OUT	-	PD1 ⁽⁷⁾
14	7	E1	7	NRST	I/O	-	NRST	-	-
15	8	E3	-	PC0	I/O	-	PC0	ADC1_IN10	-
16	9	E2	-	PC1	I/O	-	PC1	ADC1_IN11	-
17	10	F2	-	PC2	I/O	-	PC2	ADC1_IN12	-
18	11	.(⁽⁸⁾)	-	PC3	I/O	-	PC3	ADC1_IN13	-
19	12	F1	8	V _{SSA}	S	-	V _{SSA}	-	-
20	-	-	-	V _{REF-}	S	-	V _{REF-}	-	-
21	-	G1	-	V _{REF+}	S	-	V _{REF+}	-	-
22	13	H1	9	V _{DDA}	S	-	V _{DDA}	-	-

Архитектура системы микроконтроллеров STM32

Table 4. Low & medium-density STM32F100xx pin definitions (continued)

Pins				Pin name	Type ⁽¹⁾	I / O level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alternate functions ⁽³⁾⁽⁴⁾	
LQFP100	LQFP64	TFBGA64	LQFP48					Default	Remap
23	14	G2	10	PA0-WKUP	I/O	-	PA0	WKUP / USART2_CTS ⁽¹²⁾ / ADC1_IN0 / TIM2_CH1_ETR ⁽¹²⁾	-
24	15	H2	11	PA1	I/O	-	PA1	USART2_RTS ⁽¹²⁾ / ADC1_IN1 / TIM2_CH2 ⁽¹²⁾	-
25	16	F3	12	PA2	I/O	-	PA2	USART2_TX ⁽¹²⁾ / ADC1_IN2 / TIM2_CH3 ⁽¹²⁾ / TIM15_CH1 ⁽¹²⁾	-
26	17	G3	13	PA3	I/O	-	PA3	USART2_RX ⁽¹²⁾ / ADC1_IN3 / TIM2_CH4 ⁽¹²⁾ / TIM15_CH2 ⁽¹²⁾	-
27	18	C2	-	V _{SS_4}	S	-	V _{SS_4}	-	-
28	19	D2	-	V _{DD_4}	S	-	V _{DD_4}	-	-
29	20	H3	14	PA4	I/O	-	PA4	SPI1_NSS ⁽¹²⁾ / ADC1_IN4 USART2_CK ⁽¹²⁾ / DAC1_OUT	-
30	21	F4	15	PA5	I/O	-	PA5	SPI1_SCK ⁽¹²⁾ / ADC1_IN5 / DAC2_OUT	-
31	22	G4	16	PA6	I/O	-	PA6	SPI1_MISO ⁽¹²⁾ / ADC1_IN6 / TIM3_CH1 ⁽¹²⁾	TIM1_BKIN / TIM16_CH1
32	23	H4	17	PA7	I/O	-	PA7	SPI1_MOSI ⁽¹²⁾ / ADC1_IN7 / TIM3_CH2 ⁽¹²⁾	TIM1_CH1N / TIM17_CH1

Архитектура системы микроконтроллеров STM32

Table 4. Low & medium-density STM32F100xx pin definitions (continued)

Pins				Pin name	Type ⁽¹⁾	I / O level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alternate functions ⁽³⁾⁽⁴⁾	
LQFP100	LQFP64	TFBGA64	LQFP48					Default	Remap
33	24	H5	-	PC4	I/O	-	PC4	ADC1_IN14	-
34	25	H6	-	PC5	I/O	-	PC5	ADC1_IN15	-
35	26	F5	18	PB0	I/O	-	PB0	ADC1_IN8/TIM3_CH3 ⁽¹²⁾	TIM1_CH2N
36	27	G5	19	PB1	I/O	-	PB1	ADC1_IN9/TIM3_CH4 ⁽¹²⁾	TIM1_CH3N
37	28	G6	20	PB2	I/O	FT	PB2/BOOT1	-	-
38	-	-	-	PE7	I/O	FT	PE7	-	TIM1_ETR
39	-	-	-	PE8	I/O	FT	PE8	-	TIM1_CH1N
40	-	-	-	PE9	I/O	FT	PE9	-	TIM1_CH1
41	-	-	-	PE10	I/O	FT	PE10	-	TIM1_CH2N
42	-	-	-	PE11	I/O	FT	PE11	-	TIM1_CH2
43	-	-	-	PE12	I/O	FT	PE12	-	TIM1_CH3N
44	-	-	-	PE13	I/O	FT	PE13	-	TIM1_CH3
45	-	-	-	PE14	I/O	FT	PE14	-	TIM1_CH4
46	-	-	-	PE15	I/O	FT	PE15	-	TIM1_BKIN
47	29	G7	21	PB10	I/O	FT	PB10	I2C2_SCL ⁽⁹⁾ /USART3_TX ⁽¹²⁾	TIM2_CH3 / HDMI_CEC

Архитектура системы микроконтроллеров STM32

Table 4. Low & medium-density STM32F100xx pin definitions (continued)

Pins				Pin name	Type ⁽¹⁾	I / O level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alternate functions ⁽³⁾⁽⁴⁾	
LQFP100	LQFP64	TFBGA64	LQFP48					Default	Remap
48	30	H7	22	PB11	I/O	FT	PB11	I2C2_SDA ⁽⁹⁾ /USART3_RX ⁽¹²⁾	TIM2_CH4
49	31	D6	23	V _{SS_1}	S	-	V _{SS_1}	-	-
50	32	E6	24	V _{DD_1}	S	-	V _{DD_1}	-	-
51	33	H8	25	PB12	I/O	FT	PB12	SPI2_NSS ⁽¹⁰⁾ / I2C2_SMBA ⁽⁹⁾ / TIM1_BKIN ⁽¹²⁾ /USART3_C K ⁽¹²⁾	-
52	34	G8	26	PB13	I/O	FT	PB13	SPI2_SCK ⁽¹⁰⁾ / /TIM1_CH1N ⁽¹²⁾ USART3_CTS ⁽¹²⁾	-
53	35	F8	27	PB14	I/O	FT	PB14	SPI2_MISO ⁽¹⁰⁾ / TIM1_CH2N ⁽¹²⁾ / USART3_RTS ⁽¹²⁾	TIM15_CH1
54	36	F7	28	PB15	I/O	FT	PB15	SPI2_MOSI ⁽¹⁰⁾ / TIM1_CH3N / TIM15_CH1N ⁽¹²⁾	TIM15_CH2
55	-	-	-	PD8	I/O	FT	PD8	-	USART3_TX
56	-	-	-	PD9	I/O	FT	PD9	-	USART3_RX

Архитектура системы микроконтроллеров STM32

Table 4. Low & medium-density STM32F100xx pin definitions (continued)

Pins				Pin name	Type ⁽¹⁾	I / O level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alternate functions ⁽³⁾⁽⁴⁾	
LQFP100	LQFP64	TFBGA64	LQFP48					Default	Remap
57	-	-	-	PD10	I/O	FT	PD10	-	USART3_CK
58	-	-	-	PD11	I/O	FT	PD11	-	USART3_CTS
59	-	-	-	PD12	I/O	FT	PD12	-	TIM4_CH1 ⁽¹¹⁾ / USART3_RTS
60	-	-	-	PD13	I/O	FT	PD13	-	TIM4_CH2 ⁽¹¹⁾
61	-	-	-	PD14	I/O	FT	PD14	-	TIM4_CH3 ⁽¹¹⁾
62	-	-	-	PD15	I/O	FT	PD15	-	TIM4_CH4 ⁽¹¹⁾
63	37	F6	-	PC6	I/O	FT	PC6	-	TIM3_CH1
64	38	E7	-	PC7	I/O	FT	PC7	-	TIM3_CH2
65	39	E8	-	PC8	I/O	FT	PC8	-	TIM3_CH3
66	40	D8	-	PC9	I/O	FT	PC9	-	TIM3_CH4

Архитектура системы микроконтроллеров STM32

Table 4. Low & medium-density STM32F100xx pin definitions (continued)

Pins				Pin name	Type ⁽¹⁾	I / O level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alternate functions ⁽³⁾⁽⁴⁾		
LQFP100	LQFP64	TFBGA64	LQFP48					Default	Remap	
67	41	D7	29	PA8	I/O	FT	PA8	USART1_CK / MCO / TIM1_CH1	-	
68	42	C7	30	PA9	I/O	FT	PA9	USART1_TX ⁽¹²⁾ / TIM1_CH2 / TIM15_BKIN	-	
69	43	C6	31	PA10	I/O	FT	PA10	USART1_RX ⁽¹²⁾ / TIM1_CH3 / TIM17_BKIN	-	
70	44	C8	32	PA11	I/O	FT	PA11	USART1_CTS / TIM1_CH4	-	
71	45	B8	33	PA12	I/O	FT	PA12	USART1_RTS / TIM1_ETR	-	
72	46	A8	34	PA13	I/O	FT	JTMS- SWDIO	-	PA13	
73	-	-	-	Not connected					-	-
74	47	D5	35	V _{SS_2}	S	-	V _{SS_2}	-	-	
75	48	E5	36	V _{DD_2}	S	-	V _{DD_2}	-	-	
76	49	A7	37	PA14	I/O	FT	JTCK/SWCL K	-	PA14	
77	50	A6	38	PA15	I/O	FT	JTDI	-	TIM2_CH1_ ETR/ PA15/ SPI1_NSS	
78	51	B7	-	PC10	I/O	FT	PC10	-	USART3_TX	

Архитектура системы микроконтроллеров STM32

Table 4. Low & medium-density STM32F100xx pin definitions (continued)

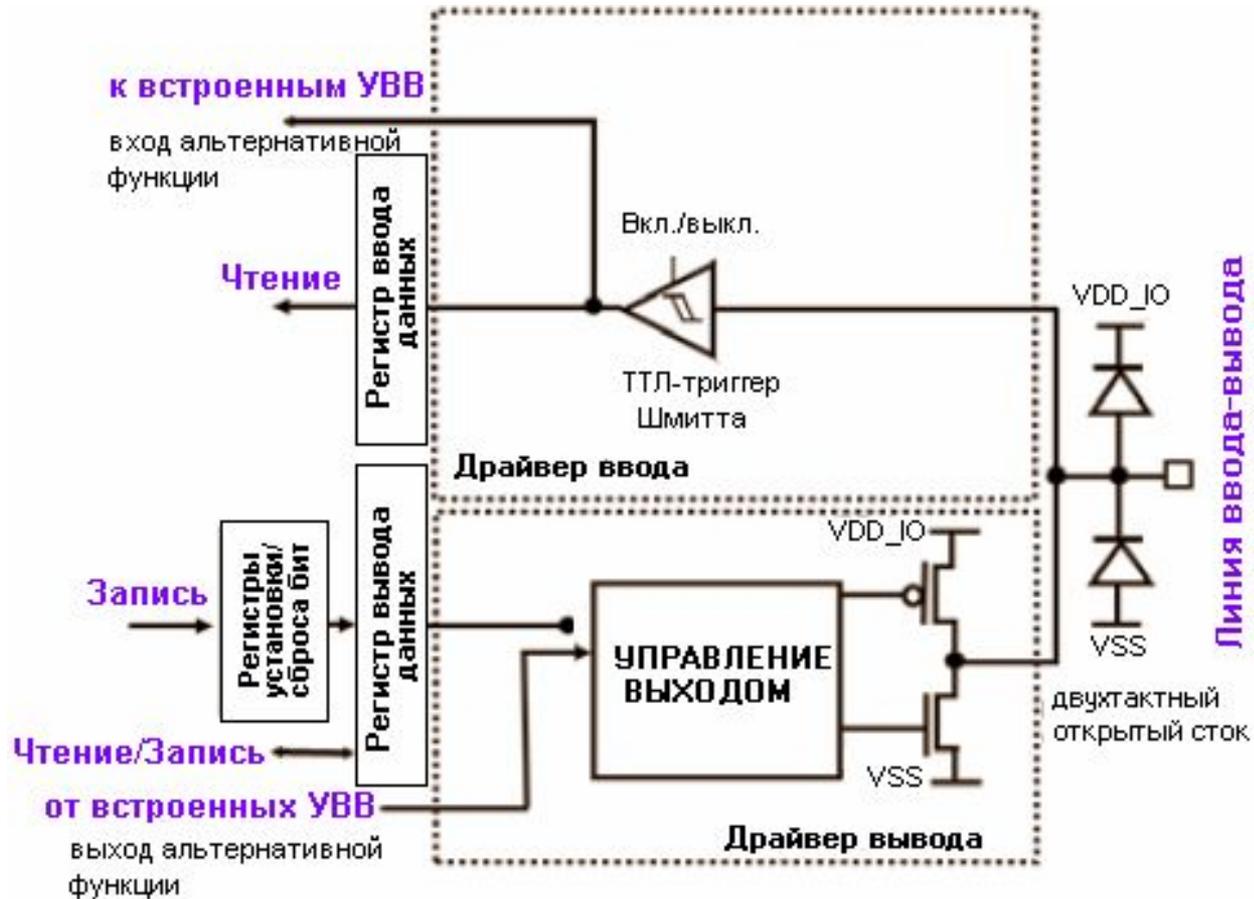
Pins				Pin name	Type ⁽¹⁾	I / O level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alternate functions ⁽³⁾⁽⁴⁾	
LQFP100	LQFP64	TFBGA64	LQFP48					Default	Remap
79	52	B6	-	PC11	I/O	FT	PC11	-	USART3_RX
80	53	C5	-	PC12	I/O	FT	PC12	-	USART3_CK
81	-	C1	-	PD0	I/O	FT	PD0	-	-
82	-	D1	-	PD1	I/O	FT	PD1	-	-
83	54	B5	-	PD2	I/O	FT	PD2	TIM3_ETR	-
84	-	-	-	PD3	I/O	FT	PD3	-	USART2_CTS
85	-	-	-	PD4	I/O	FT	PD4	-	USART2_RTS
86	-	-	-	PD5	I/O	FT	PD5	-	USART2_TX
87	-	-	-	PD6	I/O	FT	PD6	-	USART2_RX
88	-	-	-	PD7	I/O	FT	PD7	-	USART2_CK
89	55	A5	39	PB3	I/O	FT	JTDO		TIM2_CH2 / PB3 TRACESWO SPI1_SCK
90	56	A4	40	PB4	I/O	FT	NJTRST	-	PB4 / TIM3_CH1 SPI1_MISO

Архитектура системы микроконтроллеров STM32

Table 4. Low & medium-density STM32F100xx pin definitions (continued)

Pins				Pin name	Type ⁽¹⁾	I / O level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alternate functions ⁽³⁾⁽⁴⁾	
LQFP100	LQFP64	TFBGA64	LQFP48					Default	Remap
91	57	C4	41	PB5	I/O	-	PB5	I2C1_SMBA / TIM16_BKIN	TIM3_CH2 / SPI1_MOSI
92	58	D3	42	PB6	I/O	FT	PB6	I2C1_SCL ⁽¹²⁾ / TIM4_CH1 ⁽¹¹⁾⁽¹²⁾ / TIM16_CH1N	USART1_TX
93	59	C3	43	PB7	I/O	FT	PB7	I2C1_SDA ⁽¹²⁾ / TIM17_CH1N / TIM4_CH2 ⁽¹¹⁾⁽¹²⁾	USART1_RX
94	60	B4	44	BOOT0	I	-	BOOT0	-	-
95	61	B3	45	PB8	I/O	FT	PB8	TIM4_CH3 ⁽¹¹⁾⁽¹²⁾ / TIM16_CH1 ⁽¹²⁾ / CEC ⁽¹²⁾	I2C1_SCL
96	62	A3	46	PB9	I/O	FT	PB9	TIM4_CH4 ⁽¹¹⁾⁽¹²⁾ / TIM17_CH1 ⁽¹²⁾	I2C1_SDA
97	-	-	-	PE0	I/O	FT	PE0	TIM4_ETR ⁽¹¹⁾	-
98	-	-	-	PE1	I/O	FT	PE1	-	-
99	63	D4	47	V _{SS_3}	S	-	V _{SS_3}	-	-
100	64	E4	48	V _{DD_3}	S	-	V _{DD_3}	-	-

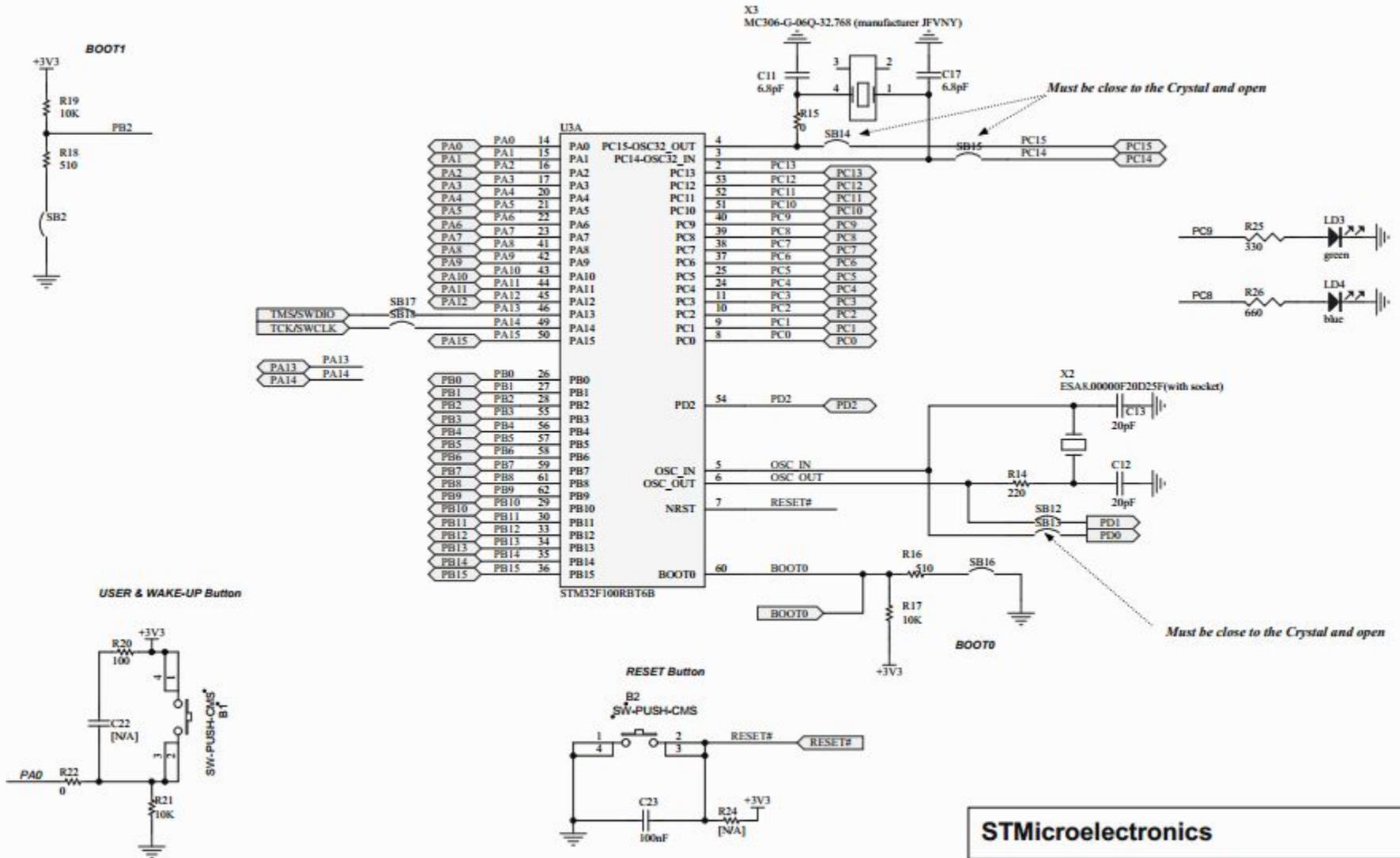
Архитектура системы микроконтроллеров STM32



Архитектура системы микроконтроллеров STM32

Режим	Функция	Примечание
GPIO_Mode_AIN (Analog Input)	Вход	Аналоговый
GPIO_Mode_IN_FLOATING (Input float)	Вход	Плавающий (без подтяжки)
GPIO_Mode_IPD (Input Pull-down)	Вход	Подтяжка к земле
GPIO_Mode_IPU (Input Pull-up)	Вход	Подтяжка к питанию
GPIO_Mode_Out_OD (Output Open Drain)	Выход	С открытым стоком
GPIO_Mode_Out_PP (Output Push-Pull)	Выход	Двухтактный
GPIO_Mode_AF_OD (Alternate Function Open Drain)	Альтернативная функция	С открытым стоком
GPIO_Mode_AF_PP (Alternate Function Push-Pull)	Альтернативная функция	Двухтактный

STM32VLDISCOVERY



STMicroelectronics

Title: STM32-DISCOVERY STM32 Value Line