

СУММАТОРЫ

ПОВТОРЕНИЕ

- Цифровыми устройствами комбинационного типа - ?

ДВОИЧНЫЕ СУММАТОРЫ

- ⦿ **Сумматор** — устройство, преобразующее информационные сигналы (аналоговые или цифровые) в сигнал, эквивалентный сумме этих сигналов.
- ⦿ Двоичными сумматорами называют логические устройства, выполняющие операцию сложения двух чисел, представленных в двоичном коде.
- ⦿ Сумматор является основным узлом арифметико-логического устройства ЭВМ и служит для суммирования чисел посредством поразрядного сложения.

КЛАССИФИКАЦИЯ СУММАТОРОВ

В зависимости от формы представления информации различают сумматоры аналоговые и цифровые.

ПО СПОСОБУ РЕАЛИЗАЦИИ

- ◎ механические
- ◎ электромеханические
- ◎ электронные
- ◎ пневматические

ПО ПРИНЦИПУ ДЕЙСТВИЯ

- ⊙ на счётчиках, считающие количества импульсов в операндах
- ⊙ функциональные, выдающие на выходах значения логической функции суммы по модулю и логической функции разряда переноса:
 - каждый раз вычисляющие функцию разряда суммы по модулю и функцию разряда переноса
 - с таблицами заранее вычисленных значений функции разряда суммы по модулю и значений функции разряда переноса записанных в:
 - ПЗУ, ППЗУ (аппаратные) или
 - ОЗУ (аппаратные и программные)

ПО АРХИТЕКТУРЕ

- ◎ **четвертьсумматоры** – бинарные (двухоперандные) сумматоры по модулю без разряда переноса, характеризующиеся наличием двух входов, на которые подаются два одноразрядных числа, и одним выходом, на котором реализуется их арифметическая сумма по модулю;
- ◎ **полусумматоры** – бинарные (двухоперандные) сумматоры по модулю с разрядом переноса, характеризующиеся наличием двух входов, на которые подаются одноимённые разряды двух чисел, и двух выходов: на одном реализуется арифметическая сумма по модулю в данном разряде, а на другом – перенос в следующий (старший разряд);
- ◎ **полные сумматоры** – тринарные (трёхоперандные) сумматоры по модулю с разрядом переноса, характеризующиеся наличием трёх входов, на которые подаются одноимённые разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда, и двумя выходами: на одном реализуется арифметическая сумма по модулю в данном разряде, а на другом – перенос в следующий (более старший разряд). Такие сумматоры изначально ориентированы только на показательные **позиционные системы счисления**.

ПО СПОСОБУ ДЕЙСТВИЯ

- ◎ **Последовательные** (одноразрядные), в которых обработка разрядов чисел ведётся поочерёдно, разряд за разрядом, на одном и том же одноразрядном оборудовании;
- ◎ **Параллельные** (многоразрядные), в которых слагаемые складываются одновременно по всем разрядам, и для каждого разряда имеется своё оборудование;

ПО СПОСОБУ ОРГАНИЗАЦИИ ПЕРЕНОСА

- ⦿ С последовательным переносом;
- ⦿ С параллельным переносом;
- ⦿ С условным переносом;
- ⦿ С групповым переносом.

ПО СПОСОБУ ВЫПОЛНЕНИЯ ОПЕРАЦИИ СЛОЖЕНИЯ И
ВОЗМОЖНОСТИ СОХРАНЕНИЯ РЕЗУЛЬТАТА СЛОЖЕНИЯ
МОЖНО ВЫДЕЛИТЬ ТРИ ОСНОВНЫХ ВИДА СУММАТОРОВ:

- **комбинационный**, выполняющий микрооперацию " $S = A$ плюс B ", в котором результат выдается по мере его образования (это комбинационная схема в общепринятом смысле слова);
- **сумматор с сохранением результата** " $S = A$ плюс B ";
- **накапливающий**, выполняющий микрооперацию " $S = S$ плюс B ".

ДВОИЧНЫЙ СУММАТОР

Двоичный сумматор может быть определён тремя способами:

1. табличным, в виде [таблицы истинности](#),
2. аналитическим, в виде формулы ([СДНФ](#)),
3. графическим, в виде [логической схемы](#).

Табличный способ определения двоичного сумматора является основным

ВАЖНЕЙШИМИ ПАРАМЕТРАМИ СУММАТОРОВ ЯВЛЯЮТСЯ:

- ⦿ разрядность;
- ⦿ статические параметры: $U_{вх}$, $U_{вх}$, $I_{вх}$ и так далее, то есть обычные параметры интегральных схем;

ВАЖНЕЙШИМИ ПАРАМЕТРАМИ СУММАТОРОВ ЯВЛЯЮТСЯ:

- динамические параметры. Сумматоры характеризуются четырьмя задержками распространения:
 - от подачи входного переноса до установления всех выходов суммы при постоянном уровне на всех входах слагаемых;
 - от одновременной подачи всех слагаемых до установления всех выходов суммы при постоянном уровне на входе переноса;
 - от подачи входного переноса до установления выходного переноса при постоянном уровне на входах слагаемых;
 - от подачи всех слагаемых до установления выходного переноса при постоянном уровне на входах слагаемых.

ЧЕТВЕРТЬСУММАТОР

- Простейшим двоичным суммирующим элементом является четвертьсумматор.
- Происхождение названия этого элемента следует из того, что он имеет в два раза меньше выходов и в два раза меньше строк в таблице истинности по сравнению с полным двоичным одноразрядным сумматором.
- Наиболее известны для данной схемы названия: элемент "сумма по модулю 2" и элемент "исключающее ИЛИ".

СХЕМА ИМЕЕТ ДВА ВХОДА А И В
ДЛЯ ДВУХ СЛАГАЕМЫХ И ОДИН
ВЫХОД S ДЛЯ СУММЫ.

$$S = \bar{a}b + a\bar{b} = a \oplus b$$

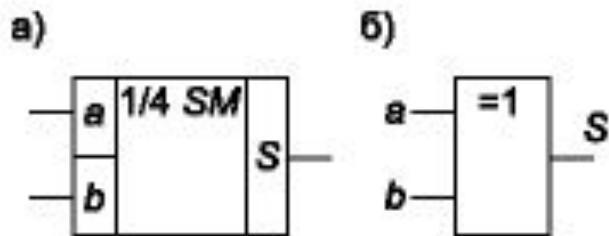


Рис. 1

| a | b | S |
|---|---|---|
| | | |
| | | |
| | | |
| | | |

Данный элемент выпускается в виде интегральных схем (ИС) типа ЛП5 (серии 133, 155, 530, 531, 533, 555, 1531, 1533); ЛП12 (555); ЛП107 (100, 500, 1500); ЛП2 (561, 564); ЛП14 (1561) и т. п.

РЕАЛИЗУЕМ ЧЕТВЕРТЬСУММАТОР В БАЗИСАХ И-НЕ, ИЛИ-НЕ:

$$\begin{aligned}
 S &= \bar{a}b + a\bar{b} = \bar{a}a + \bar{a}b + \bar{b}b + a\bar{b} = \\
 &= a(\bar{a} + \bar{b}) + b(\bar{a} + \bar{b}) = a\bar{a}\bar{b} + b\bar{a}\bar{b} = \overline{\overline{a\bar{a}\bar{b}} \cdot \overline{b\bar{a}\bar{b}}}
 \end{aligned}
 \tag{2}$$

$$\begin{aligned}
 S &= \bar{a}b + a\bar{b} = \bar{a}a + \bar{a}b + \bar{b}b + a\bar{b} = \\
 &= \overline{\overline{\bar{a}(a+b)}} + \overline{\overline{b(a+b)}} = \overline{\overline{a+a+b}} + \overline{\overline{b+a+b}}
 \end{aligned}
 \tag{3}$$

$$\begin{aligned}
 S &= \bar{a}b + a\bar{b} = \bar{a}a + \bar{a}b + \bar{b}b + a\bar{b} = \\
 &= \bar{a}(a+b) + \bar{b}(a+b) = (a+b)(\bar{a} + \bar{b}) = (a+b)\overline{a\bar{b}}
 \end{aligned}
 \tag{4}$$

Схемы, полученные по уравнениям (2)(4), приведены на рис. 2.

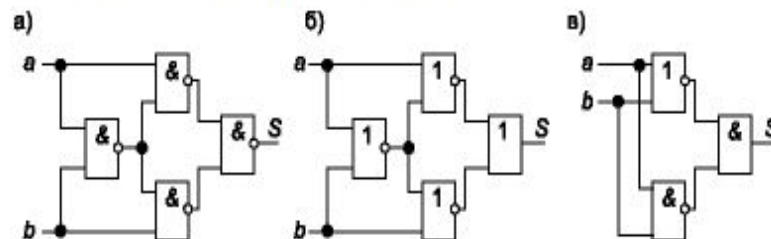


Рис. 2

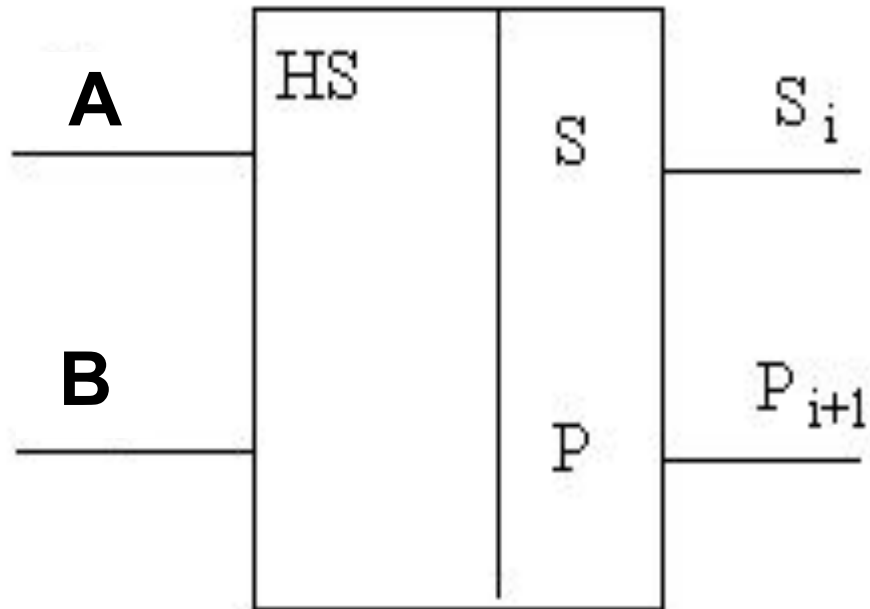
ПОЛУСУММАТОР

Схема, которая обеспечивает сложение двух однобитных чисел A и B называется полусумматором.

Полусумматор имеет 4 сигнальных линии: два входа для сигналов, представляющих одноразрядные двоичные числа A и B , и два выхода: сумма A и B по модулю 2 (S) и сигнал переноса (P).

При этом S наименее значимый бит, а P наиболее значимый бит.

СХЕМА



- ⦿ A - первый входной сигнал
- ⦿ B - второй входной сигнал
- ⦿ P - перенос результата
- ⦿ S - вывод суммы

$$\left. \begin{aligned} S &= \bar{a}b + a\bar{b} = a \oplus b \\ P &= ab \end{aligned} \right\}$$

| a | b | P | S |
|---|---|---|---|
| | | | |
| | | | |
| | | | |
| | | | |

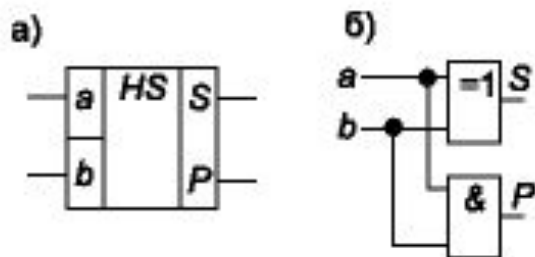


Рис. 3

ФОРМУЛА ДЛЯ S (ВЫВОД)

- Формулу для S можно вывести с помощью СДНФ используя таблицу истинности.

| A | B | S | P |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

$$\begin{aligned} S(A, B) &= \overline{A \Leftrightarrow B} = \overline{A \& B + \overline{A} \& \overline{B}} = \overline{(A \& B) \& \overline{\overline{A} \& \overline{B}}} = \\ &= \overline{(A \& B) \& (A + B)} \end{aligned}$$

ОДНОРАЗРЯДНЫЕ ПОЛУСУММАТОРЫ

- ⊙ Для построения функциональной схемы воспользуемся первым результатом, т. к. в ней требуется для выполнения меньшее количество операций.
- ⊙ Получаем общую схему и формулу одноразрядного полусумматора:

$$S(A, B) = \overline{(A \& B)} \& (A + B)$$

$$P(A, B) = A \& B$$

Одноразрядные полусумматоры

| A | B | 1 (A&B) | 2 (A+B) | 3 ($\overline{A \& B}$) | 4(P) | 5(S) |
|----------|----------|--------------------|----------------|---|-------------|-------------|
| 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

$$S(A, B) = \overline{(A \& B)} \& (A + B)$$

$$P(A, B) = A \& B$$

Одноразрядные полусумматоры

Из таблицы видно, что значения на выходах соответствуют значениям суммы и переноса правила сложения двоичных чисел

| A | B | S | P |
|----------|----------|----------|----------|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

ПОЛУСУММАТОРЫ

| | | |
|---|---|----|
| + | 0 | 1 |
| 0 | 0 | 1 |
| 1 | 1 | 10 |

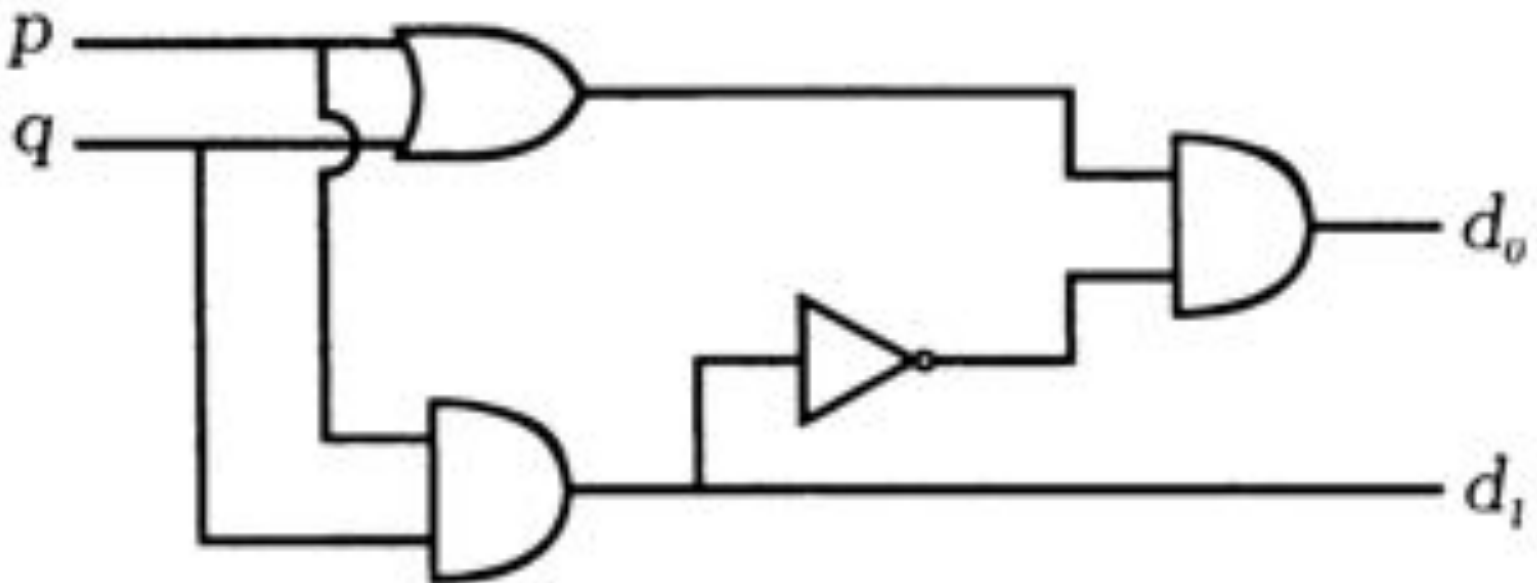
- ⦿ Полусумматор находит сумму двоичных чисел по таблице.
- ⦿ Обозначим p и q числа, которые требуется сложить, имеем

| Случай | p | q | d_0 |
|--------|-----|-----|-------|
| 1 | 1 | 1 | 0 |
| 2 | 1 | 0 | 1 |
| 3 | 0 | 1 | 1 |
| 4 | 0 | 0 | 0 |

| Случай | p | q | d_1 |
|--------|-----|-----|-------|
| 1 | 1 | 1 | 1 |
| 2 | 1 | 0 | 0 |
| 3 | 0 | 1 | 0 |
| 4 | 0 | 0 | 0 |

| | | |
|---|----|----|
| + | 0 | 1 |
| 0 | 00 | 01 |
| 1 | 01 | 10 |

- $s = (ab)'(a+b)$
- $p = ab$



ПОЛНЫЙ ОДНОРАЗРЯДНЫЙ СУММАТОР

- **Одноразрядный двоичный сумматор на три входа и два выхода называется полным одноразрядным сумматором.**

ПОЛНЫЙ ОДНОРАЗРЯДНЫЙ СУММАТОР

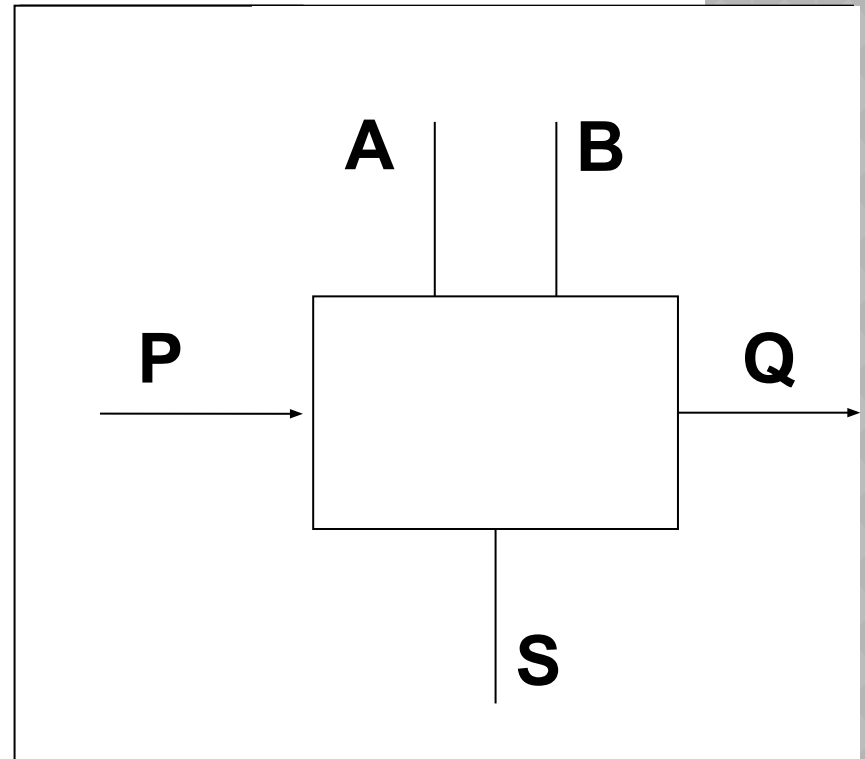
- Через вход A и B сумматор воспринимает двоичные цифры (слагаемые в данном разряде), через вход P - двоичную цифру - перенос из младшего разряда.
- На выход S сумматор выдает сумму в данном разряде, на выход Q - значение переноса в старший разряд.

ПОЛНЫЙ ОДНОРАЗРЯДНЫЙ ДВОИЧНЫЙ СУММАТОР

- Имеет три входа:
 - a , b для двух слагаемых и p для переноса из предыдущего (более младшего) разряда;
 - два выхода: S сумма, P перенос в следующий (более старший) разряд.
- Обозначением SM полного двоичного сумматора служат буквы **SM**

Полные одноразрядные сумматоры

- ⦿ A - первый вход
- ⦿ B - второй вход
- ⦿ P - третий вход
- ⦿ Q - перенос результата
- ⦿ S - вывод суммы



СДНФ

- По данной в таблице схеме осуществляется сложение в полных одноразрядных сумматорах.

- Построим СДНФ для $Q(A, B, P)$ и $S(A, B, P)$:

$$\begin{aligned} Q(A, B, P) &= \bar{A} \& B \& P + A \& \bar{B} \& P + A \& B \& \bar{P} + A \& B \& P = \\ &= \bar{A} \& B \& P + A \& \bar{B} \& P + A \& B \& \bar{P} + A \& B \& P + A \& B \& P + \\ &+ A \& B \& P = (\bar{A} \& B \& P + A \& B \& P) + (A \& \bar{B} \& P + A \& B \& P) + \\ &+ (A \& \bar{B} \& P + A \& B \& P) = A \& P + B \& P + A \& B \end{aligned}$$

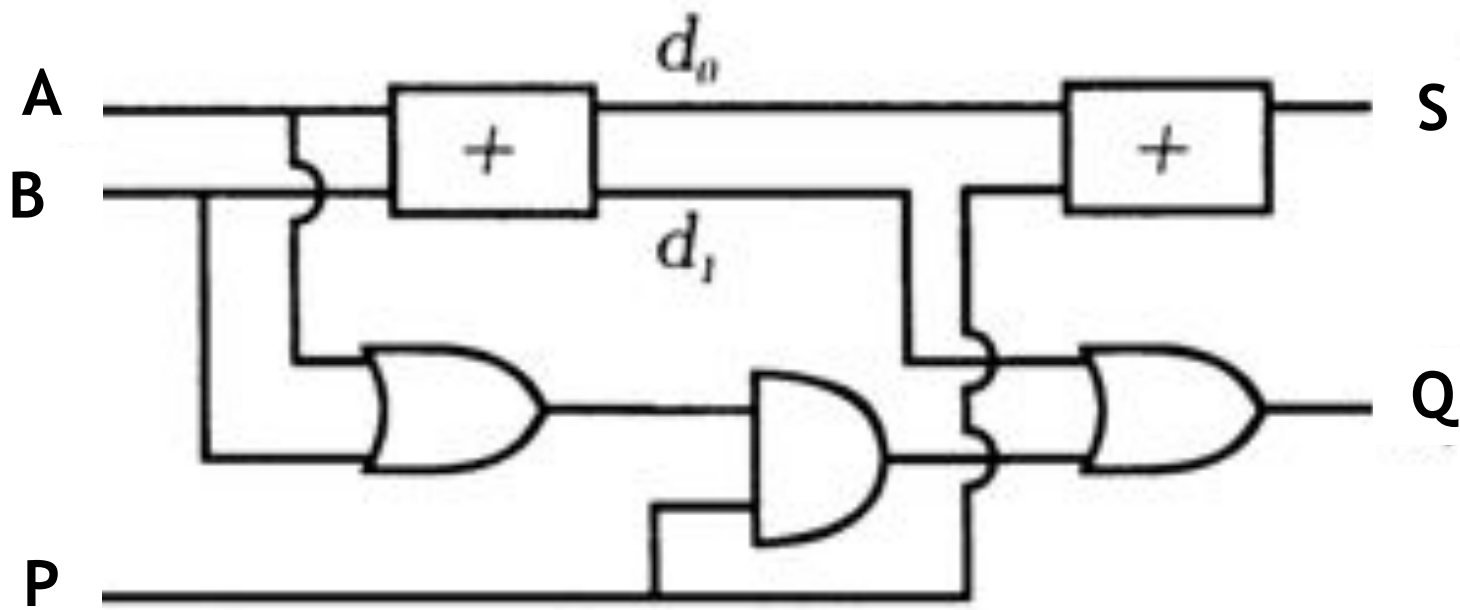
ФУНКЦИЯ ДЛЯ S

$$\begin{aligned} S(A, B, P) &= \bar{A} \& \bar{B} \& P + \bar{A} \& B \& \bar{P} + A \& \bar{B} \& \bar{P} + A \& B \& P = \\ &= \overline{\bar{A} \& \bar{B} \& P + \bar{A} \& B \& \bar{P} + A \& \bar{B} \& \bar{P} + A \& B \& P} = \\ &= \overline{(A + B + \bar{P}) \& (A + \bar{B} + P) \& (\bar{A} + B + P) \& (\bar{A} + \bar{B} + \bar{P})} = \\ &= \overline{(A + (B + \bar{P}) \& (\bar{B} + P)) \& (\bar{A} + (B + P)) \& (\bar{B} + \bar{P})} = \\ &= \overline{(A + B \& P + \bar{B} \& \bar{P})(\bar{A} + \bar{B} \& P + B \& \bar{P})} = \\ &= \overline{A \& B \& \bar{P} + A \& \bar{B} \& P + \bar{A} \& B \& P + \bar{A} \& \bar{B} \& \bar{P}} = \\ &= \overline{A \& B \& \bar{P} + A \& \bar{B} \& P + \bar{A} \& B \& P \& (A + B + P)} = \\ &= \overline{(A \& B \& \bar{P} + A \& \bar{B} \& P + \bar{A} \& B \& P + A \& \bar{A} \& (B + P) + \\ &+ \bar{B} \& B \& (A + P) + \bar{P} \& P \& (A + B)) \& (A + B + P)} = \\ &= \overline{(A \& P + B \& P + A \& B) \& (\bar{A} + \bar{B} + \bar{P}) \& (A + B + P)} \\ &= \overline{((A \& P + B \& P + A \& B) + A \& B \& P) \& (A + B + P)} = \\ &= (\bar{Q} + A \& B \& P) \& (A + B + P) \end{aligned}$$

$$Q(A, B, P) = A \& P + B \& P + A \& B$$

$$S(A, B, P) = (\bar{Q} + A \& B \& P) \& (A + B + P)$$

CXEMA



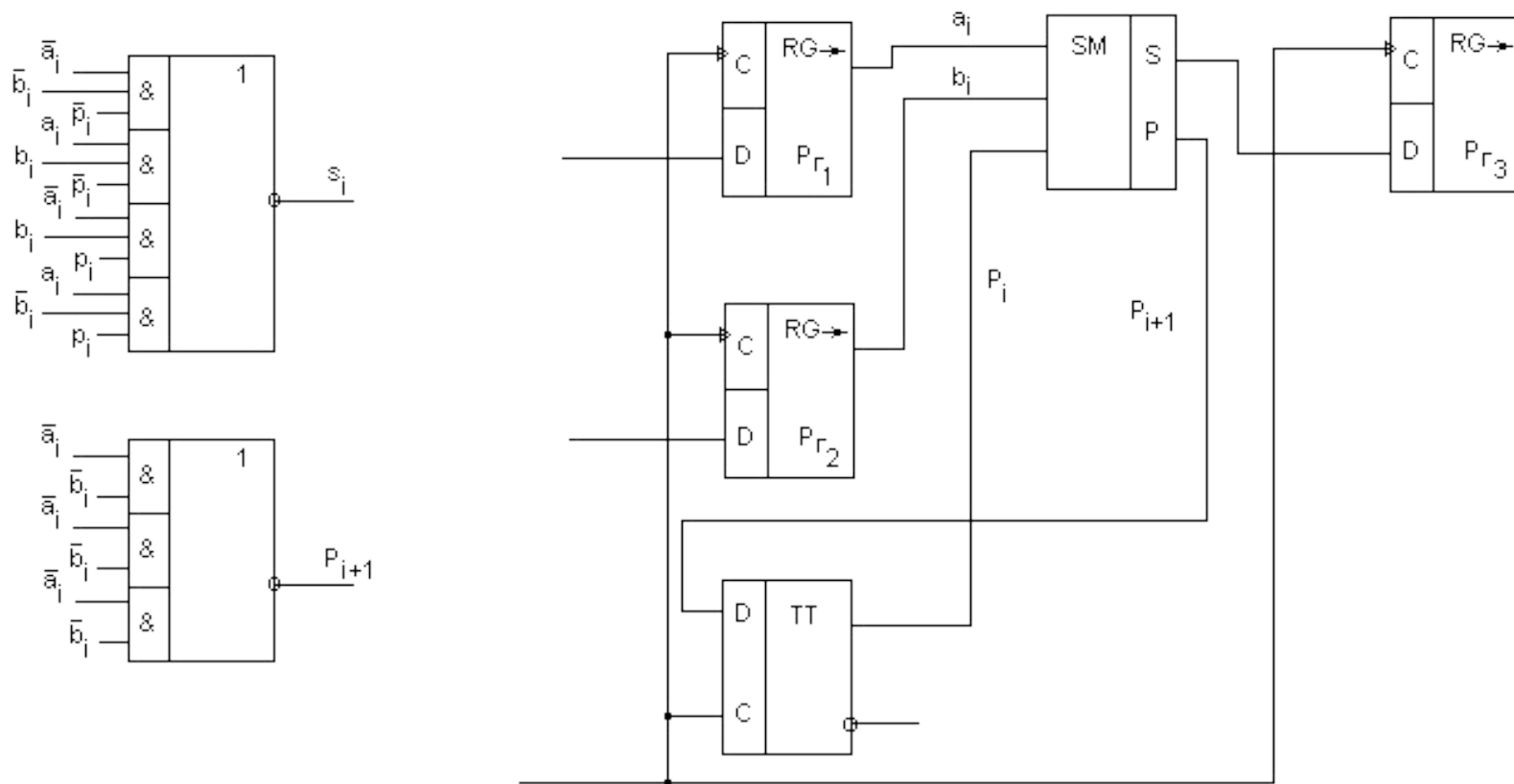
МНОГОРАЗРЯДНЫЕ ДВОИЧНЫЕ СУММАТОРЫ

- ⦿ В зависимости от способа ввода кодов слагаемых сумматоры делятся на два типа: *последовательного* и *параллельного* действия.

ПОСЛЕДОВАТЕЛЬНЫЕ СУММАТОРЫ

- Последовательные сумматоры строятся на основе одноразрядной суммирующей схемы. В таких устройствах сложение двух чисел производится поразрядно, последовательно во времени.

СУММАТОР ПОСЛЕДОВАТЕЛЬНОГО ДЕЙСТВИЯ

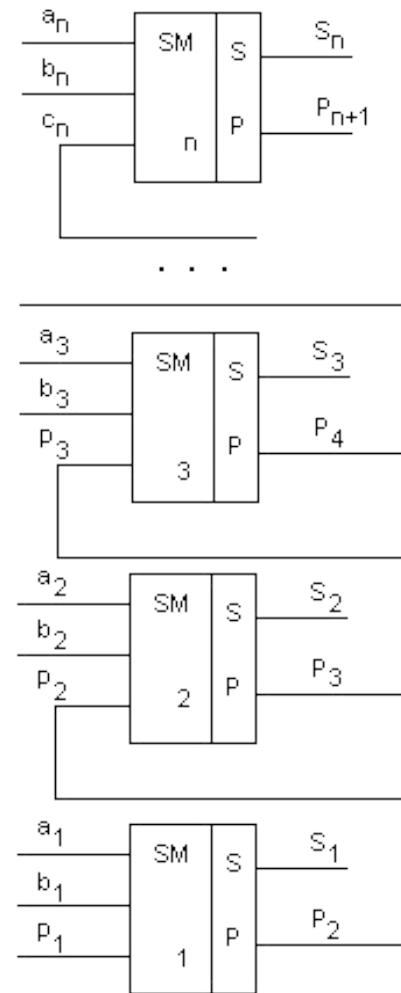


ПАРАЛЛЕЛЬНЫЕ СУММАТОРЫ

- Параллельные сумматоры комбинационного типа представляют собой композиции одноразрядных суммирующих схем, причем обработка чисел в таких устройствах осуществляется одновременно во всех разрядах

ПАРАЛЛЕЛЬНЫЙ СУММАТОР

- Состоит из отдельных разрядов, каждый из которых содержит одноразрядный сумматор.
- При подаче слагаемых цифры их разрядов поступают на соответствующие одноразрядные сумматоры.
- Каждый из одноразрядных сумматоров формирует на своих выходах цифру соответствующего разряда суммы и перенос, передаваемый на вход одноразрядного сумматора следующего (более старшего) разряда.



ПАРАЛЛЕЛЬНЫЕ МНОГОРАЗРЯДНЫЕ СУММАТОРЫ

- Простейшими из параллельных сумматоров (ПС) являются ПС с последовательной передачей сигналов переноса.
- На входы каждой одноразрядной схемы сумматора поступают два слагаемых и перенос из предыдущего разряда.
- Сигнал переноса, образованный в младшем разряде, распространяется последовательно по цепям переноса к старшим разрядам. Время распространения переноса определяется суммарной задержкой этих цепей.

БЫСТРОДЕЙСТВИЕ СУММАТОРА

- Быстродействие сумматора при сложении двух n -разрядных чисел характеризуется временем суммирования, которое в наихудшем случае равно $t_s = (n-1) t_P + t_{is}$ где t_{is} , t_P - задержки формирования одноразрядным сумматором суммы и переноса соответственно.
- Следовательно, сумматоры с последовательным переносом обладают низким быстродействием. С целью повышения быстродействия (сокращения времени сложения) применяются сумматоры с одновременным переносом.

ДЕСЯТИЧНЫЕ СУММАТОРЫ

- Для построения многоразрядных двоичных сумматоров, как было показано выше, необходимы одноразрядные двоичные сумматоры строятся с использованием одноразрядных десятичных сумматоров.
- Последние выполняют операцию суммирования десятичных цифр, и переноса, поступающих в разряд, и формируют на выходах десятичную цифру суммы и перенос для передачи в следующий десятичный разряд.

СУММАТОР ДЛЯ КОДА 8421

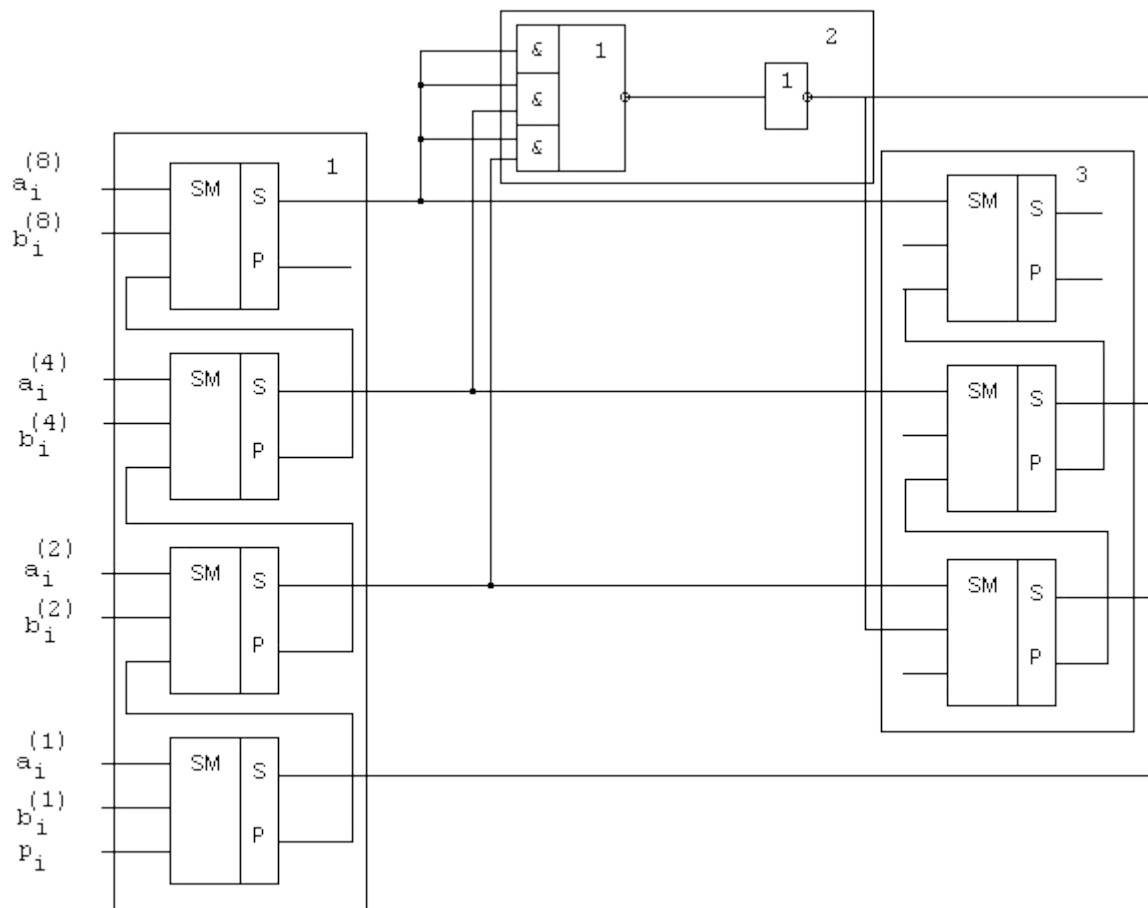
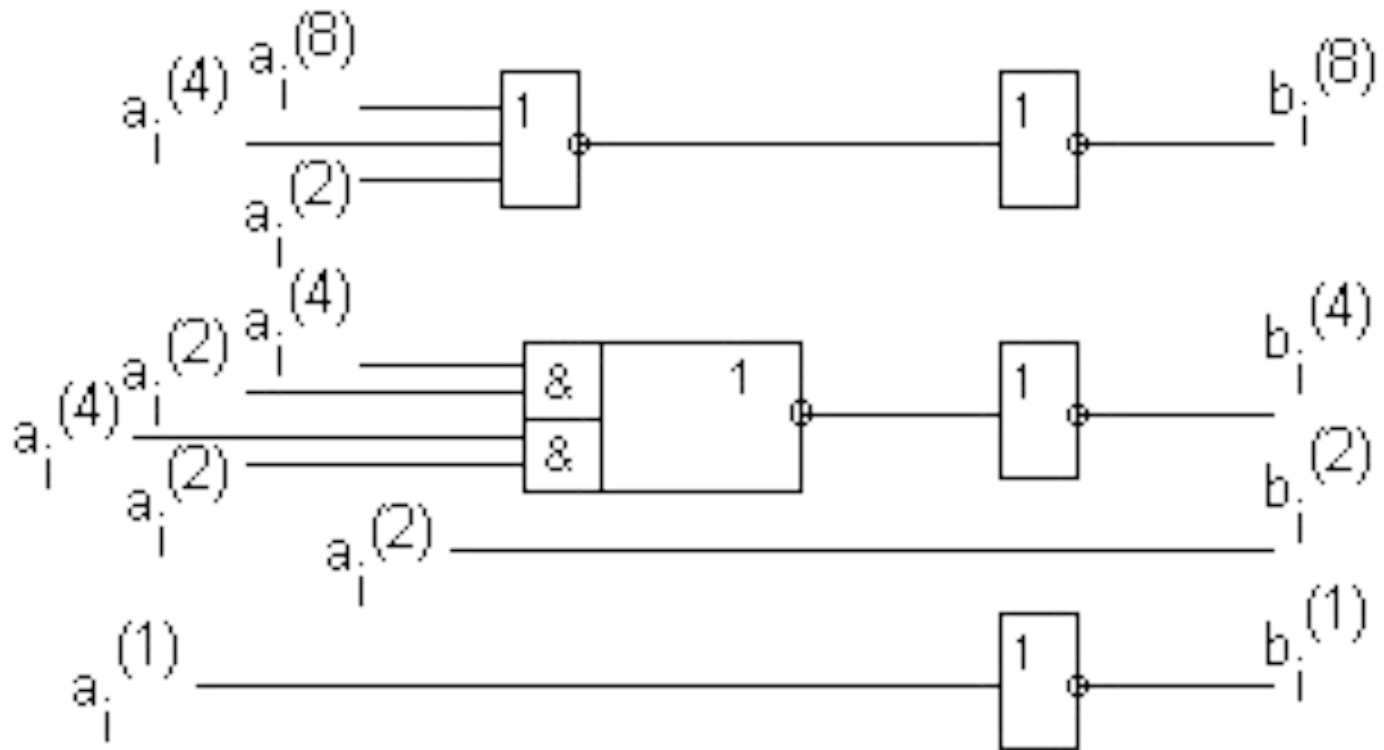


СХЕМА ФОРМИРОВАНИЯ ОБРАТНОГО КОДА

- В десятичной системе счисления обратный код образуется путем преобразования каждой цифры числа в дополнение до 9.

| Десятичная ячейка | Прямой код 8421 | | | | Обратный код | | | |
|----------------------|-----------------|---|---|---|--------------|---|---|---|
| | | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 3 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 5 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |

СХЕМА, ФОРМИРУЮЩАЯ ОБРАТНЫЙ КОД ПО ПОЛУЧЕННЫМ ВЫШЕ ЛОГИЧЕСКИМ ВЫРАЖЕНИЯМ



АРИФМЕТИКО- ЛОГИЧЕСКИЕ УСТРОЙСТВА

- ⊙ Основными арифметическими операциями являются сложение и вычитание.
- ⊙ Разработаны коды **дополнительный** и **обратный**, которые позволяют выполнять операцию **вычитания** **методом** суммирования.

- Для повышения быстродействия ЭВМ разработаны и используются комбинированные арифметико-логические устройства, которые обеспечивают выполнение ряда арифметических и логических операций над прямыми кодами чисел без их преобразования.

МЕТОДИКА ПОСТРОЕНИЯ ОДНОРАЗРЯДНОГО АРИФМЕТИЧЕСКОГО УСТРОЙСТВА ДЛЯ ВЫПОЛНЕНИЯ ОПЕРАЦИЙ СУММИРОВАНИЯ И ВЫЧИТАНИЯ

| X_1 | X_2 | S | P_{i+1} |
|-------|-------|---|-----------|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

$$S = \overline{X_1} \cdot X_2 + X_1 \cdot \overline{X_2}$$

$$P_{i+1} = X_1 \cdot X_2$$

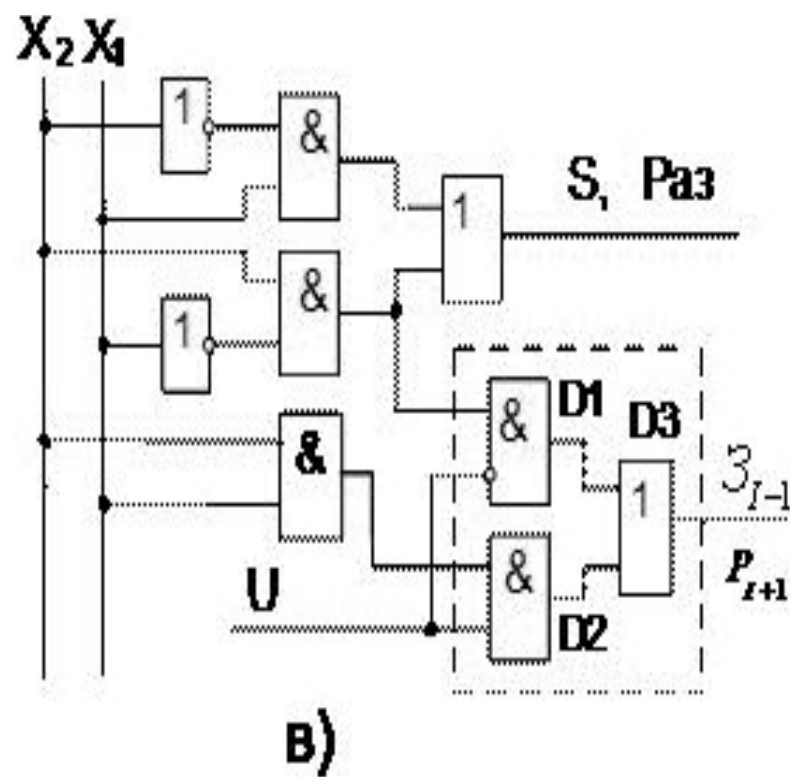
а)

| X_1 | X_2 | Раз | 3_{i+1} |
|-------|-------|-----|-----------|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |

$$\text{Раз} = \overline{X_1} \cdot X_2 + X_1 \cdot \overline{X_2}$$

$$3_{i+1} = \overline{X_1} \cdot X_2$$

б)



ОПЕРАЦИЯ ВЫЧИТАНИЯ

- ⦿ Для выполнения операции вычитания не требуется получение дополнительных сигналов, поэтому и не требуются дополнительные аппаратные затраты.
- ⦿ Необходимо лишь обеспечить коммутацию сигналов переноса и заёма в соответствии с кодом операции.

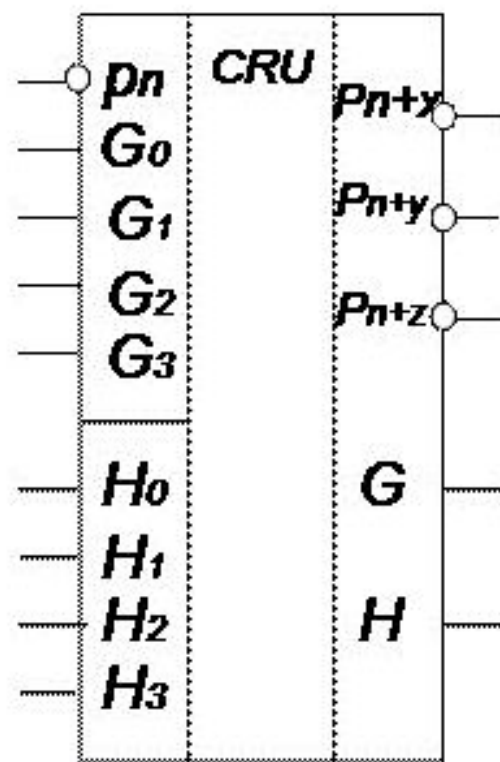
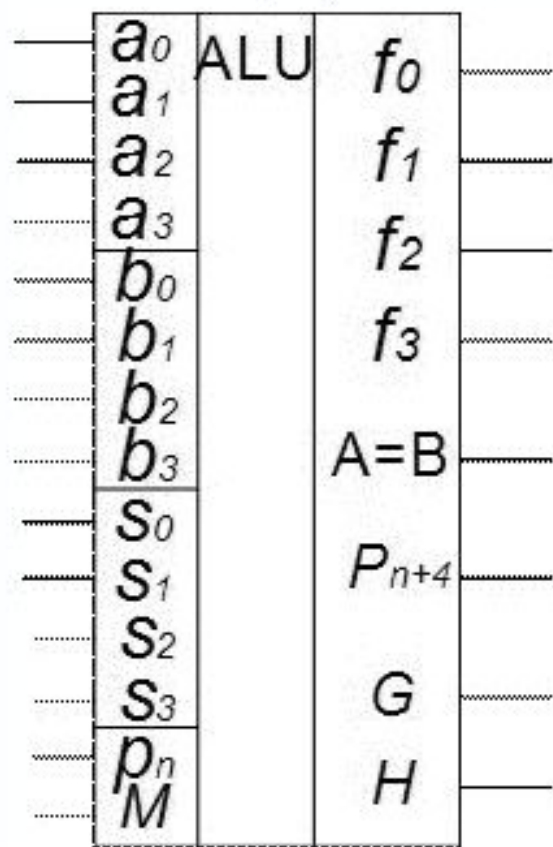
ВЫЧИТАНИЕ

- ⦿ **Вычитание** числа B из A выполняется путем суммирования отрицательного числа B в дополнительном коде с числом A . Представление отрицательного двоичного числа можно получить путем инвертирования всех битов числа и добавлением 1.
- ⦿ Прибавление этой единицы эффективно реализуется в полном сумматоре путем замены его первого каскада (полусумматора) на полный сумматор, вход переноса которого подключается к напряжению с уровнем логической 1.

МНОГОРАЗРЯДНЫЕ АЛУ

- ⦿ Многоразрядные АЛУ выпускаются в виде интегральных микросхем или входят в состав процессоров, являясь их основой.

МС 564ИПЗ (РИСУНОК 26,А) – ЭТО 4-РАЗРЯДНОЕ ПАРАЛЛЕЛЬНОЕ АЛУ, ВЫПОЛНЯЮЩАЯ 16 АРИФМЕТИЧЕСКИХ И 16 ЛОГИЧЕСКИХ ОПЕРАЦИЙ.



- ⊙ $A(a_0-a_3)$ – первый операнд,
- ⊙ $B(b_0-b_3)$ – второй операнд,
- ⊙ $S(s_0-s_3)$ – код операции – 4 разряда.
- ⊙ Если $M=0$, то выполняются арифметические операции: $2^4=16$, при $M=1$ выполняются логические операции: $2^4=16$. Итого $16+16=32$ операции.
- ⊙ $F(f_0-f_3)$ – результат операции. На выходе $A=B$ появляется «1», если при выполнении операции вычитания результат операции будет равен «0», то есть $A=B$. Поскольку АЛУ параллельного типа, то имеются выходы генерации G и распространения переноса H . P_n и P_{n+4} – входной и выходной переносы.

ДЗ

- Применение сумматоров.