

# Лекция №7

Универсальные восьмиразрядные  
микроконтроллеры ATtiny

# Технические характеристики

## Advanced RISC Architecture

- 120 Powerful Instructions – Most Single Clock Cycle Execution
- 32 x 8 General Purpose Working Registers
- Fully Static Operation
- Up to 20 MIPS Throughput at 20 MHz

# Технические характеристики

High Endurance Non-volatile Memory segments

- 1K Bytes of In-System Self-programmable Flash program memory
- 64 Bytes EEPROM
- 64 Bytes Internal SRAM
- Write/Erase cycles: 10,000 Flash/100,000 EEPROM
- Data retention: 20 years at 85°C/100 years at 25°C (see page 6)
- Programming Lock for Self-Programming Flash & EEPROM Data Security

# Технические характеристики

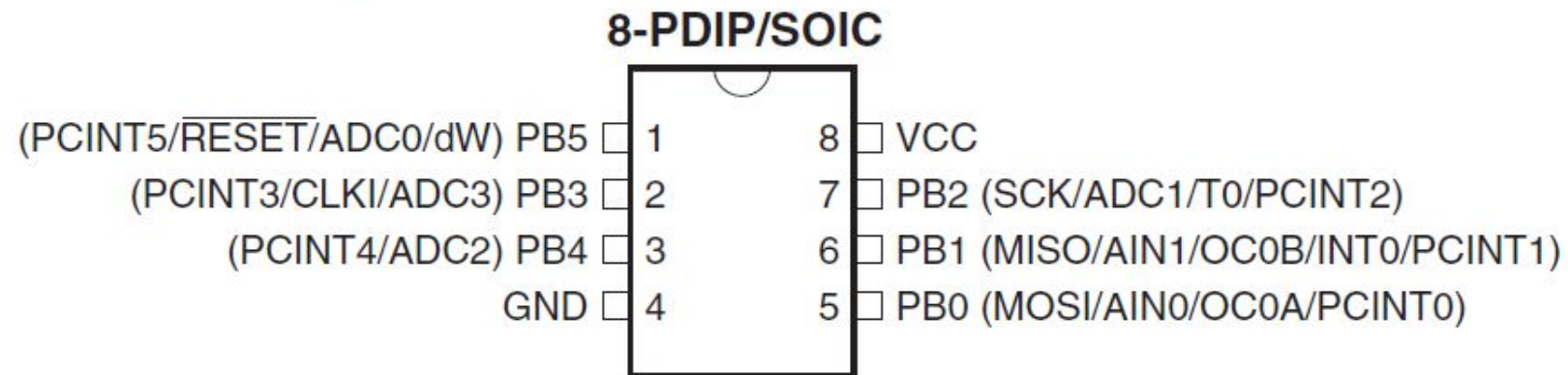
## Peripheral Features

- One 8-bit Timer/Counter with Prescaler and Two PWM Channels
- 4-channel, 10-bit ADC with Internal Voltage Reference
- Programmable Watchdog Timer with Separate On-chip Oscillator
- On-chip Analog Comparator

# Расположение контактов

## 1. Pin Configurations

Figure 1-1. Pinout ATtiny13/ATtiny13V



# Описание контактов

## 1.1 Pin Descriptions

### 1.1.1 VCC

Digital supply voltage.

### 1.1.2 GND

Ground.

### 1.1.3 Port B (PB5:PB0)

Port B is a 6-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port B output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port B pins that are externally pulled low will source current if the pull-up resistors are activated. The Port B pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Port B also serves the functions of various special features of the ATtiny13 as listed on [page 54](#).

### 1.1.4 RESET

Reset input. A low level on this pin for longer than the minimum pulse length will generate a reset, even if the clock is not running. The minimum pulse length is given in [Table 18-1 on page 115](#). Shorter pulses are not guaranteed to generate a reset.

The reset pin can also be used as a (weak) I/O pin.

# Описание контактов

Обозначение	Номер вывода	Тип вывода	Описание
<b>Порт В. 6-битный двунаправленный порт ввода/вывода с внутренними подтягивающими резисторами</b>			
PB0 (MOSI/AIN0/OC0A/PCINT0)	5	I/O	0-й бит порта В Вход данных при программировании Неинвертирующий вход компаратора Выход А таймера/счетчика T0 Вход внешнего прерывания по изменению состояния вывода
PB1 (MISO/INT0/AIN1/OC0B/PCINT1)	6	I/O	1-й бит порта В Выход данных при программировании Вход внешнего прерывания Инвертирующий вход компаратора Выход В таймера/счетчика T0 Вход внешнего прерывания по изменению состояния вывода
PB2 (SCK/T0/ADC1/PCINT2)	7	I/O	2-й бит порта В Вход тактового сигнала при программировании Вход внешнего тактового сигнала таймера/счетчика T0 Вход АЦП Вход внешнего прерывания по изменению состояния вывода

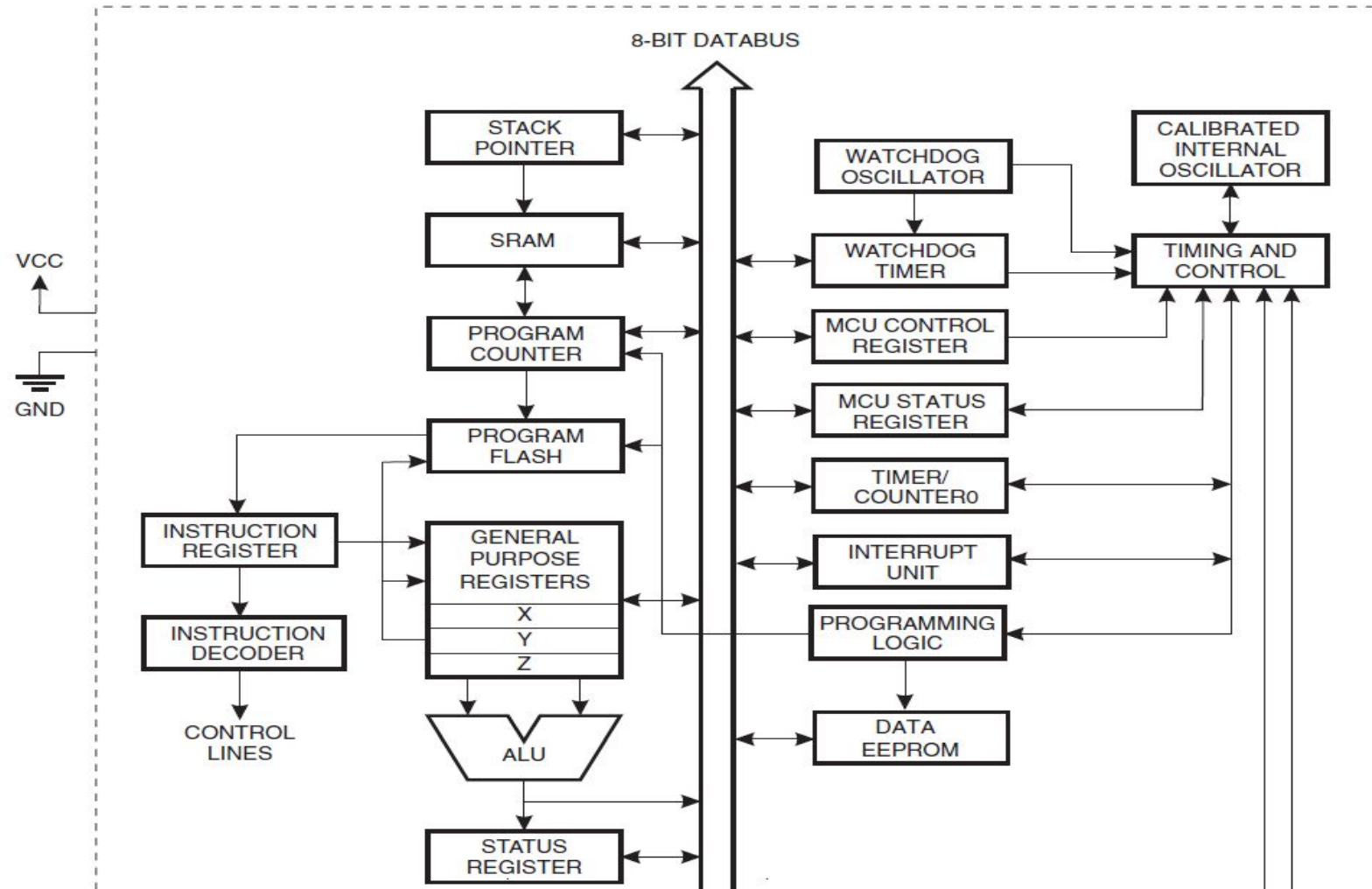
# Описание контактов

PB3 (CLKI/ADC3/PCINT3)	2	I/O	3-й бит порта В Вход внешнего тактового сигнала Вход АЦП Вход внешнего прерывания по изменению состояния вывода
PB4 (ADC2/PCINT4)	3	I/O	4-й бит порта В Вход АЦП Вход внешнего прерывания по изменению состояния вывода
PB5 ( $\overline{\text{RESET}}$ /ADC0/dW/PCINT5)	1	I/O	5-й бит порта В (тип выхода — открытый сток) Вход сброса Вход АЦП Вывод отладочного интерфейса debugWire Вход внешнего прерывания по изменению состояния вывода
GND	4	P	Общий вывод
VCC	8	P	Вывод источника питания

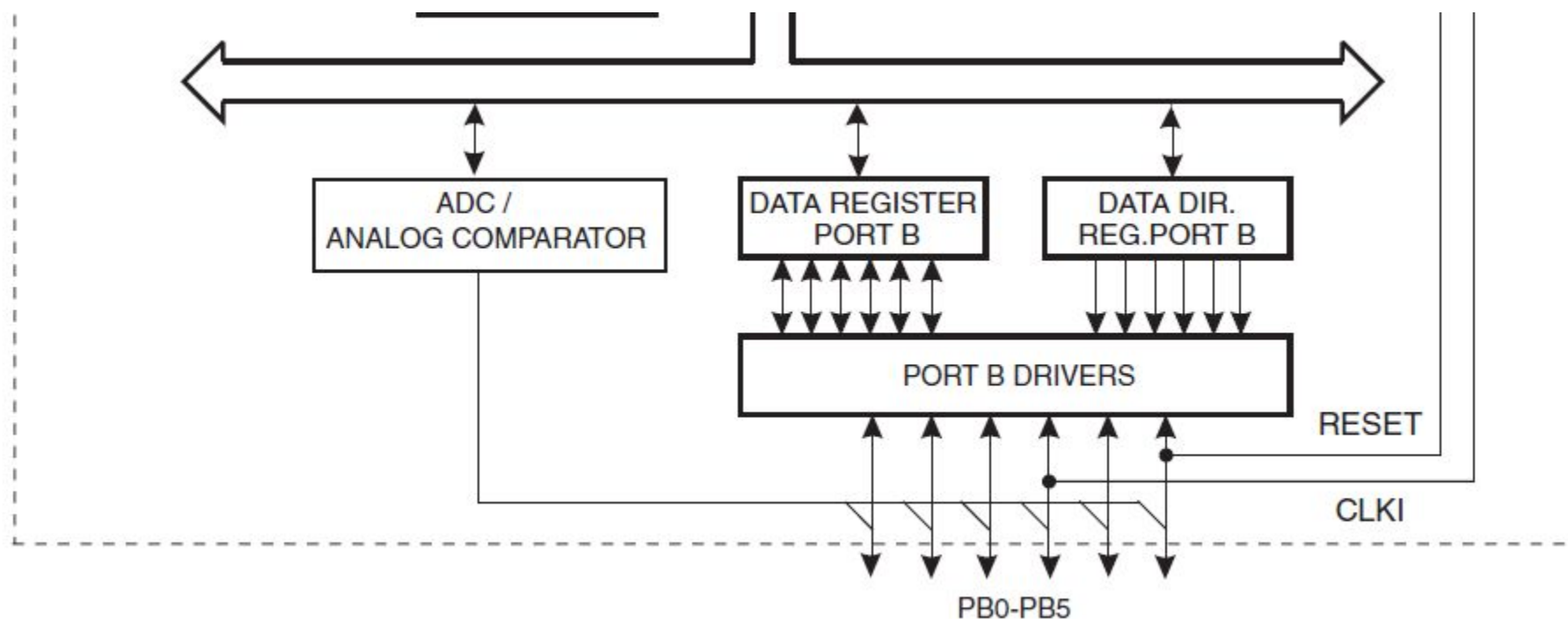


# Архитектура микроконтроллера

Figure 2-1. Block Diagram

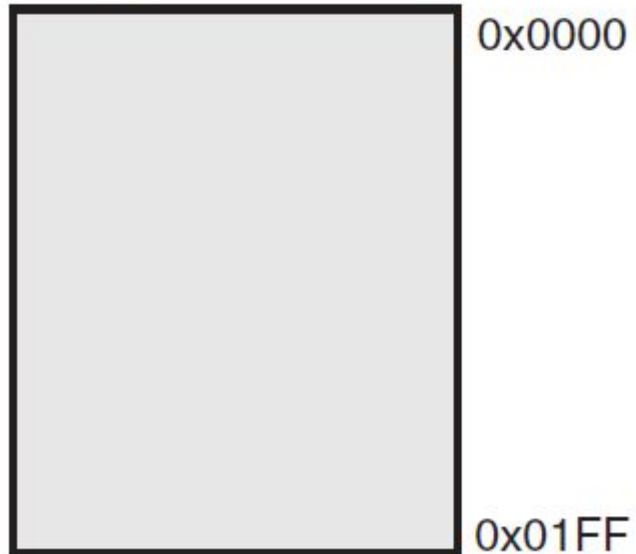


# Архитектура микроконтроллера



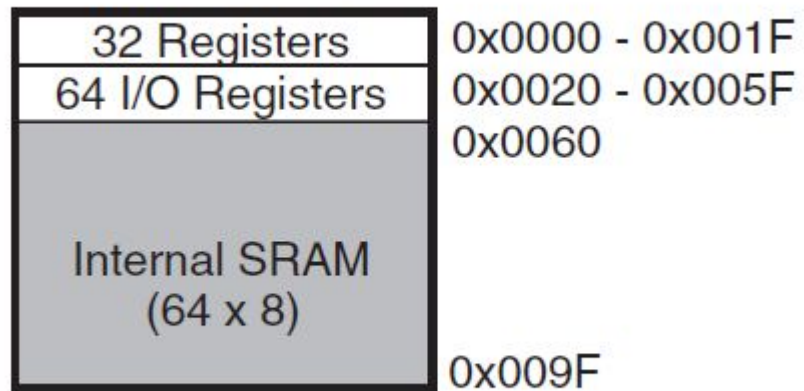
# Организация памяти

Program Memory



# Организация памяти

## Data Memory



# Регистры общего назначения

Figure 4-2. AVR CPU General Purpose Working Registers

	7	0	Addr.	
General Purpose Working Registers	R0		0x00	
	R1		0x01	
	R2		0x02	
	...			
	R13		0x0D	
	R14		0x0E	
	R15		0x0F	
	R16		0x10	
	R17		0x11	
	...			
	R26		0x1A	X-register Low Byte
	R27		0x1B	X-register High Byte
	R28		0x1C	Y-register Low Byte
	R29		0x1D	Y-register High Byte
	R30		0x1E	Z-register Low Byte
	R31		0x1F	Z-register High Byte