

# ТСИС

(Технические средства информационных систем)

Программное обеспечение информационных систем (1-40 01 73)

Гр. 6 0 3 2 5, 6 0 3 2 6

Производительность.

Многопроцессорные системы

Лекция 7

(По материалам Мухаметова В.Н.)

Ковалевский Вячеслав Викторович

# Ковалевский Вячеслав Викторович

[4096tb@gmail.com](mailto:4096tb@gmail.com)

Тема письма:  
БГУИР. ... .



# Лекция 5. Структура процессора. Архитектуры CISC и RISC.

## Архитектура процессора Intel .

### План лекции:

- Структура процессора. Шинная организация.
- Архитектуры CISC и RISC. Архитектура IA-32. Регистры процессора.
- Формат команды. Классификация команд. Особенности состава команд Intel.
- Взаимодействие с памятью и вводом-выводом. Цикл шины. Ввод-вывод: программный, по прерываниям и ПДП.

### Экзаменационные вопросы:

- Буферные элементы. Шинная организация современного компьютера.
- Понятие архитектуры компьютера. Структура компьютера. Понятие о CISC и RISC.
- Регистры общего назначения и их особенности у Intel.
- Команда. Формат команды. Классификация команд. Особенности состава команд Intel.

# 4

## Лекция 6. Адресация. Режимы работы процессора. Управление памятью.

### План лекции:

- Адресация памяти. Непосредственная, прямая и косвенная адресация. Автоинкрементная и автодекрементная адресация. Строковые команды. Стек.
- Режимы работы процессора Intel.
- Сегментная и страничная организация доступа к памяти. Сегментация памяти в реальном режиме. Deskрипторы сегментов. Deskрипторные таблицы.
- Шлюзы. Виртуальная память. Подкачка страниц. Размеры страниц и расширение адреса.

### Экзаменационные вопросы:

- Адресация памяти и ввода-вывода. Циклы обмена между процессором и памятью.
- Абсолютная, прямая и косвенная адресация. Автоинкрементная и автодекрементная адресация.
- Стек. Работа стека и его использование. Ввод-вывод: программный, по прерываниям и ПДП.
- Режимы работы процессора Intel. RM, VM, PM, SMM.
- Сегментная и страничная организация доступа к памяти. Сегментация памяти в реальном режиме. Страничная организация – реализация виртуальной памяти.
- Управление сегментами в защищенном режиме. Deskрипторные таблицы. Deskрипторы сегментов.

# Лекция 7. Производительность. Многопроцессорные системы

## План лекции:

- Иерархия памяти. Кэш. Развитие архитектуры IA-32. FPU.
- Конвейеризация команд и данных. Предсказание переходов. Скалярность. Параллелизм на уровне потоков и на уровне команд.
- Архитектура AMD64. Архитектура IA-64. EPIC. Процессоры Itanium. Многопроцессорные системы. Многоядерные процессоры.
- Когерентность кэша. Аппаратная поддержка виртуализации у Intel и AMD. Внутренние и внешние интерфейсы ПК. Многопроцессорные системы.

## Экзаменационные вопросы:

- Повышение производительности процессора. Конвейеризация команд и данных. Предсказание переходов. Кэш. Суперскалярность. Многоядерность.

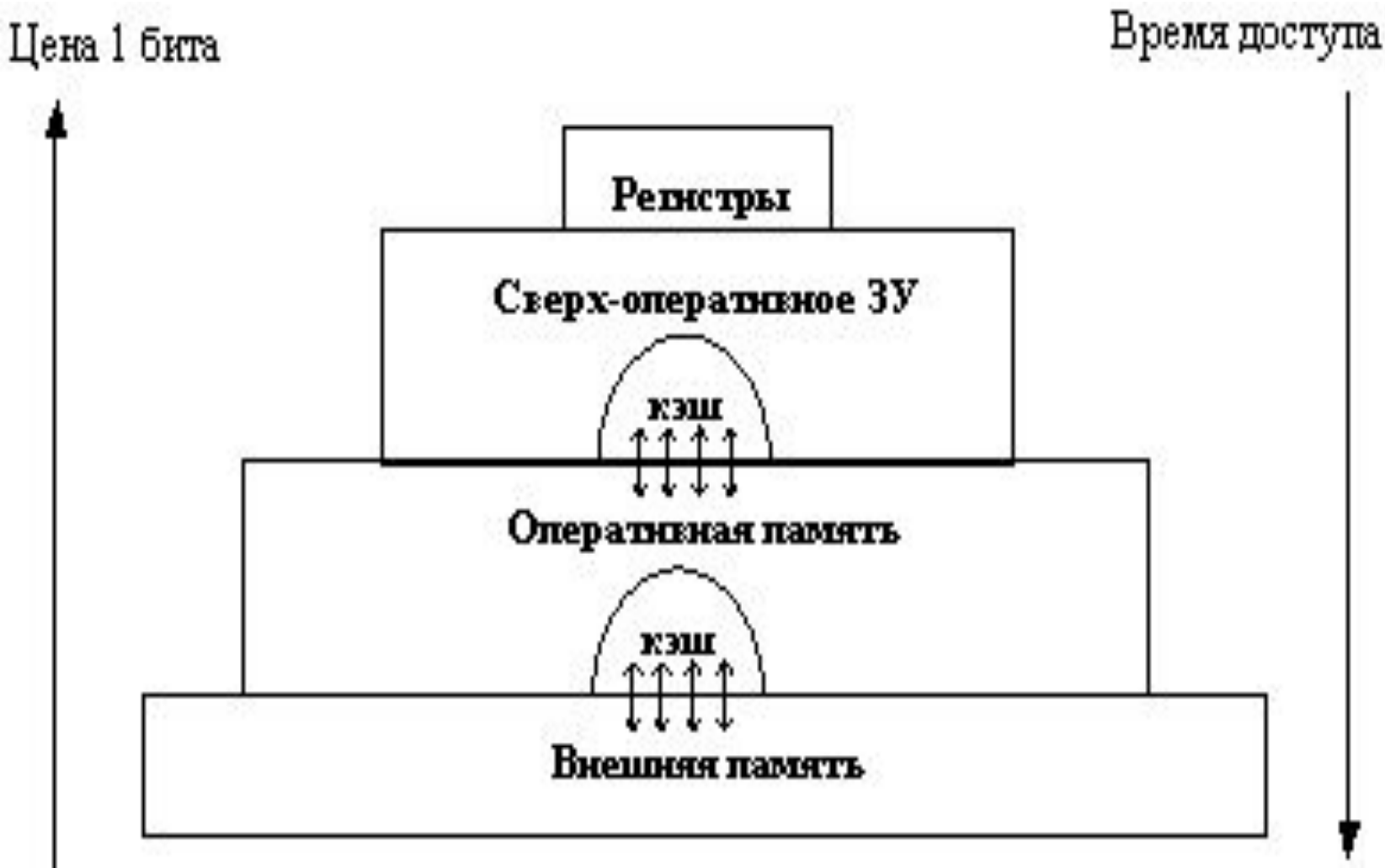


# Иерархия памяти

# Иерархия памяти



# Иерархия памяти

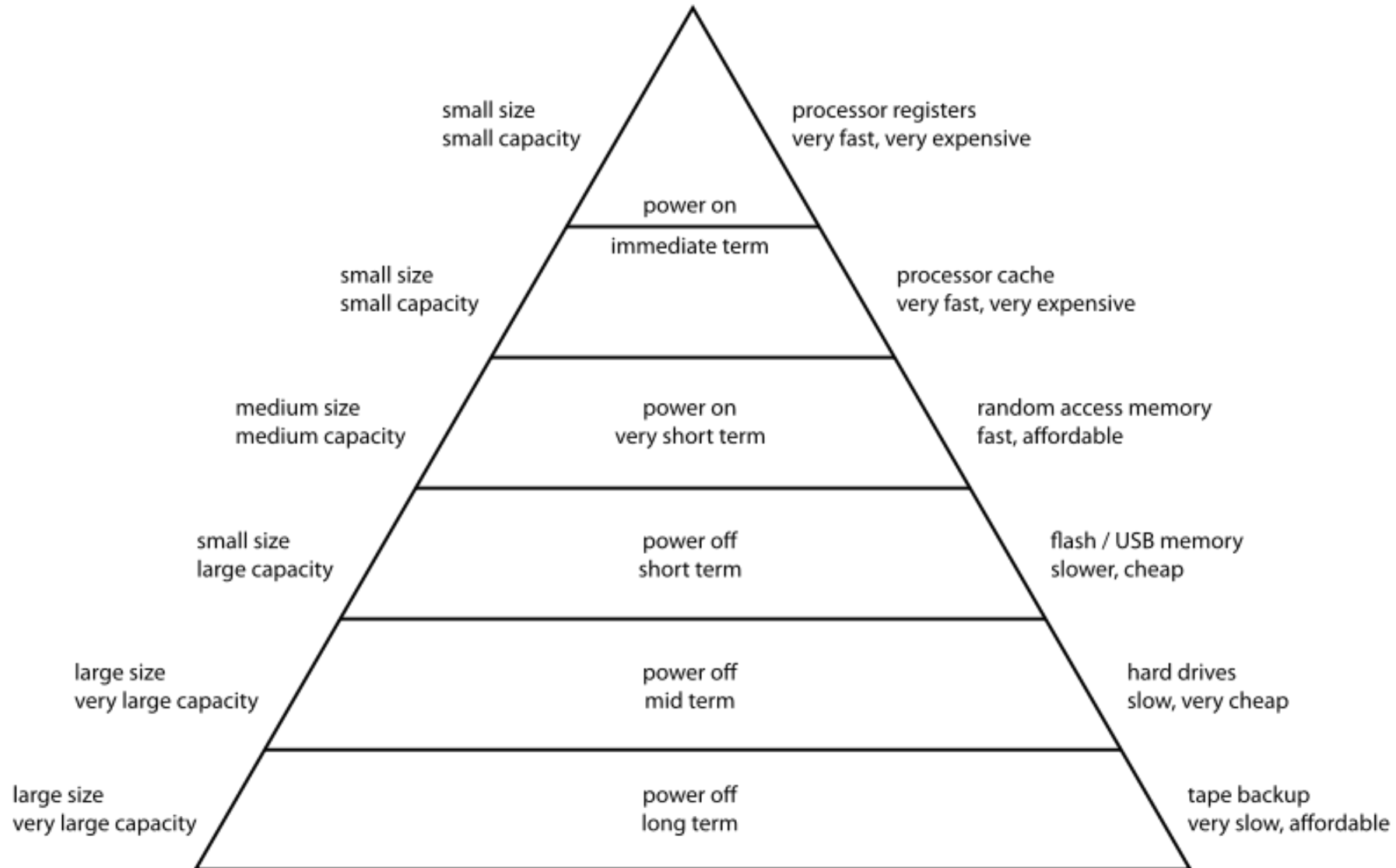




# Иерархия памяти



# Computer memory hierarchy





# Повышение производительности

Развитие архитектуры IA-32. Кэш. FPU.

# Производительность

Это количество выполняемых за такт команд

IPC – Instructions per cycle  
(команды выполняемые за такт)

Методы повышения производительности:

- Конвейеризация
- Параллелизм
- Многоядерность

# Скорость света не превысить!

- 300 000 km/s - скорость света в вакууме
- 300 000 m/ms
- 300 000 mm/ $\mu$ s
- 300 mm/ns
- 30 mm/0.1 ns
- 3 cm/0.1 ns
- 10 cm/0.333 ns

$$T = 0.333 \text{ ns} \longrightarrow f = 3 \text{ GHz}$$

# Параллелизм

Параллелизм:

- на уровне команд  
(ILP – Instruction Level Parallelism)
- на уровне процессов  
(TLP – Thread Level Parallelism)

Параллелизм:

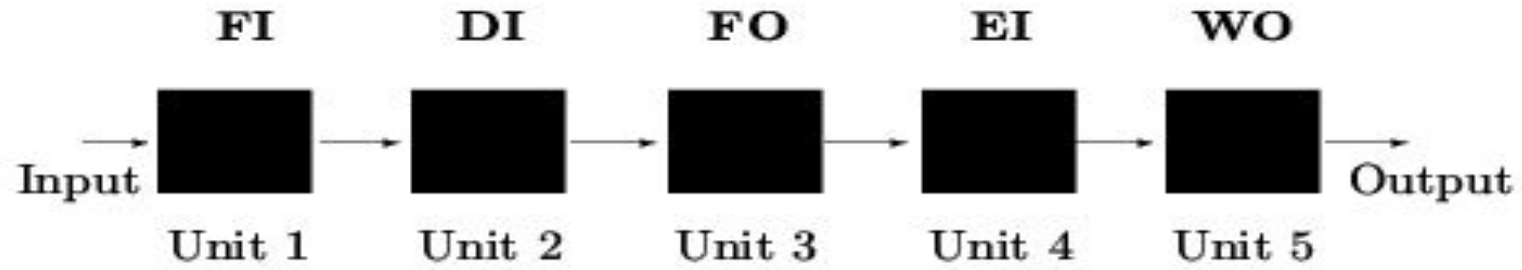
- многопроцессорные системы
- многоядерные процессоры

# Конвейеризация (Pipelining)

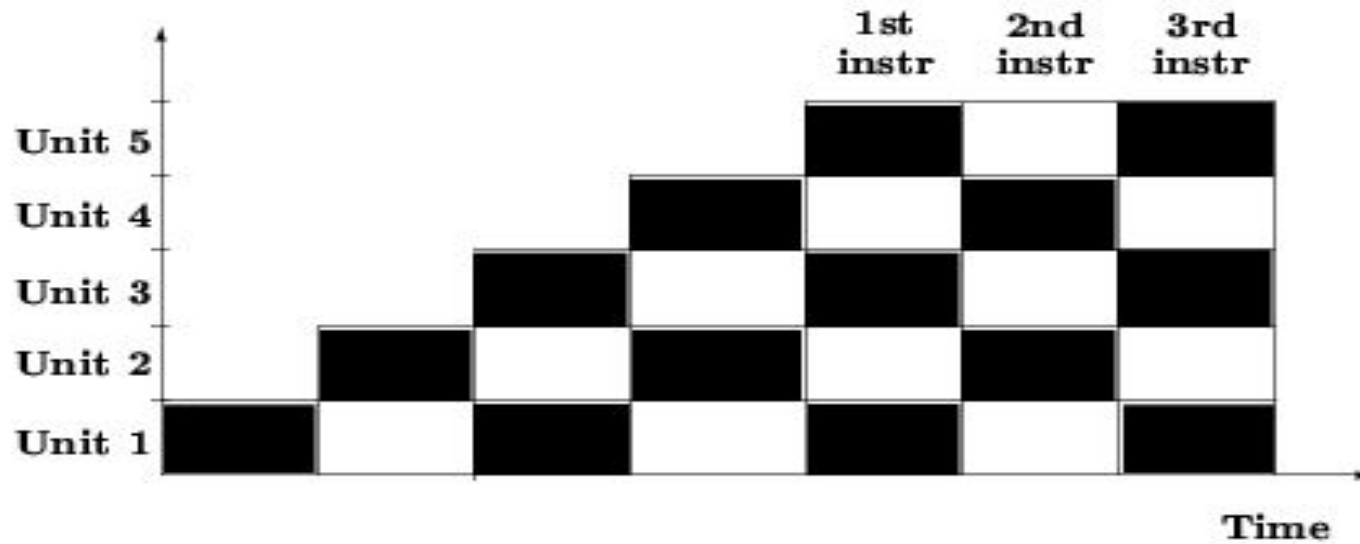
Реализация обработки команд внутри процессора в несколько этапов

Идея состоит в использовании разных устройств процессора на разных этапах обработки команды

# Конвейер инструкций



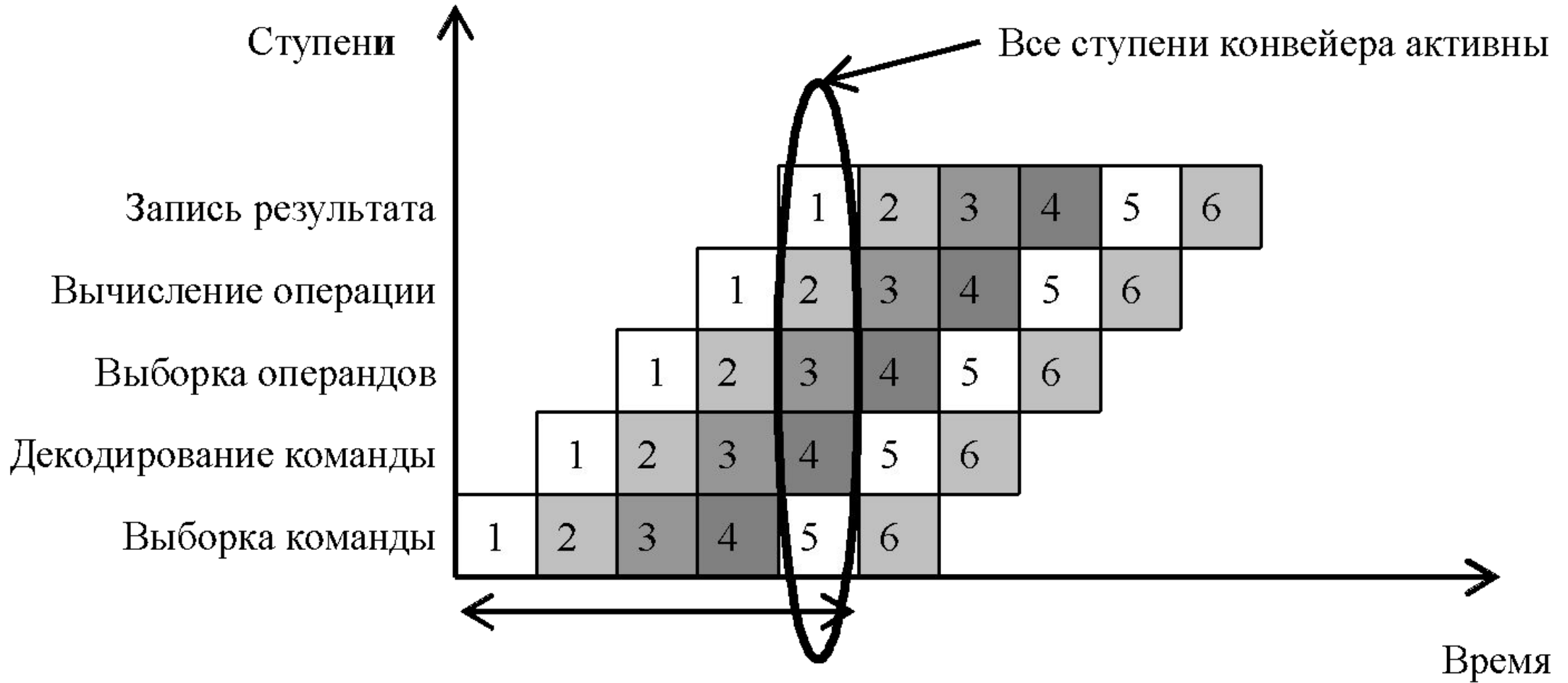
a)



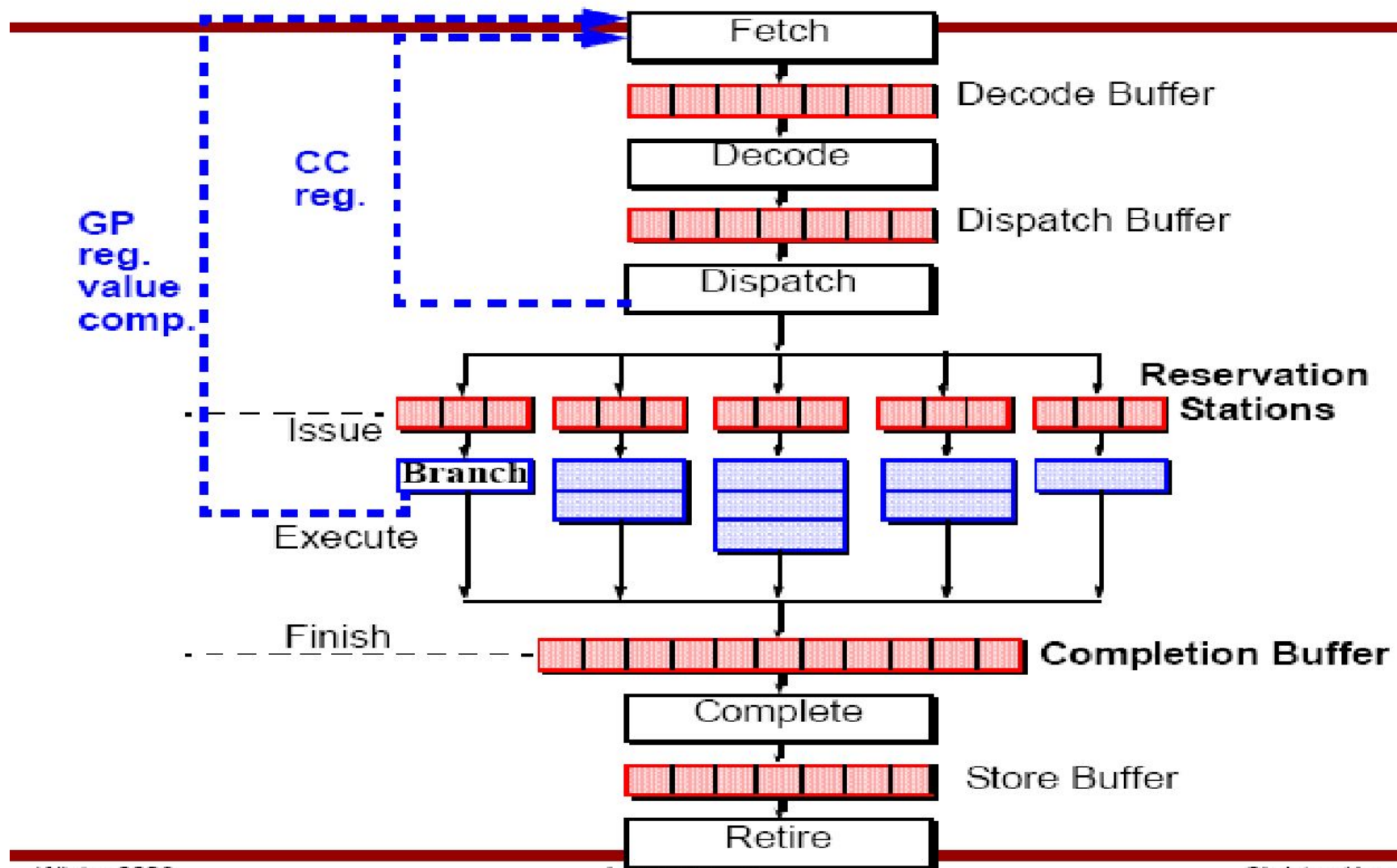
b)



# Латентность конвейера



# Конвейер



# Intel Pentium IV

- Суперскалярная архитектура (как и все Pentium'ы )
- «Гиперконвейерная технология» (сверхдлинный конвейер: 5 стадий у P5, 10 стадий у P6, 20 стадий у Pentium IV)
- «Net Burst» технология (до 126 МО одновременно)
- SSE2 (+ 144 новых команды типа SIMD)
- Выборка МО (микроопераций)
- Переименование регистров (128 физических)
- Помещение МО в очередь (планирование с учетом зависимостей)
- Отсылка на CPU или FPU
- Чтение из файлов регистров
- Выполнение (1 такт)
- Определение флагов
- Запись результата (проверка перехода)

# Согласно Флинту

SISD (Single Instruction, Single Data)

SIMD (Single Instructions, Multiple Data)

MISD (Multiple Instruction, Single Data)

MIMD (Multiple Instruction, Multiple Data)

**SISD** – «обычные» компьютеры (фон Неймана)

**SIMD** – векторные суперкомпьютеры

**MISD** – не существуют

**MIMD** – мультипроцессорные системы, мультикомпьютеры,  
кластеры

(Таненбаум, 4-е изд., с. 584)

# Пути достижения параллелизма

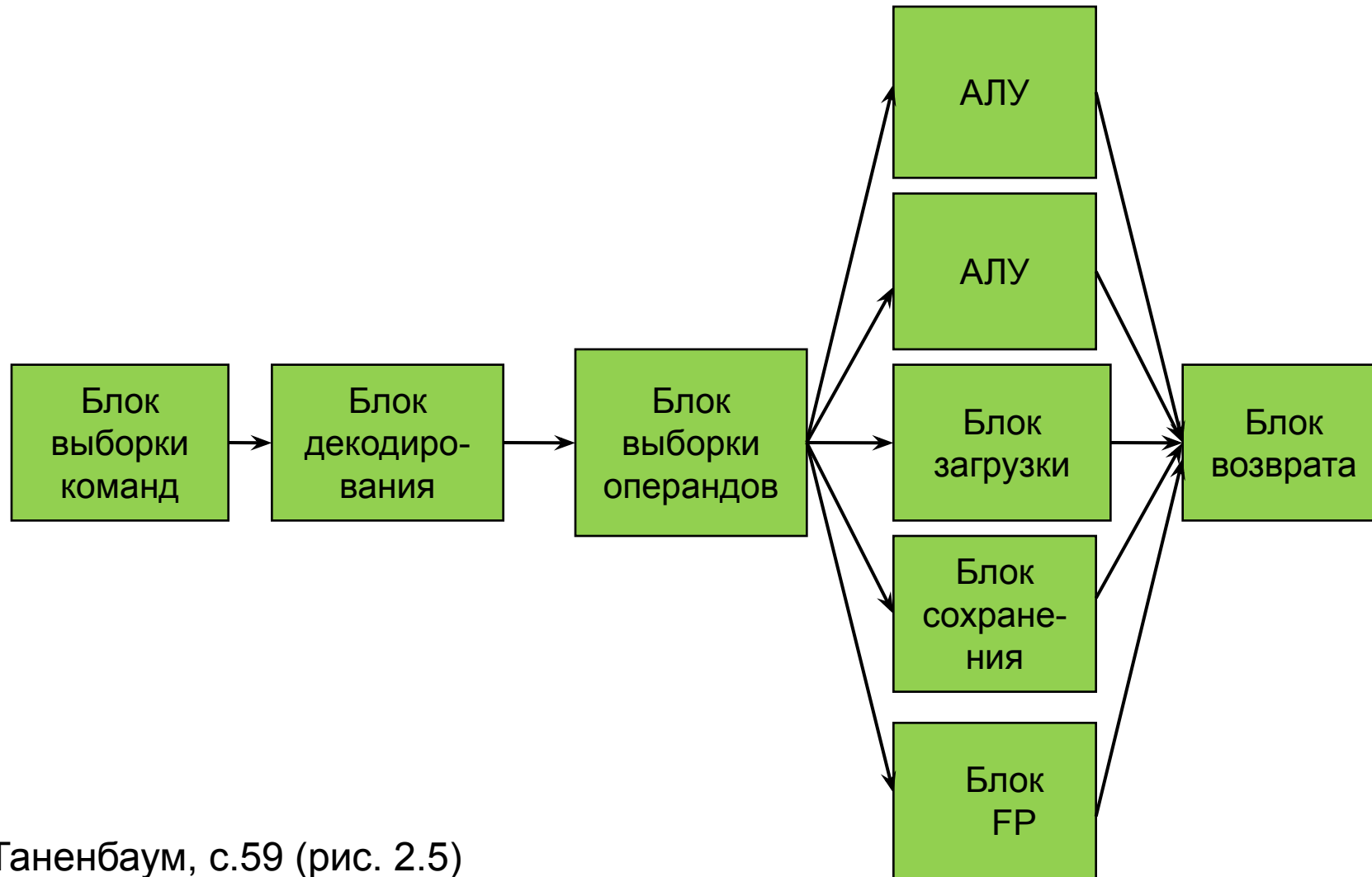
Потоковая архитектура

ОКМД (одна операция над многими данными – MMX, XMM, SSE)

МКМД (многопроцессорные системы, суперкомпьютеры)

МКМД (множество независимых компьютеров – кластеры, суперкомпьютеры)

# Суперскалярная архитектура

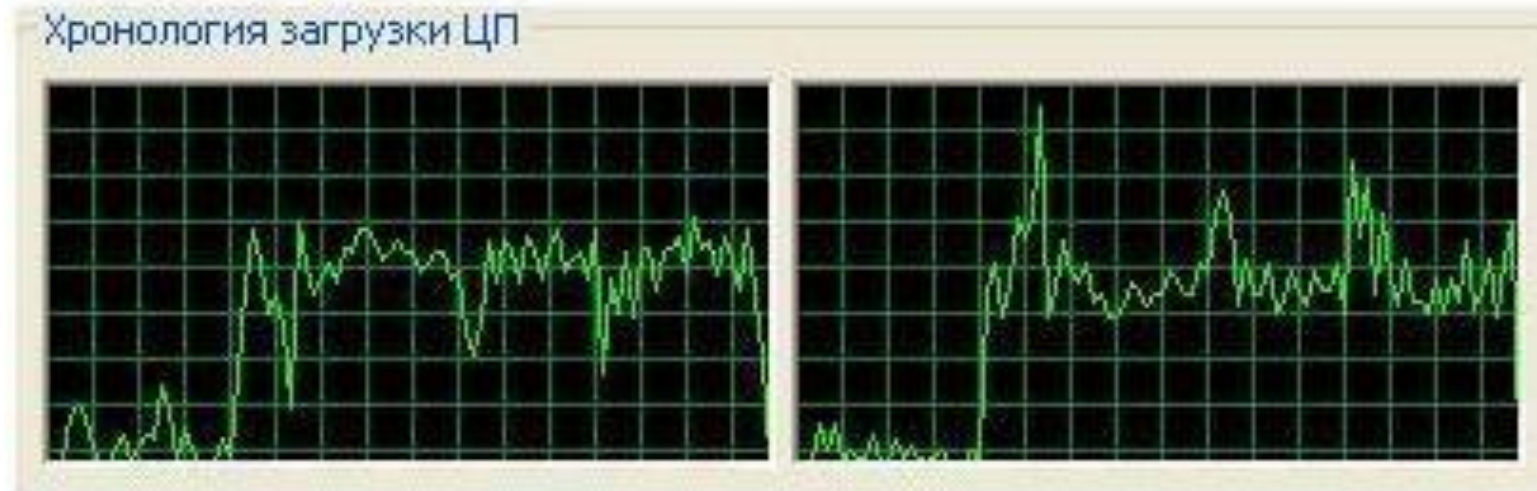


Таненбаум, с.59 (рис. 2.5)

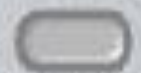
# Hyper-Threading

**Одно** физическое ядро «успевает» обрабатывать два **потока** команд.

Операционная система «видит» **два** процессора.



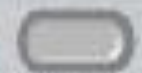
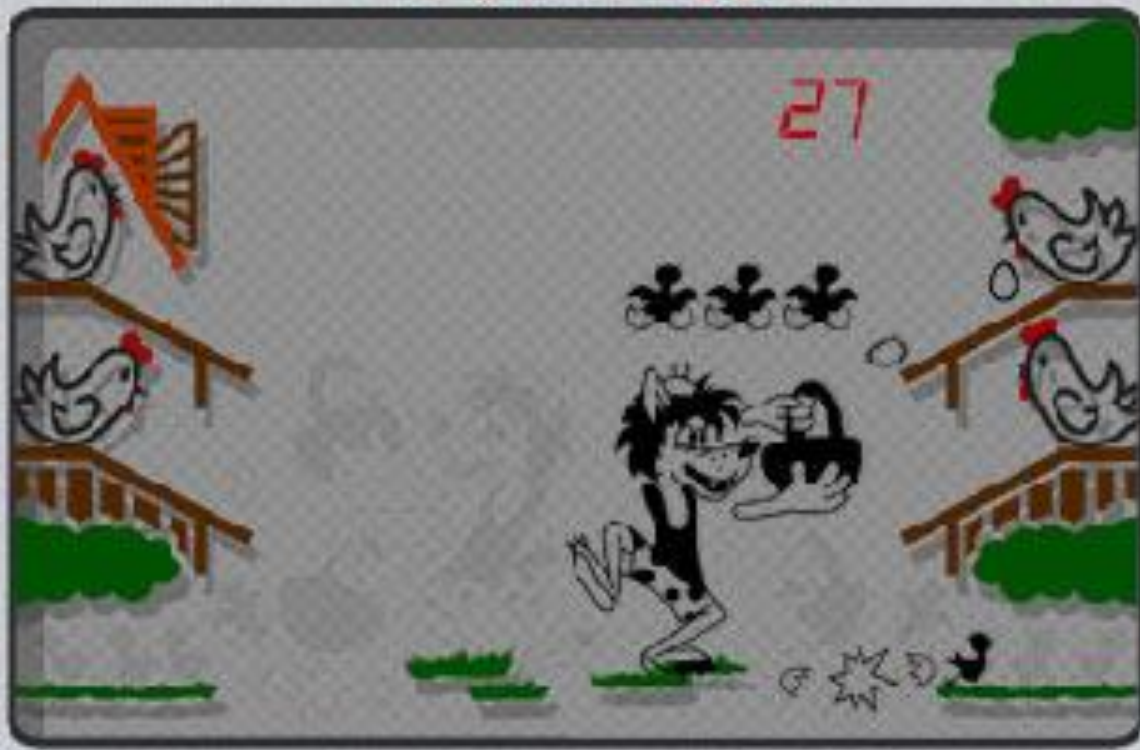
# НУ, ПОГОДИ!



Старт



Пауза



Быстро



Звук выкл



ЭЛЕКТРОНИКА ИМ 02

Mifasick Adikus.com

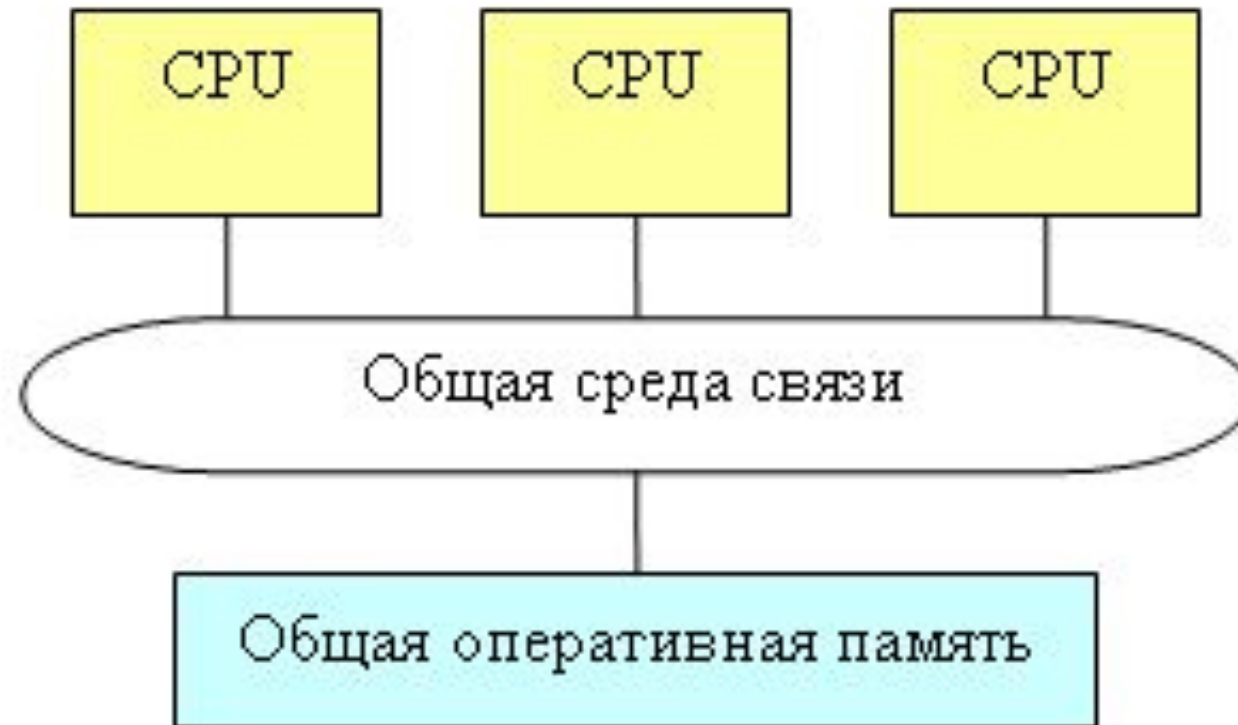




# Multiprocessor systems

# SMP-СИСТЕМЫ

(Symmetrical Multi Processor systems).



# Закон Амдала

$$Speedup_{parallel}(f,n) = \frac{1}{(1-f) + \frac{f}{n}}$$

**Speedup** – относительное ускорение

**f** – часть кода, которая может быть распараллелена

**n** – число параллельных процессоров

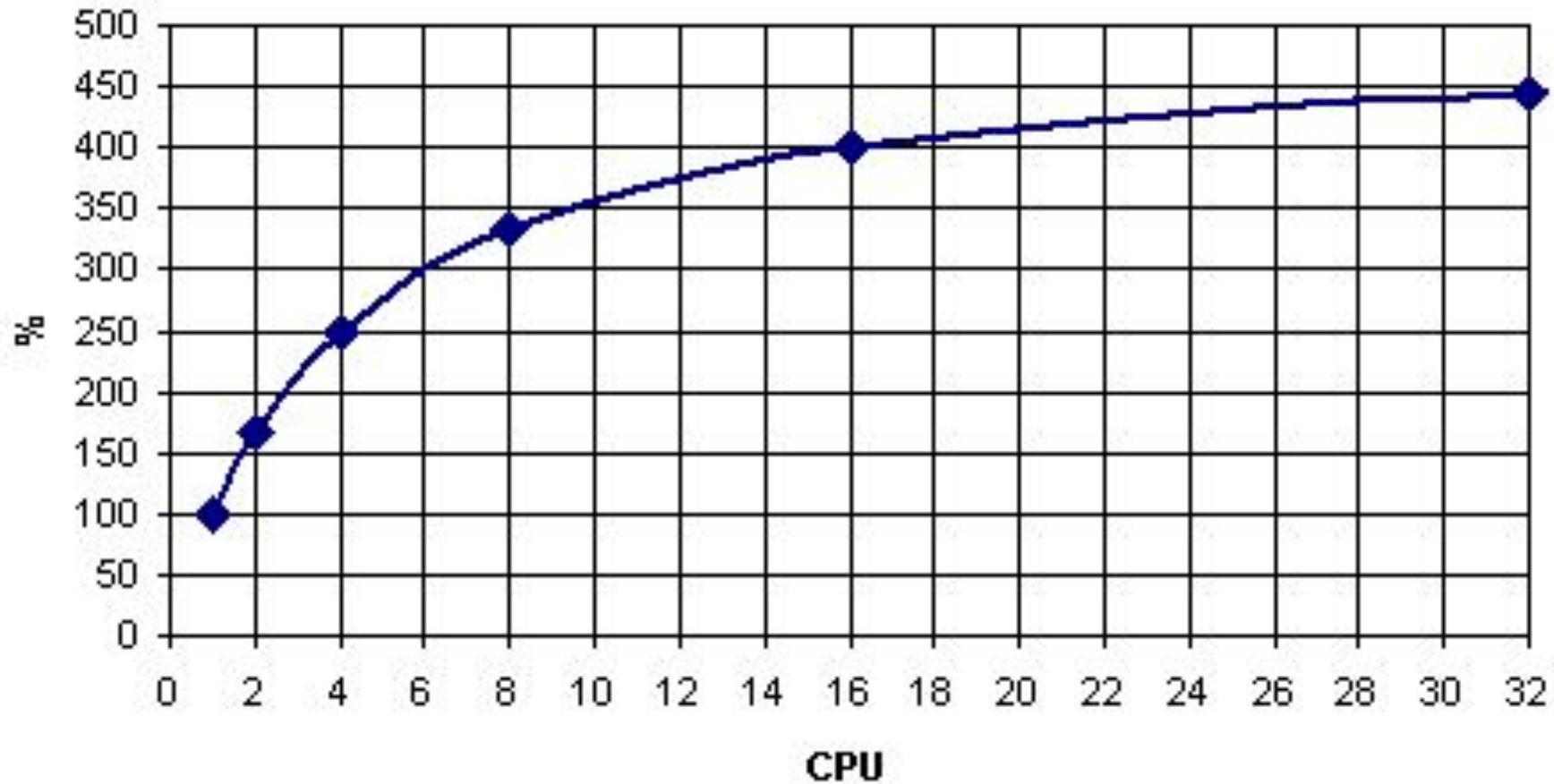
# Закон Амдала

$$S_p = \frac{1}{\alpha + \frac{1 - \alpha}{p}}$$

$\alpha$  - часть кода, которая **не** распараллеливается  
( $1 - \alpha = f$  или  $1 - f = \alpha$ )

$\alpha \backslash p$	10	100	1000
0	10	100	1000
10%	5.263	9.174	9.910
25%	3.077	3.883	3.988
40%	2.174	2.463	2.496

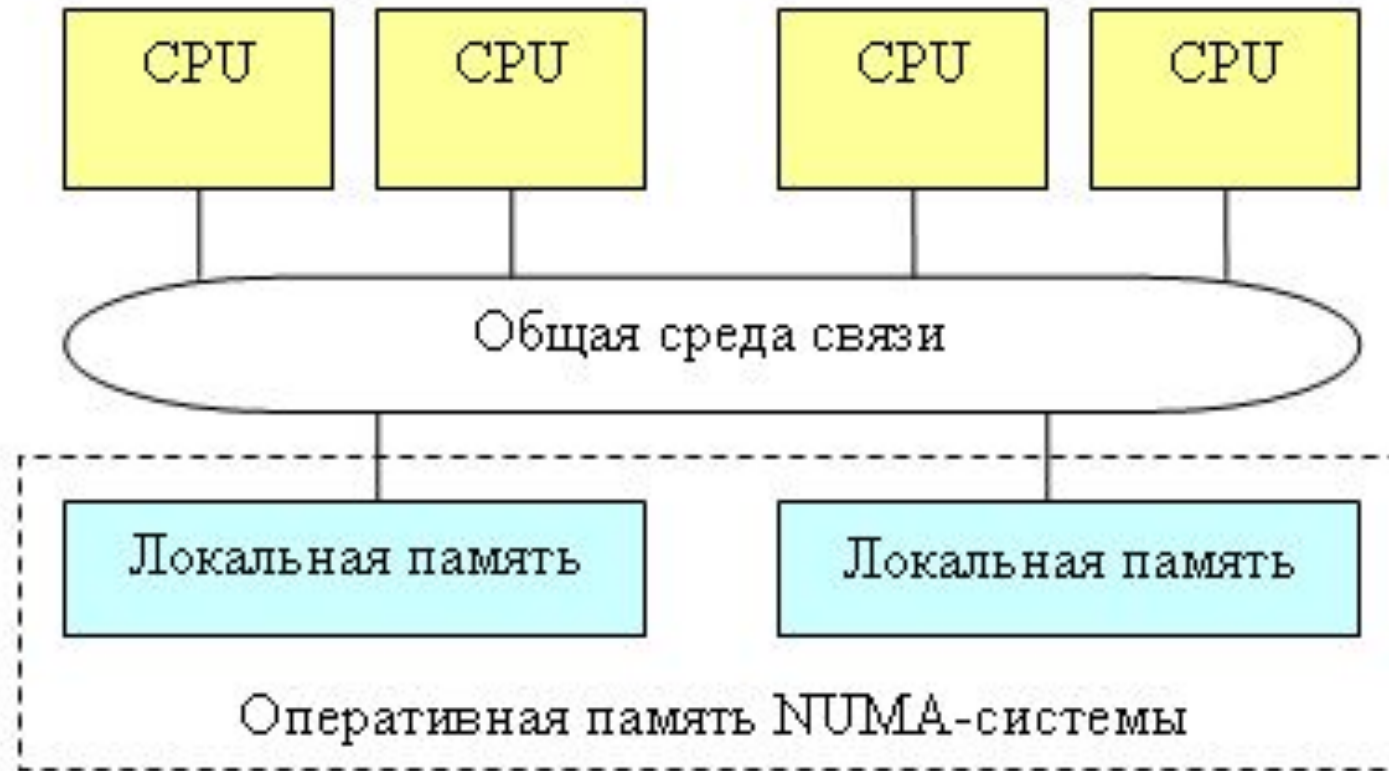
# SMP



SMP: использование нескольких процессоров не приводит к ожидаемому приросту производительности

# NUMA-СИСТЕМЫ

(Non-Uniform Memory Access systems).

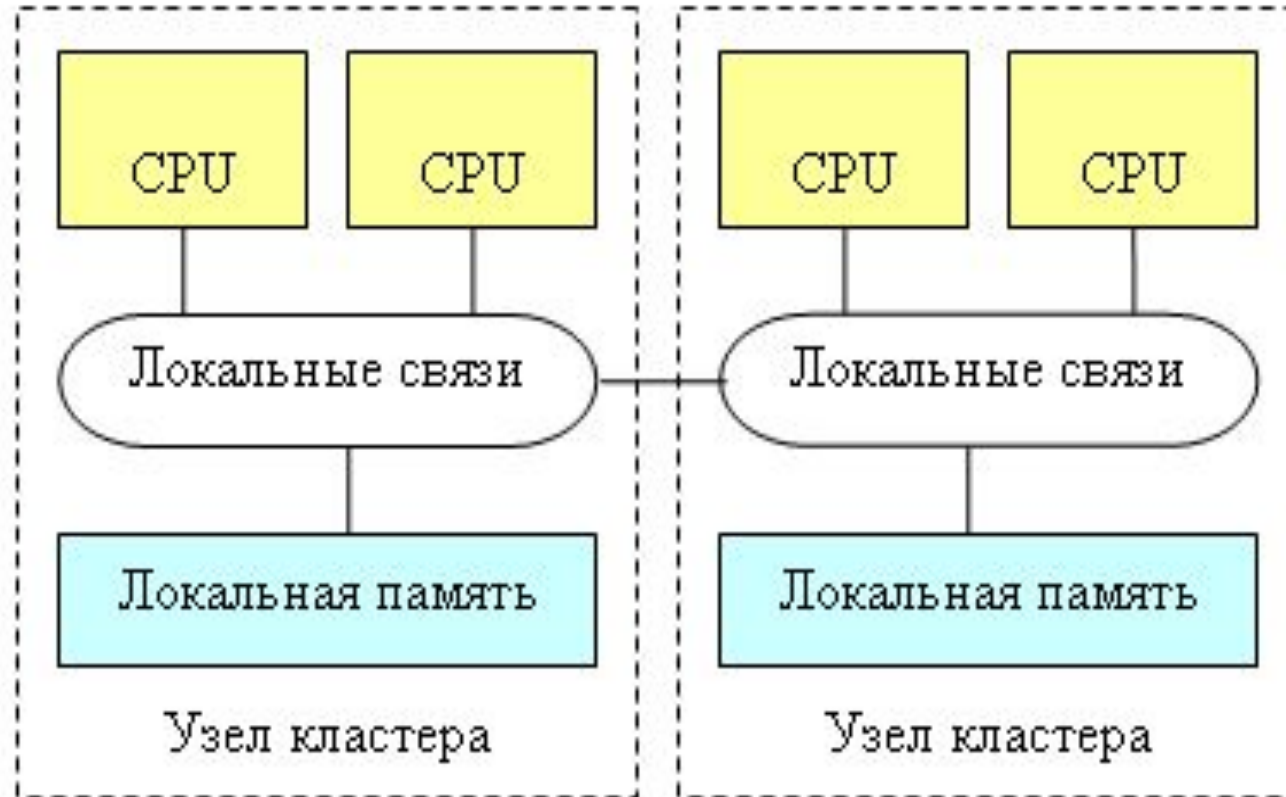


# Кластеры

Основная «область применения» кластеров:

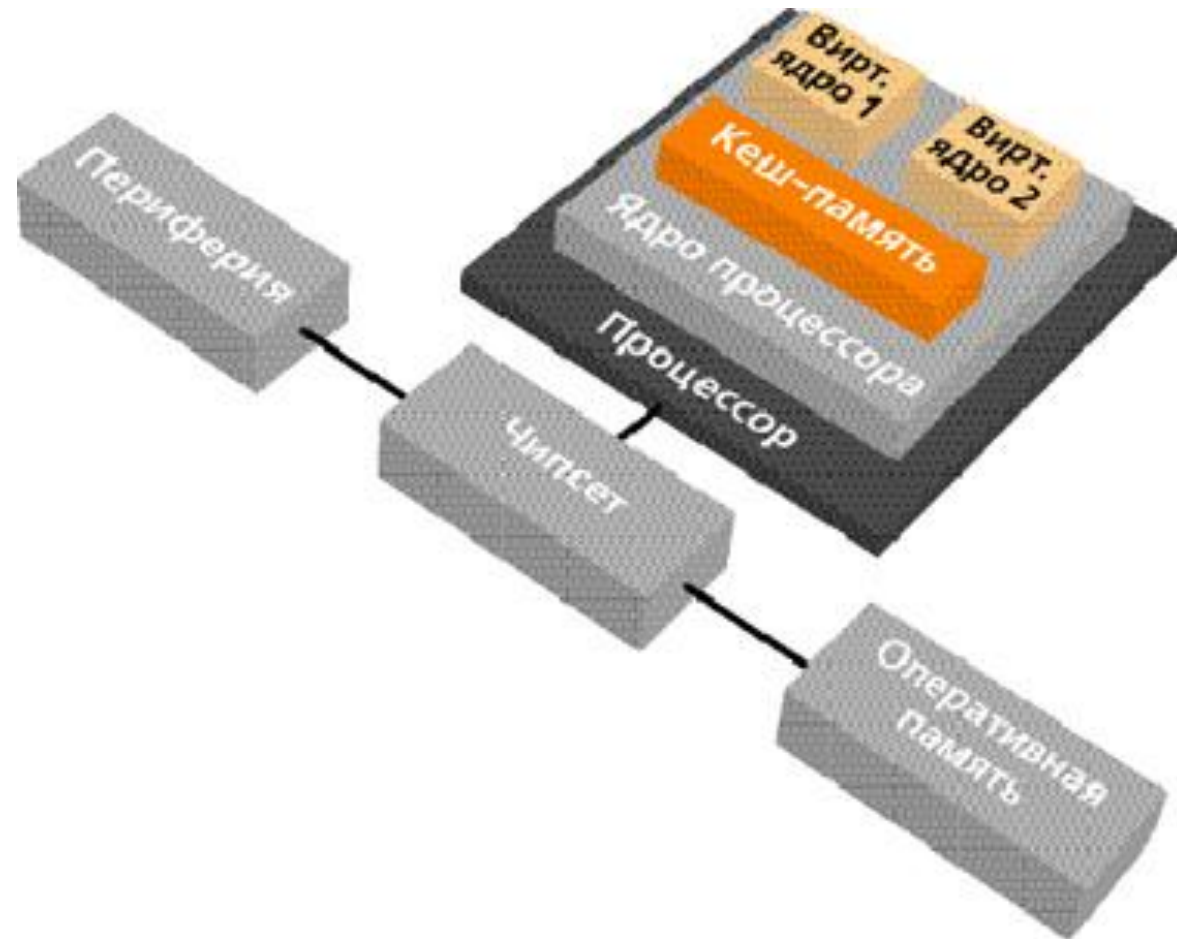
Суперкомпьютеры

# Кластеры

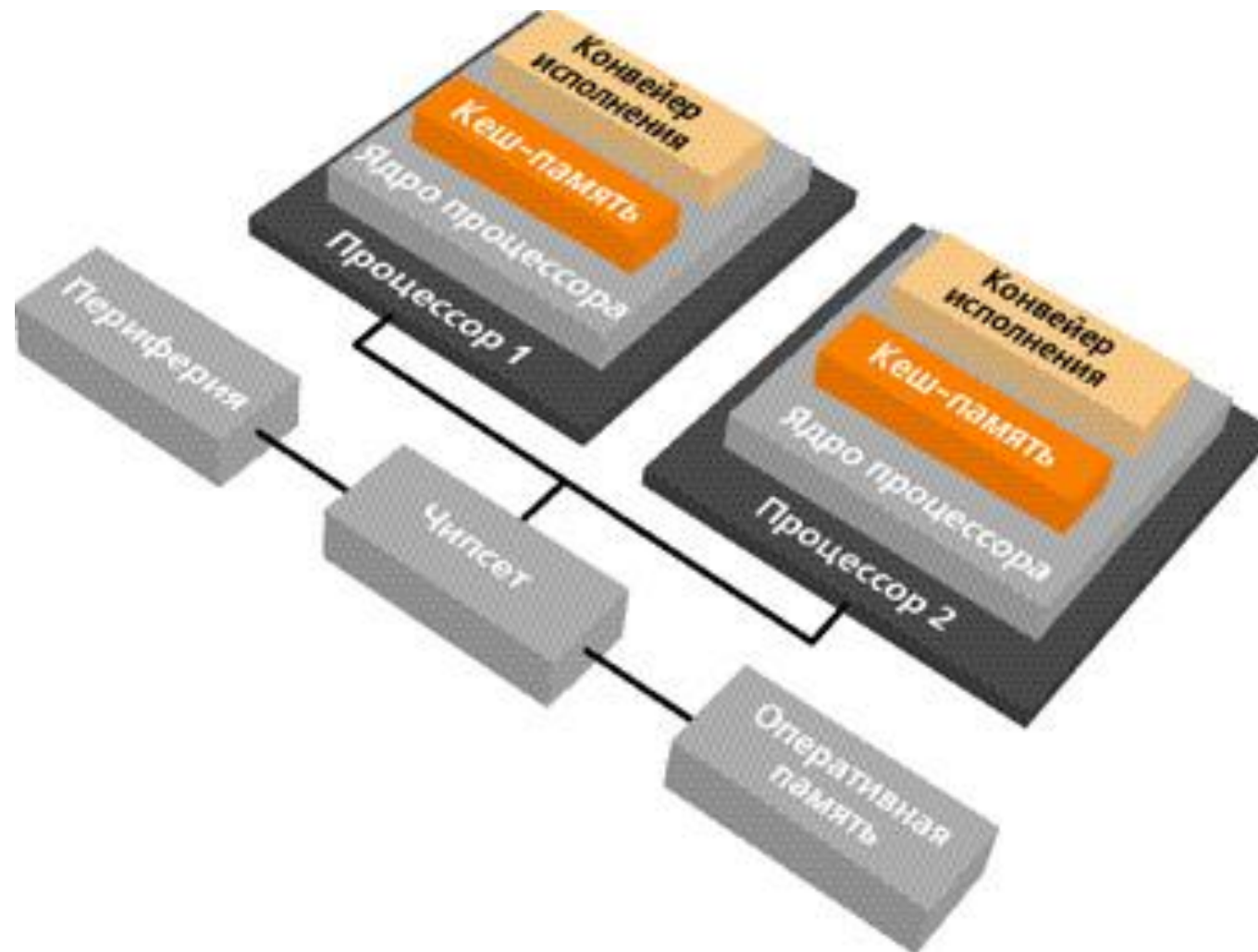




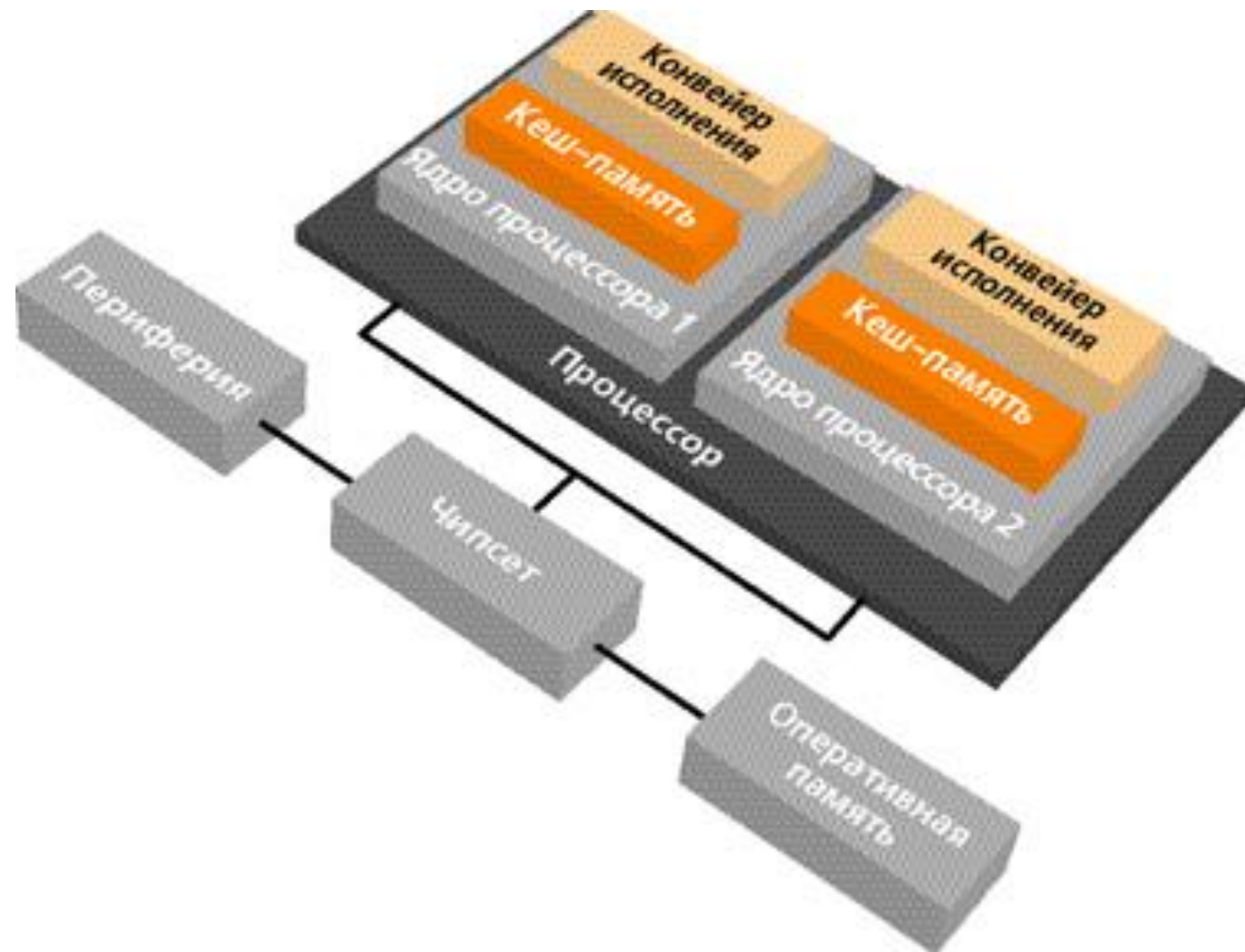
# HyperThreading (Гипертрейдинг)



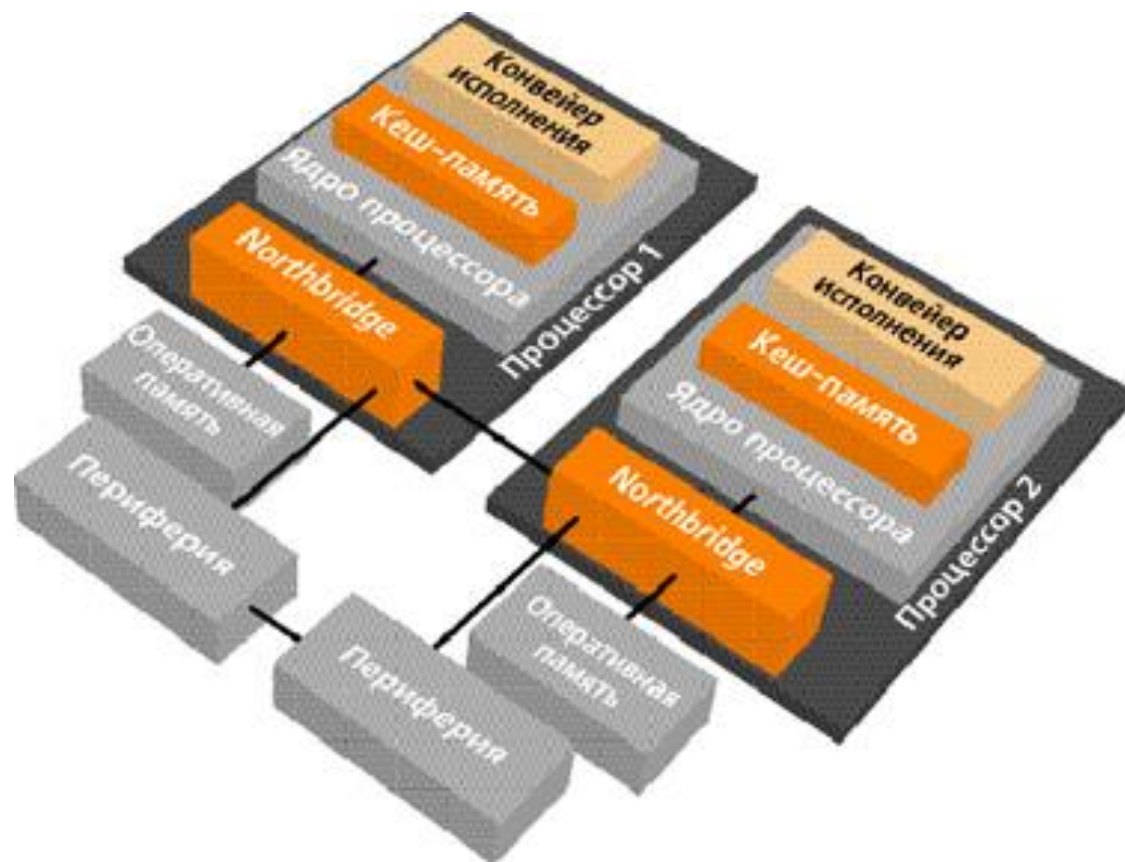
# SMP - Symmetrical MultiProcessing



# Двухъядерный процессор

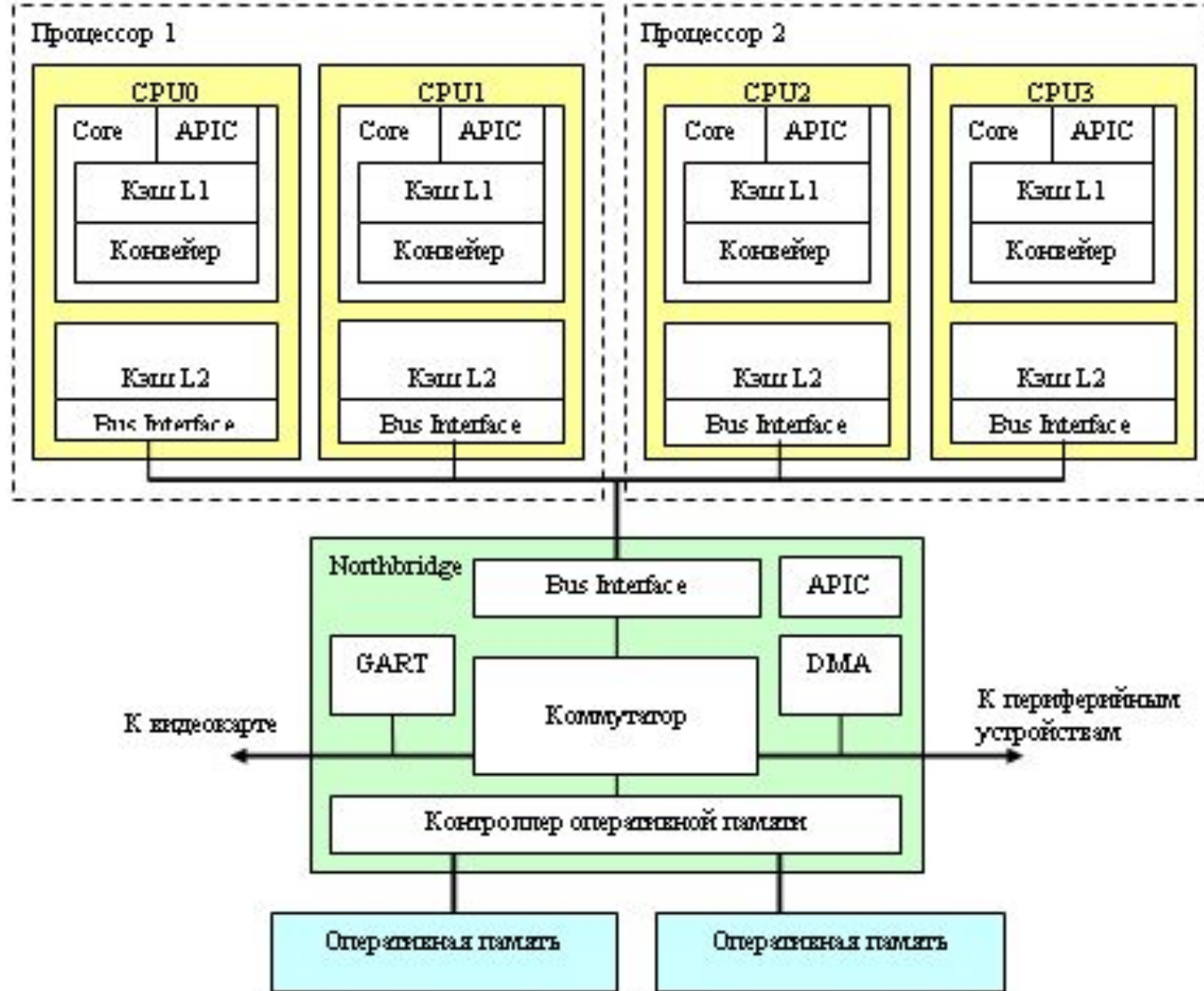


# Intel Smithfield



Ядро Smithfield – это два обычных Prescott в одном кристалле

# «Классическая» двухпроцессорная SMP-система с двухъядерными

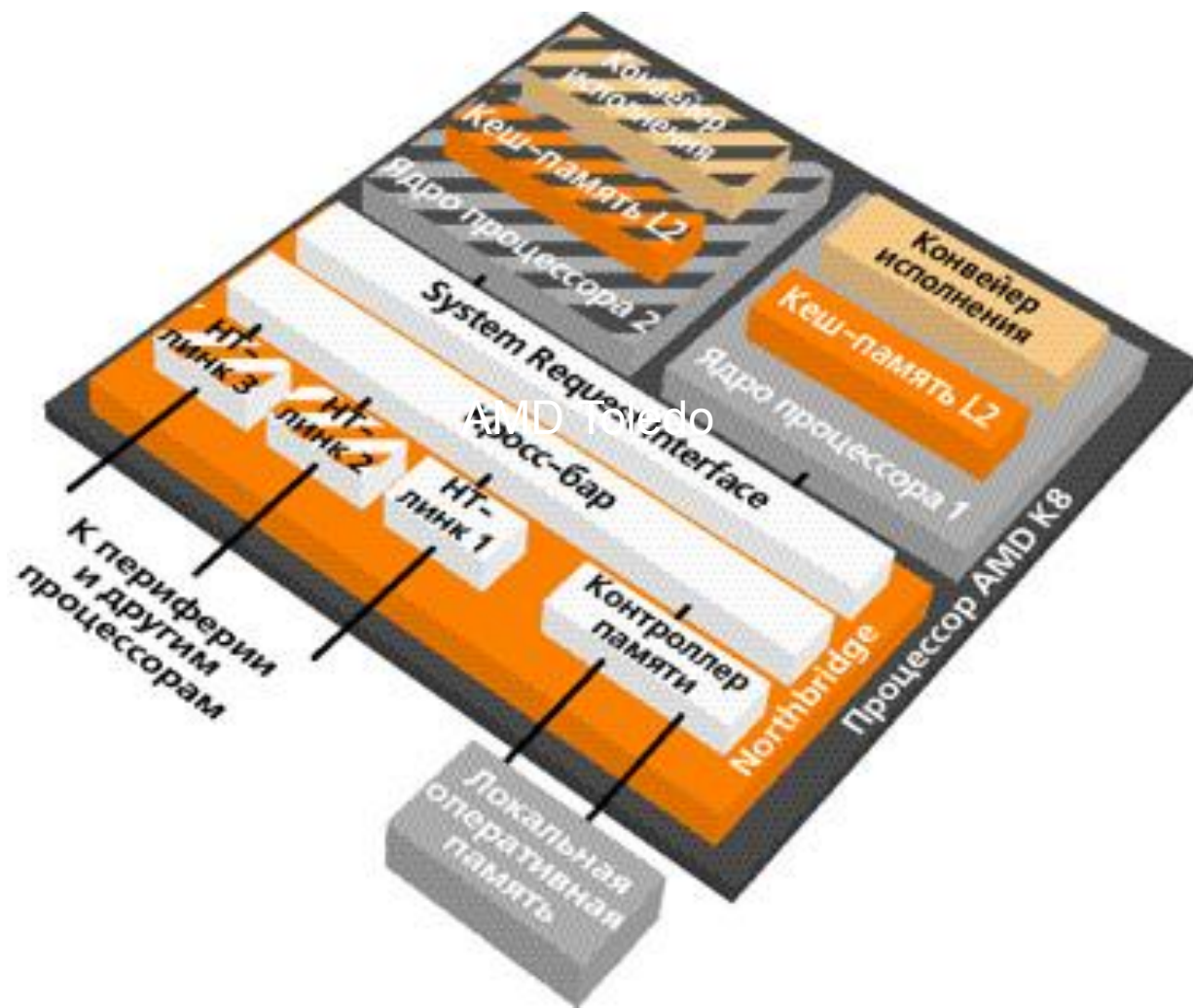


# SUMA

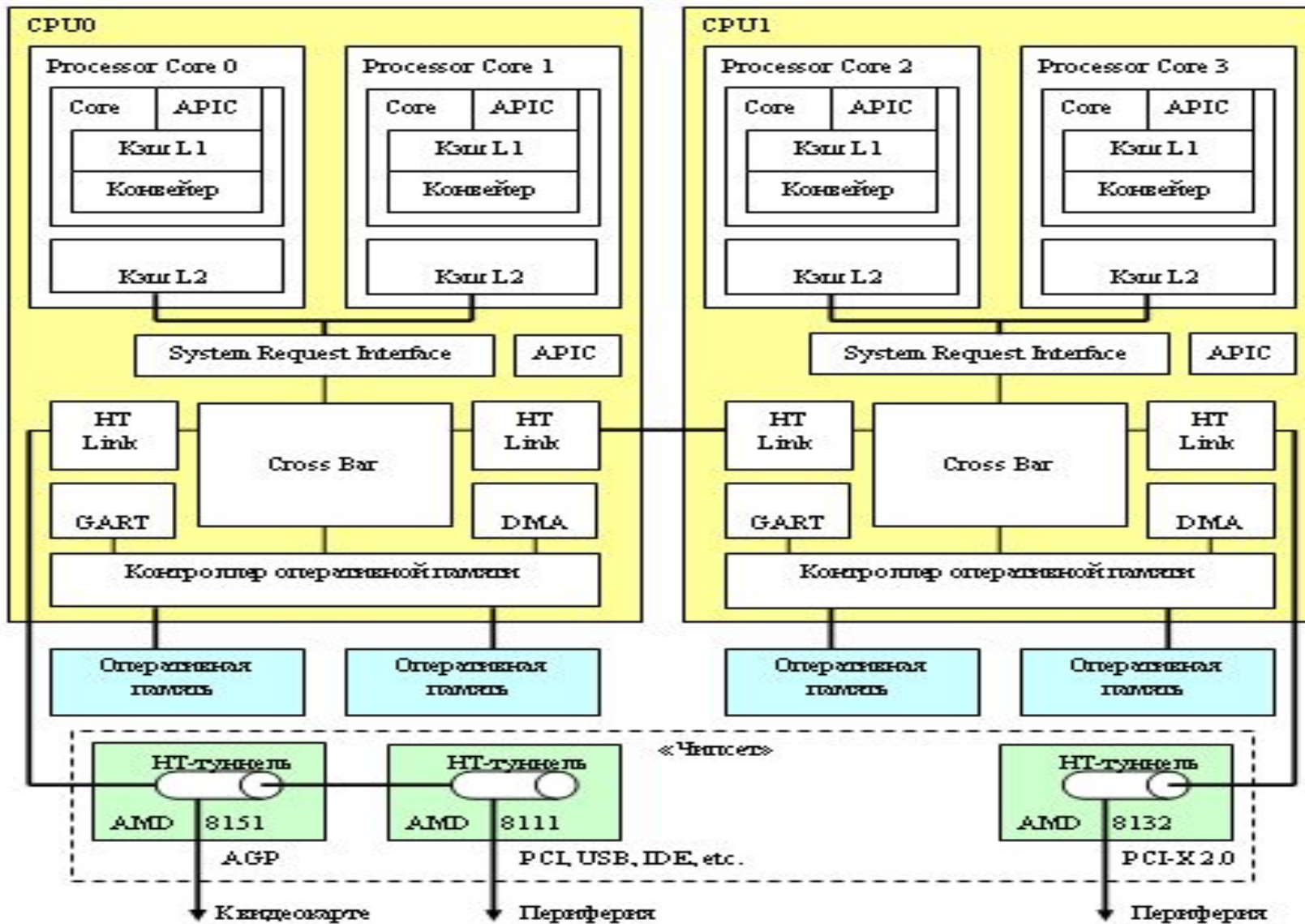
*Slightly Uniform Memory Architecture*  
("почти однородная архитектура памяти")

Основа SUMA – последовательная шина  
HyperTransport

# AMD Toledo



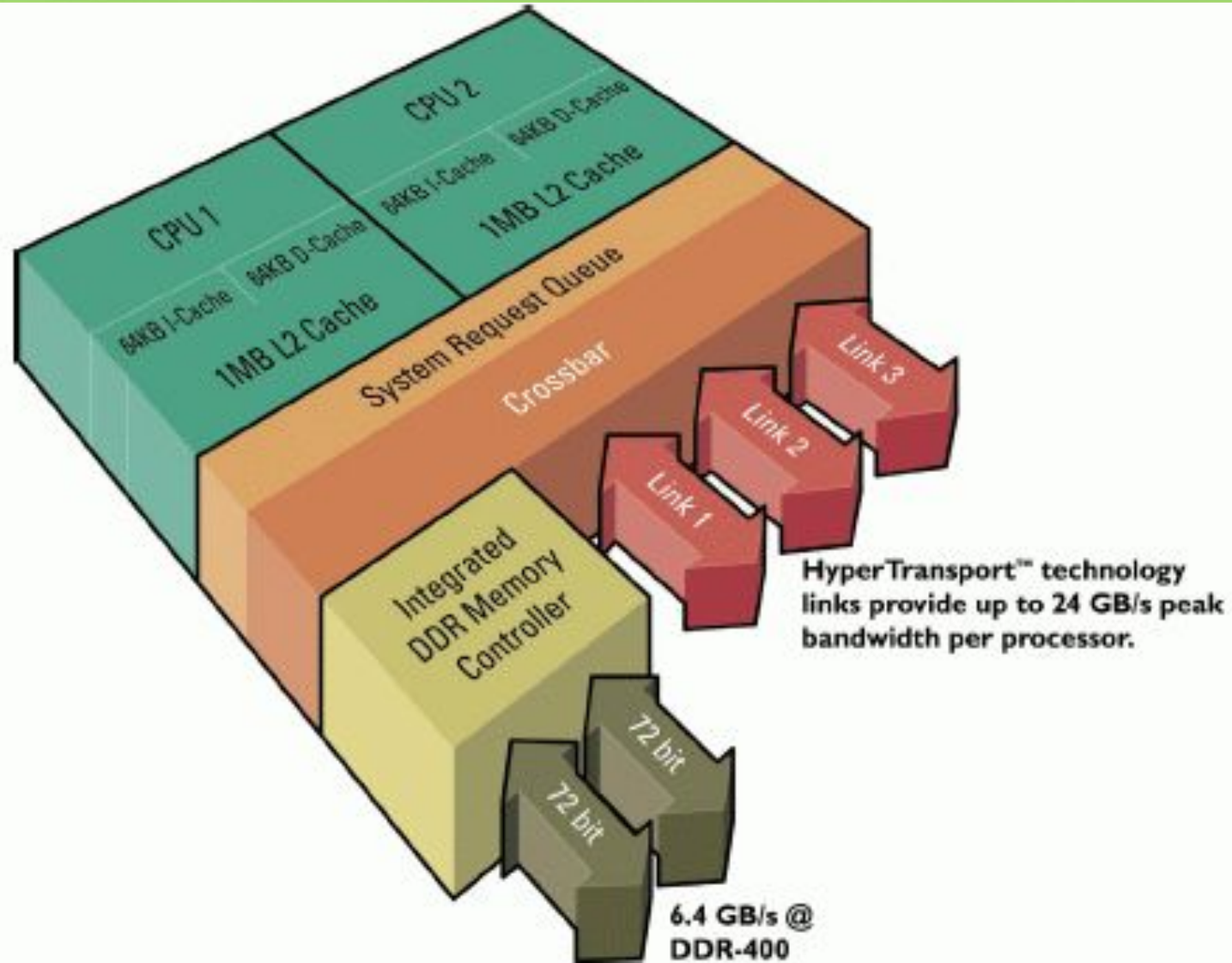
# Пример двухпроцессорной двухядерной системы на Opteron 2xx и чипсете AMD 82xx.



HT обозначает  
HyperTransport



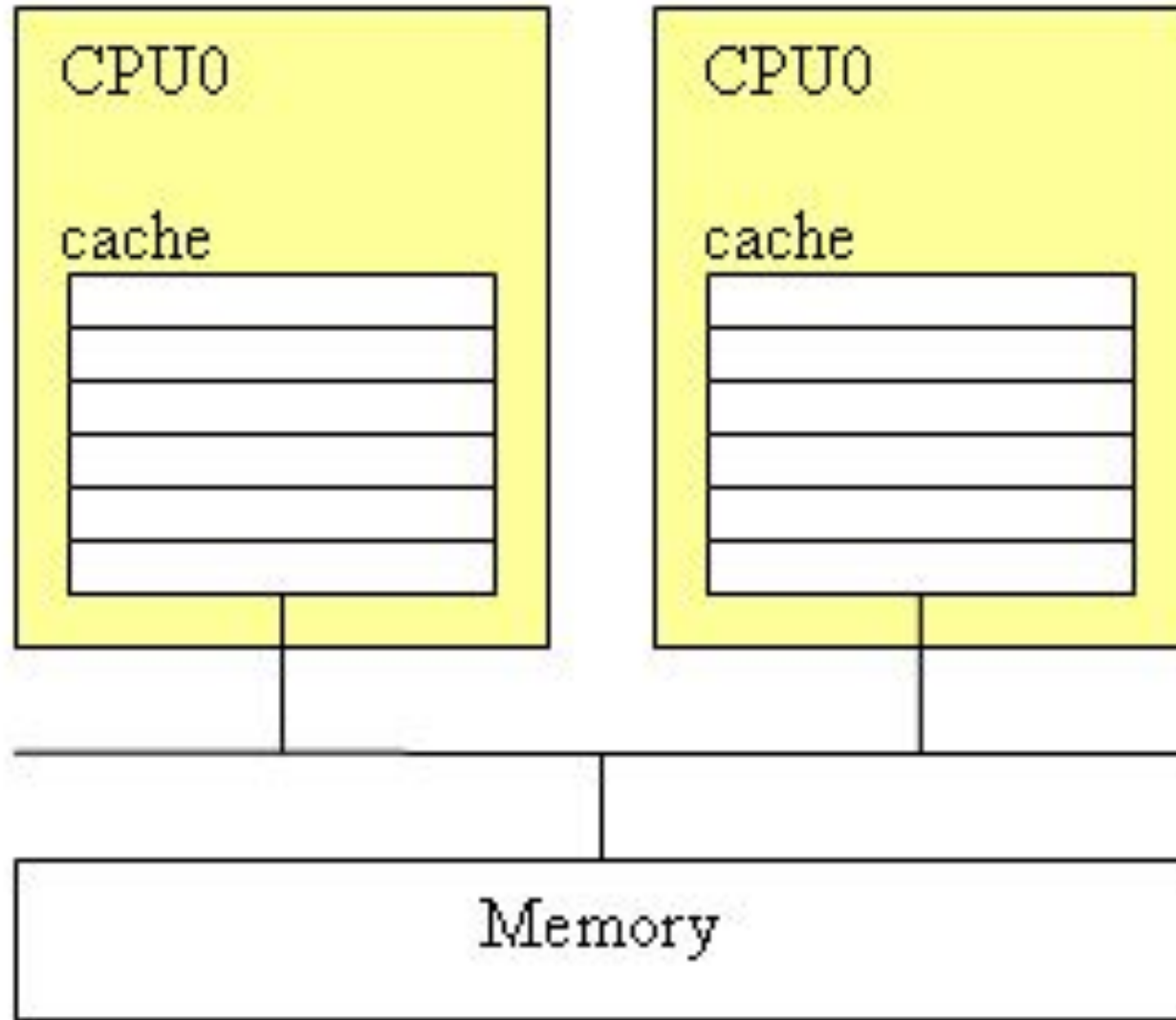
# AMD Opteron Dual-Core Architecture



# Intel & AMD

Разница между реализациями AMD и Intel с «технологической» точки зрения долгое время заключалась в том, что у Intel Northbridge был реализован отдельным кристаллом, а у AMD он был интегрирован в центральный процессор.

# Когерентность кэш-памяти



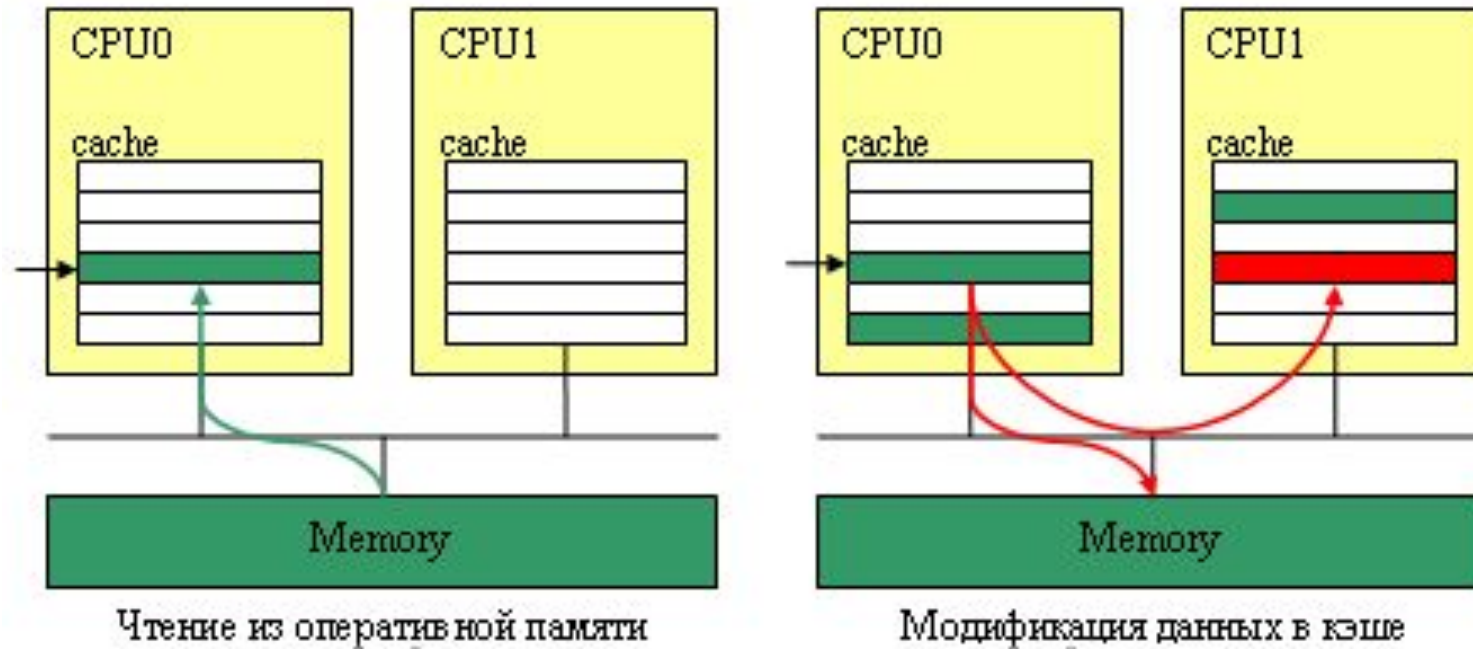
# Когерентность кэш-памяти

Протоколы поддержания когерентности кэшей:  
у процессоров Intel - «MESI»,  
у процессоров AMD - «MOESI».

MESI - Modified, Exclusive, Shared, Invalid

MOESI - Modified, Owner, Exclusive, Shared, Invalid

# Write-Through



Чтение из оперативной памяти

Модификация данных в кэше

## Write-through.

Зеленым обозначены «правильные» строки кэша, содержащие корректные данные;  
Красным – строки кэша, содержащие устаревшую информацию и помеченные как Invalid.  
Оперативная память всегда содержит самую свежую копию данных.

# MESI

MESI (Modified, Exclusive, Shared, Invalid)

Modified - состояние (выделено желтым) соответствует измененной строке в кэш-памяти, содержащей данные, которые еще не записаны в оперативную память. Этих данных в кэшах других процессоров нет.

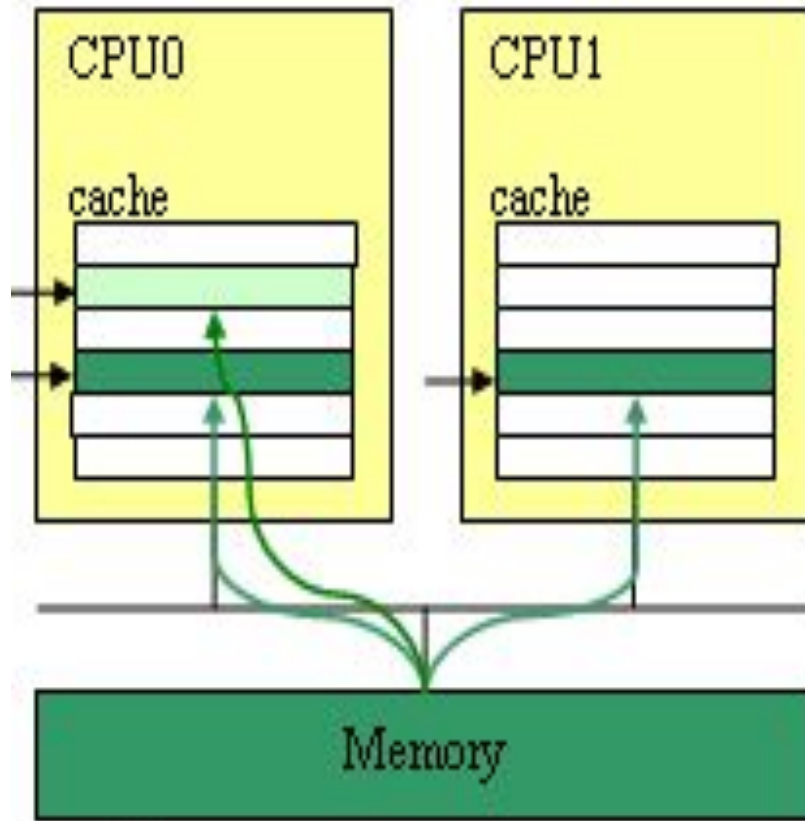
Exclusive - состояние (выделено салатным) соответствует копии данных, которые записаны в кэш памяти только данного конкретного процессора. Shared - состояние (выделено зеленым) соответствует копии данных, которые содержатся в кэш-памяти одновременно нескольких процессоров.

Invalid - состояние (выделено красным) соответствует строкам кэш-памяти, содержащим устаревшую информацию

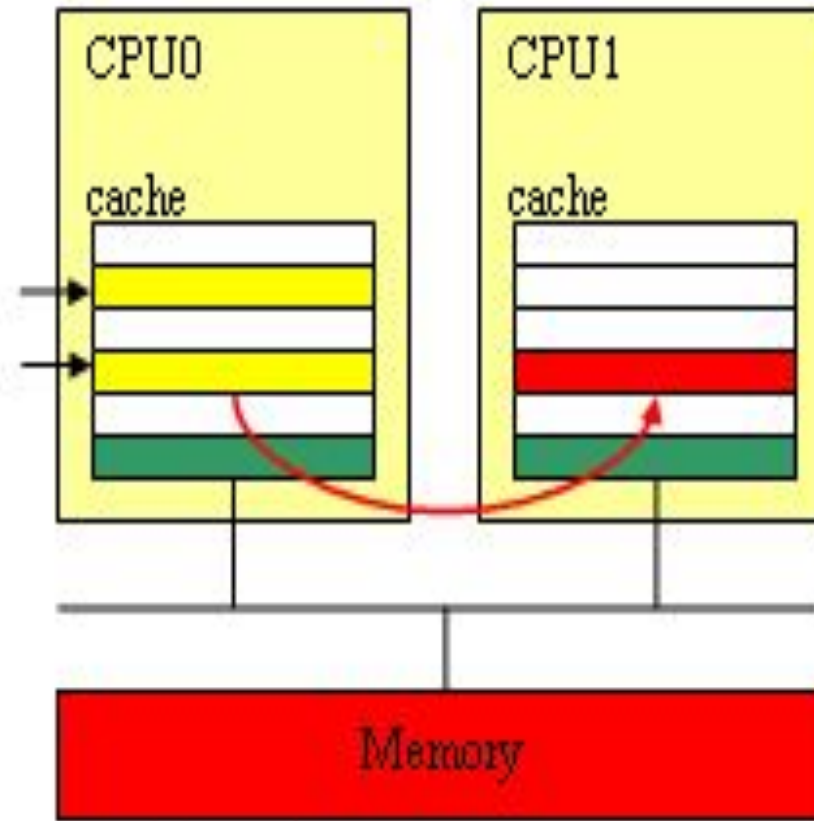
Оперативная память на схеме помечена красным, если в ней

# Кэш

## Чтение корректных данных и модификация



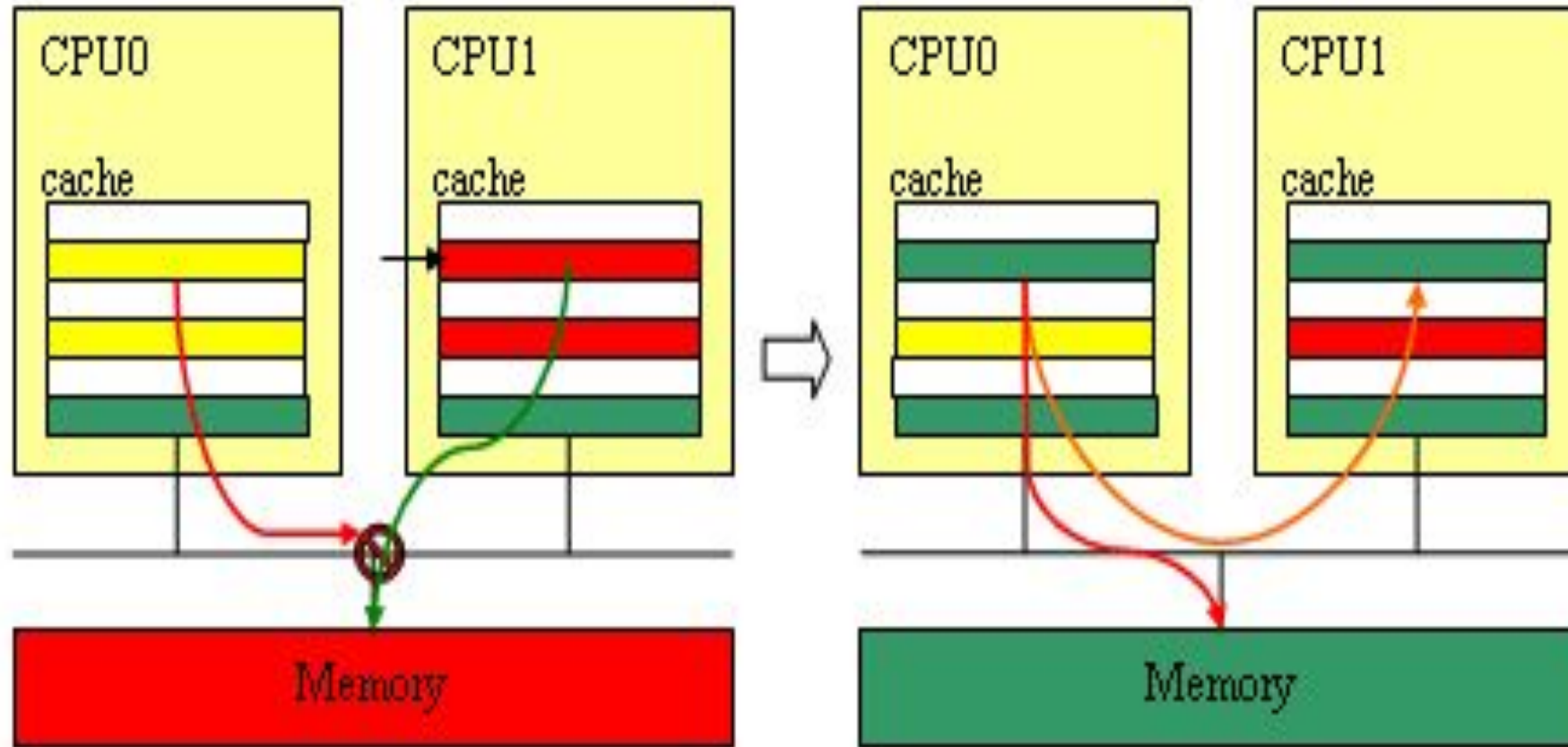
Чтение корректных данных из оперативной памяти



Модификация данных в кэше

# Кэш

## Чтение «устаревших» данных



Чтение «устаревших» данных из оперативной памяти



# MOESI

MOESI (Modified, Owner, Exclusive, Shared, Invalid)

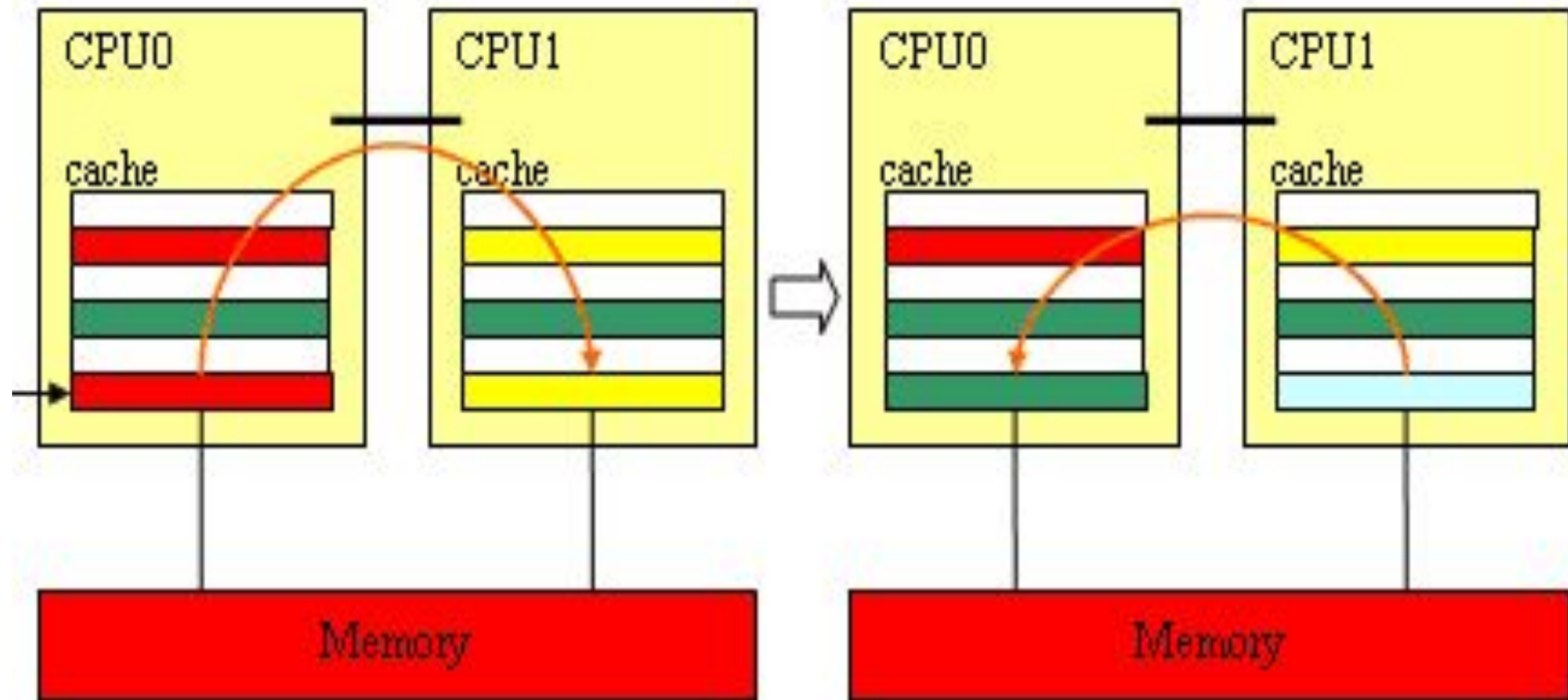
**Modified** - состояние (выделено желтым) соответствует измененной строке в кэш-памяти, содержащей данные, которые еще не записаны в оперативную память. Этих данных в кэшах других процессоров нет.

**Owner** - состояние (выделено светло-голубым) соответствует измененной строке, содержащей данные, которые еще не записаны в оперативную память и которые **ЕСТЬ** в кэшах других процессоров

**Exclusive** - состояние (выделено салатным) соответствует копии данных, которые записаны в кэш памяти только данного конкретного процессора. **Shared** - состояние (выделено зеленым) соответствует копии данных, которые содержатся в кэш-памяти одновременно нескольких процессоров.

# Кэш

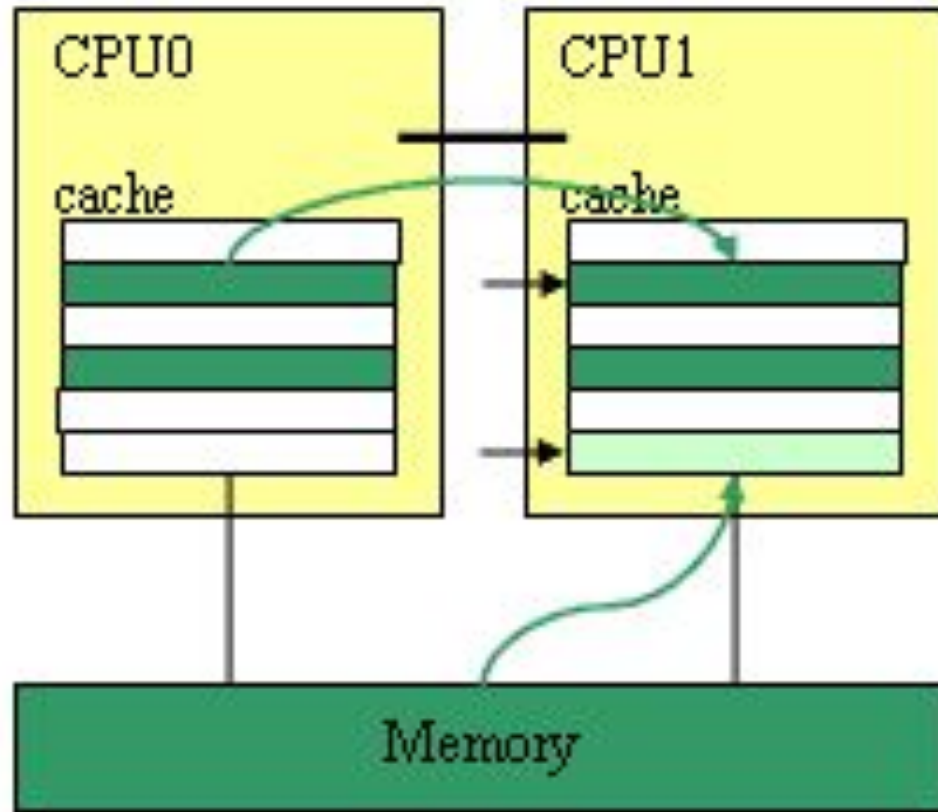
## Чтение «устаревших» данных



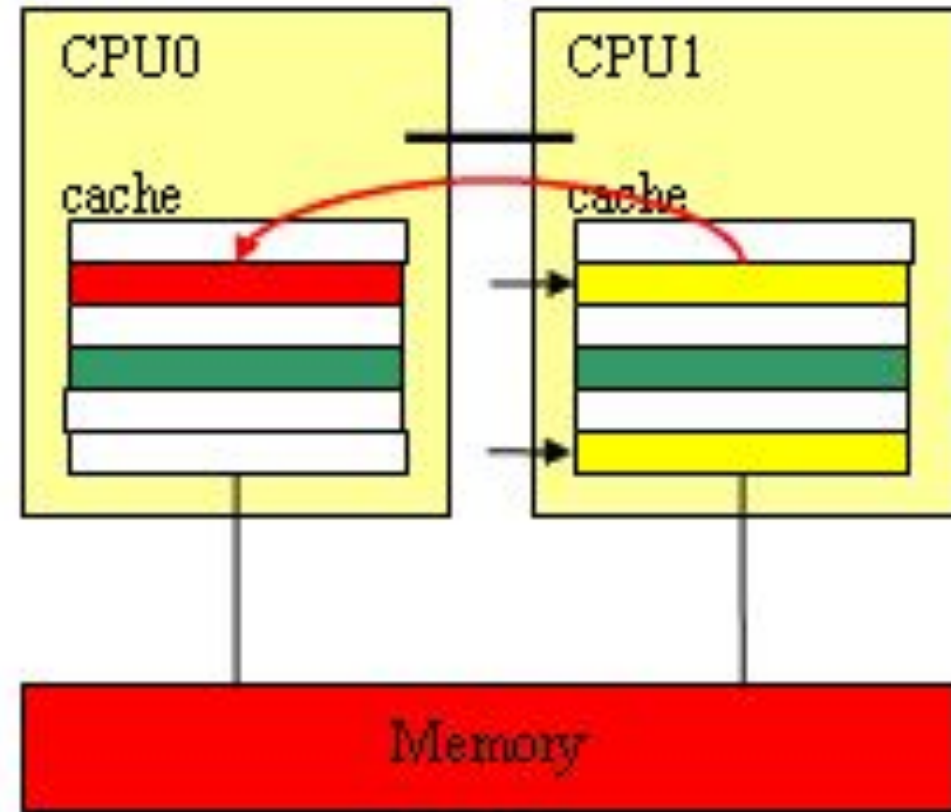
Чтение «устаревших» данных из оперативной памяти

# Кэш

## Чтение корректных данных и

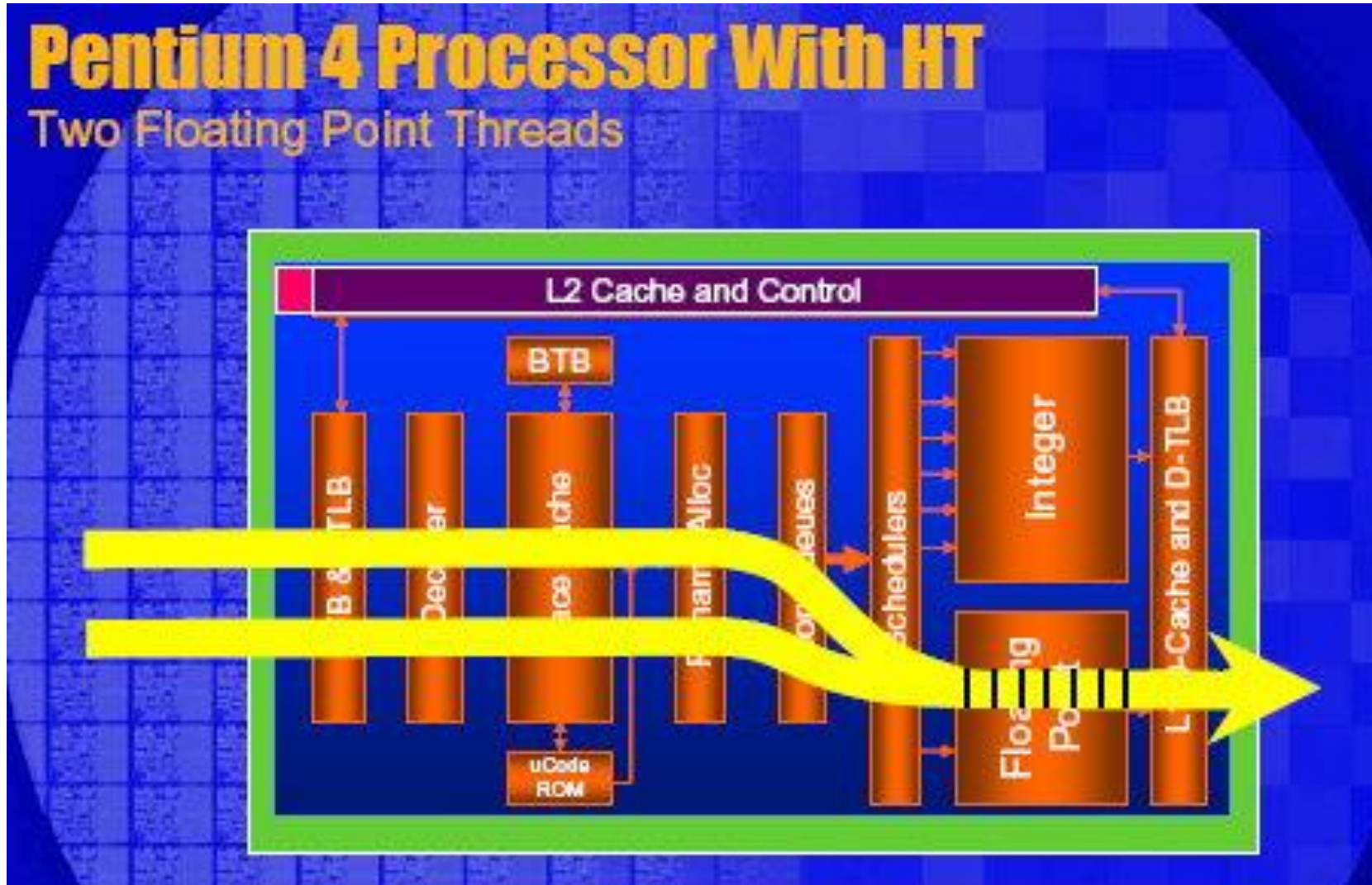


Чтение корректных данных из  
оперативной памяти



Модификация данных в кэше

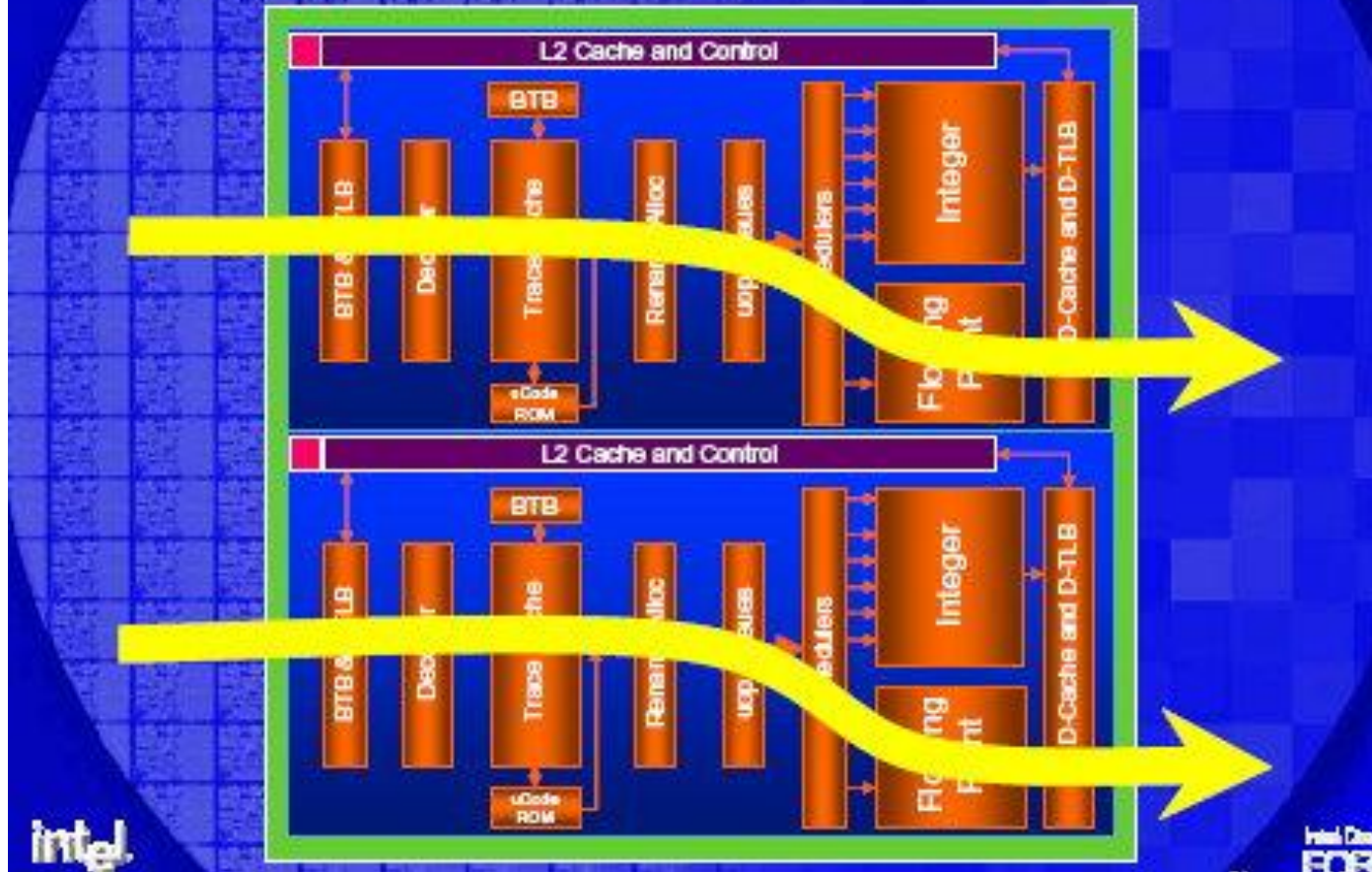
# Pentium 4 Processor With HT



# Pentium D Processor

## Pentium D Processor

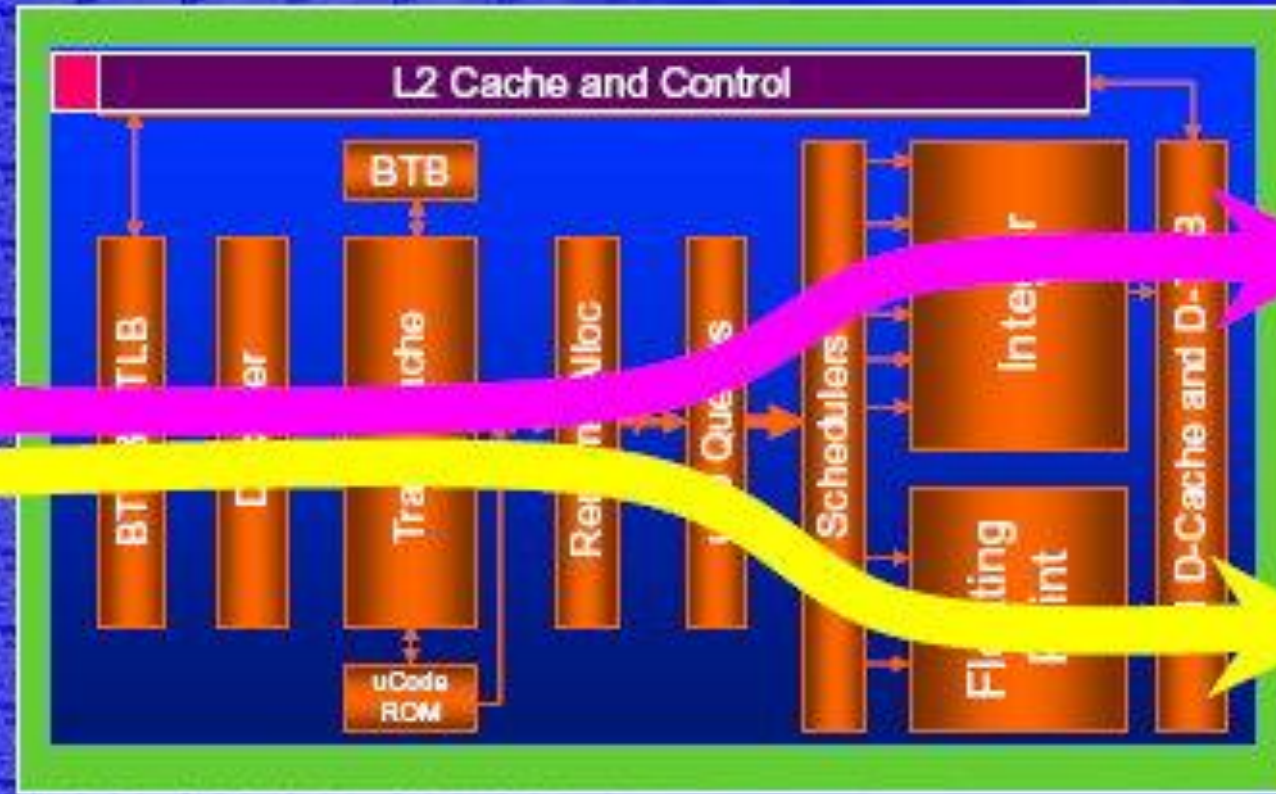
Two Floating Point Threads



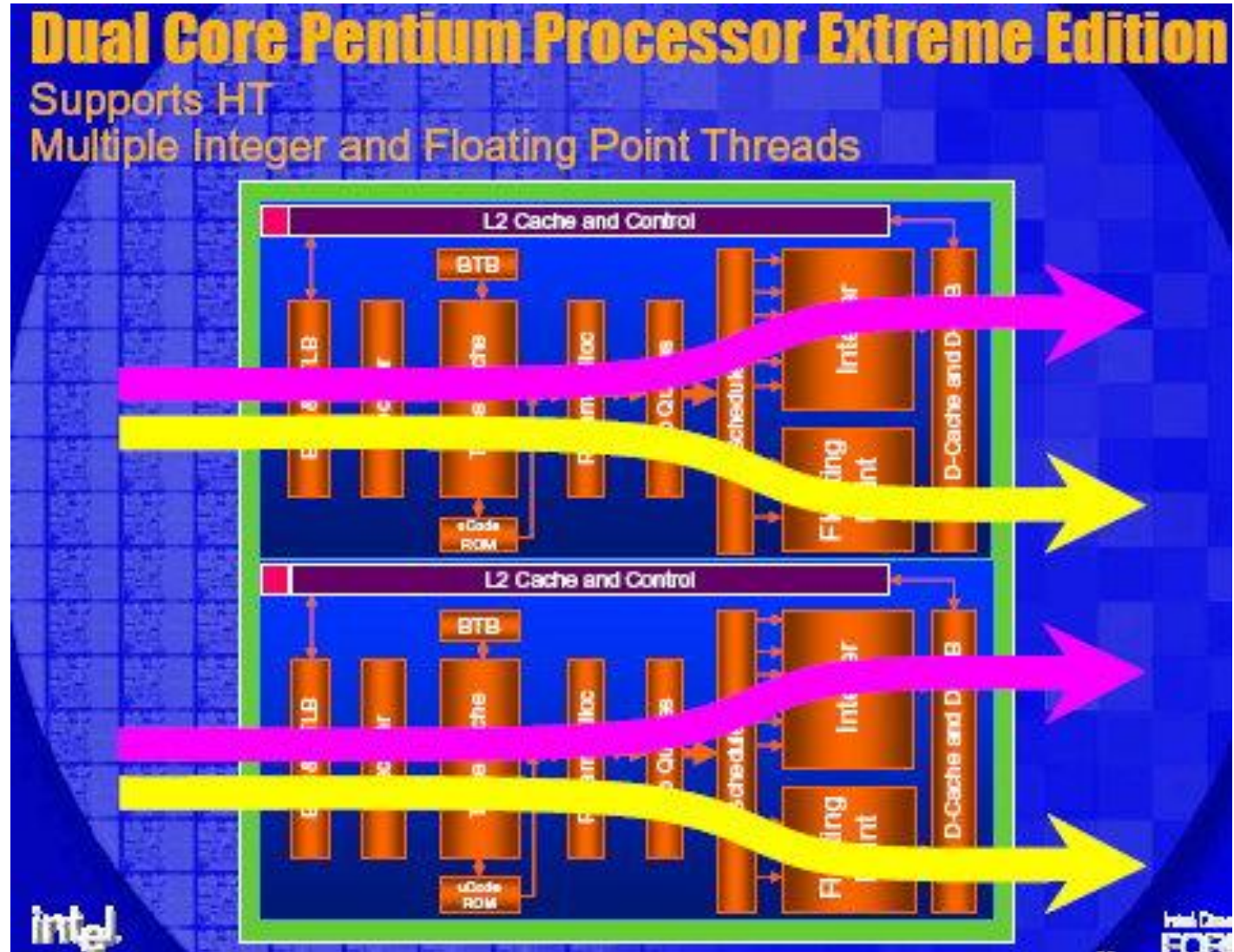
# Pentium 4 Processor With HT

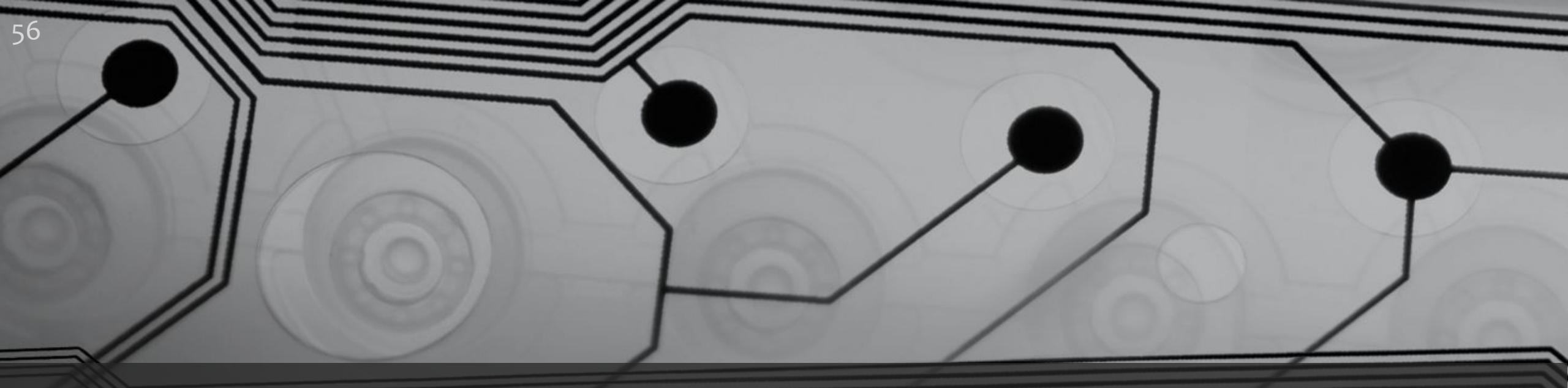
## Pentium 4 Processor With HT

Integer and Floating Point Threads



# Dual Core Pentium Processor Extreme Edition





# Реализация IA-64

Intel Itanium2





## IA-32 / IA-64



# Реализация IA-64: Intel Itanium2

Наиболее кардинальным нововведением IA-64 по сравнению с RISC является «явный параллелизм команд» (EPIC), привносящий в IA-64 некоторые элементы, напоминающие архитектуру «сверхбольшого командного слова» (VLIW).

# EPIC

EPIC (*Explicitly Parallel Instruction Computing*) - явный параллелизм на уровне команд

VLIW (*Very long instruction word*)  
— «очень длинная машинная команда»  
— архитектура процессоров с несколькими вычислительными устройствами. Характеризуется тем, что одна инструкция процессора содержит несколько операций, которые должны выполняться параллельно.

В обеих архитектурах явный параллелизм представлен уже на уровне команд, управляющих одновременной работой функциональных исполнительных устройств (ФИУ).

Соответствующие «широкие команды» HP/Intel называли связками (bundle).

В 1989 году Intel выпустил **i860** (также известен как **80860** и под кодовым названием **N10**) с архитектурой **RISC**. Одной из новинок в **i860** было применение **VLIV**. Этот процессор так и не добился коммерческого успеха, и проект был закрыт.

# Itanium 2

Конвейер в Itanium 2 состоит из 8 этапов, способен за один такт обрабатывать до 6 инструкций и реализует концепцию EPIC.

В конвейере используются :

6 целочисленных АЛУ

6 мультимедийных АЛУ

2 вещественные АЛУ увеличенной точности


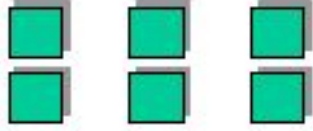
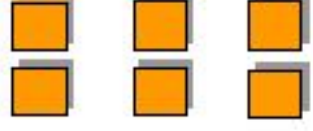
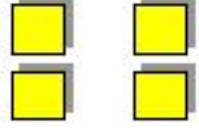
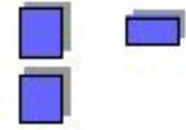
2 доп. вещественных АЛУ обычной точности

2 устройства чтения

2 устройства записи

3 устройства ветвления

# Функциональные устройства

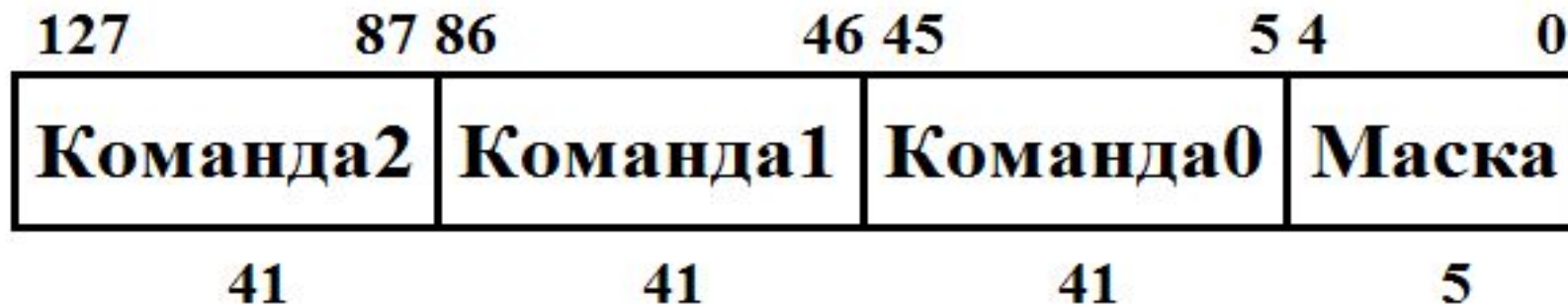
	Itanium <sup>®</sup> 2
<b>F.P.</b>	
<b>Integer</b>	
<b>Multimedia</b>	
<b>Load/Store</b>	
<b>Branch</b>	

# Itanium 2

Каждая из инструкций при разборе связки направляется на соответствующий ее типу конвейер:

- (A) целочисленное АЛУ
- (B) Не-АЛУ целочисленное
- (M) памяти
- (F) вещественные
- (B) Ветвления
- (L) специальные

# Формат связки команд IA-64



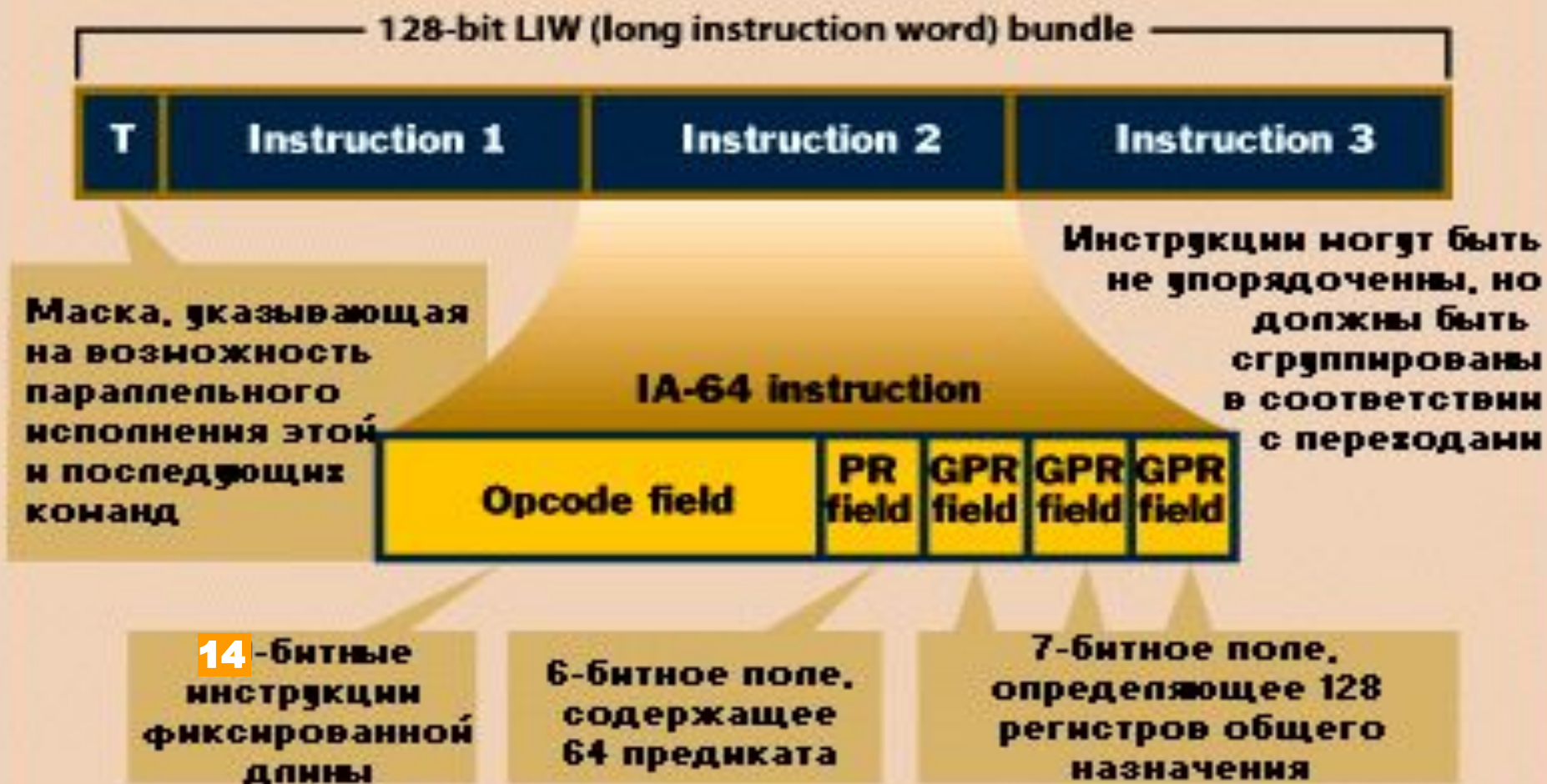
Связка имеет длину 128 разрядов.

Она включает 3 поля – «слота» для команд длиной 41 разряд каждая, и 5-разрядное поле шаблона.

Предполагается, что команды связки могут выполняться параллельно разными ФИУ.



# Формат инструкций IA-64



В 128-битном пакете содержится три команды.

# IA-64

IA-64 перекладывает всю работу по оптимизации потока команд на компилятор.

Каждый 128-битный пакет содержит шаблон (*template*) длиной в несколько бит, помещаемый в него компилятором, который указывает процессору, какие из команд могут выполняться параллельно.

# IA-64

Компиляторы для IA-64 используют технологию "отмеченных команд" (predication) для устранения потерь производительности из-за неправильно предсказанных переходов и необходимости пропуска участков кода после ветвлений.

Когда процессор встречает "отмеченное" ветвление в процессе выполнения программы, он начинает одновременно выполнять все ветви.

После того, как будет определена "истинная" ветвь, процессор сохраняет необходимые результаты и сбрасывает остальные.

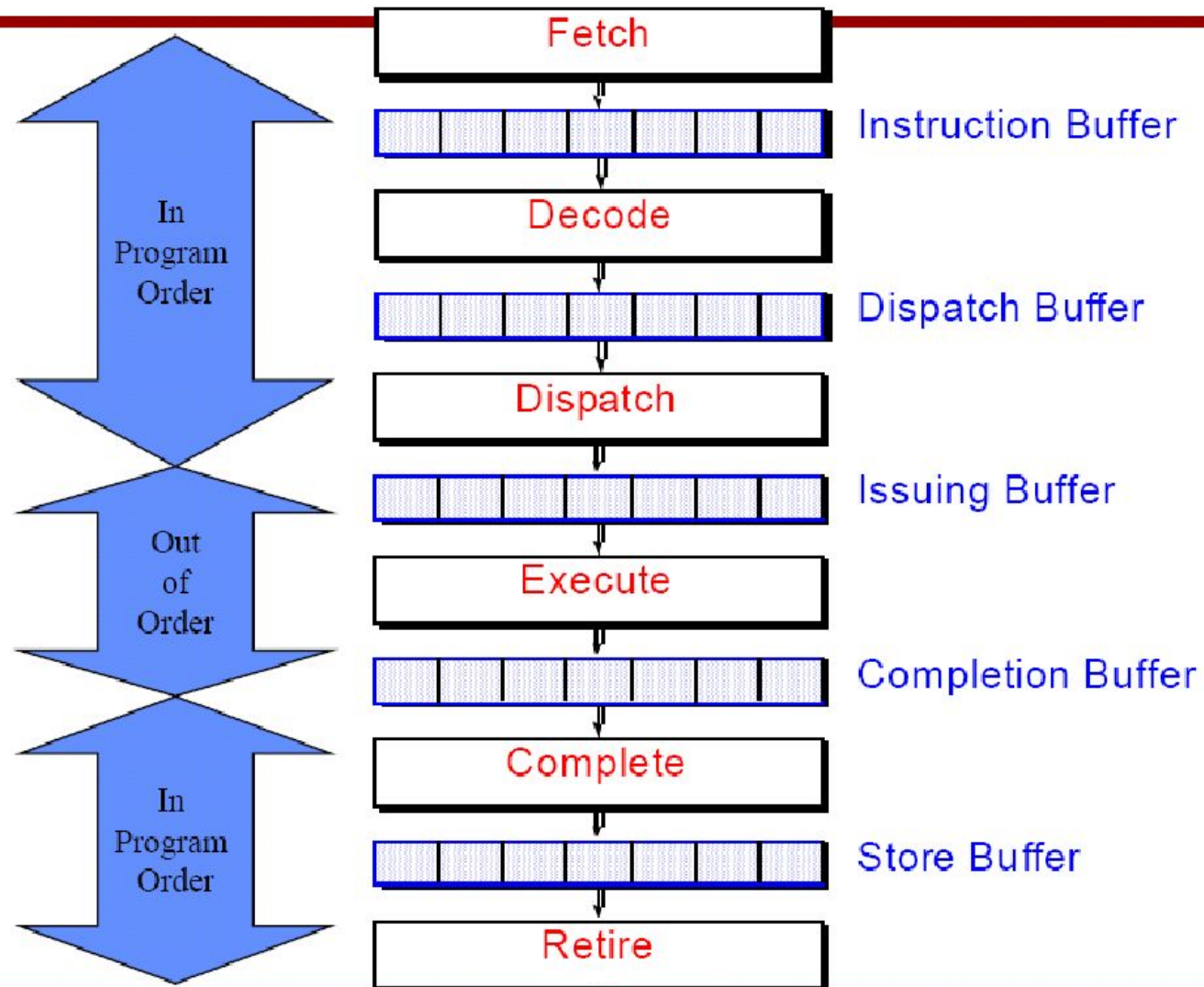
# Конвейер Itanium

Устройство предварительной обработки инструкций в порядке их следования в программном коде (front end).

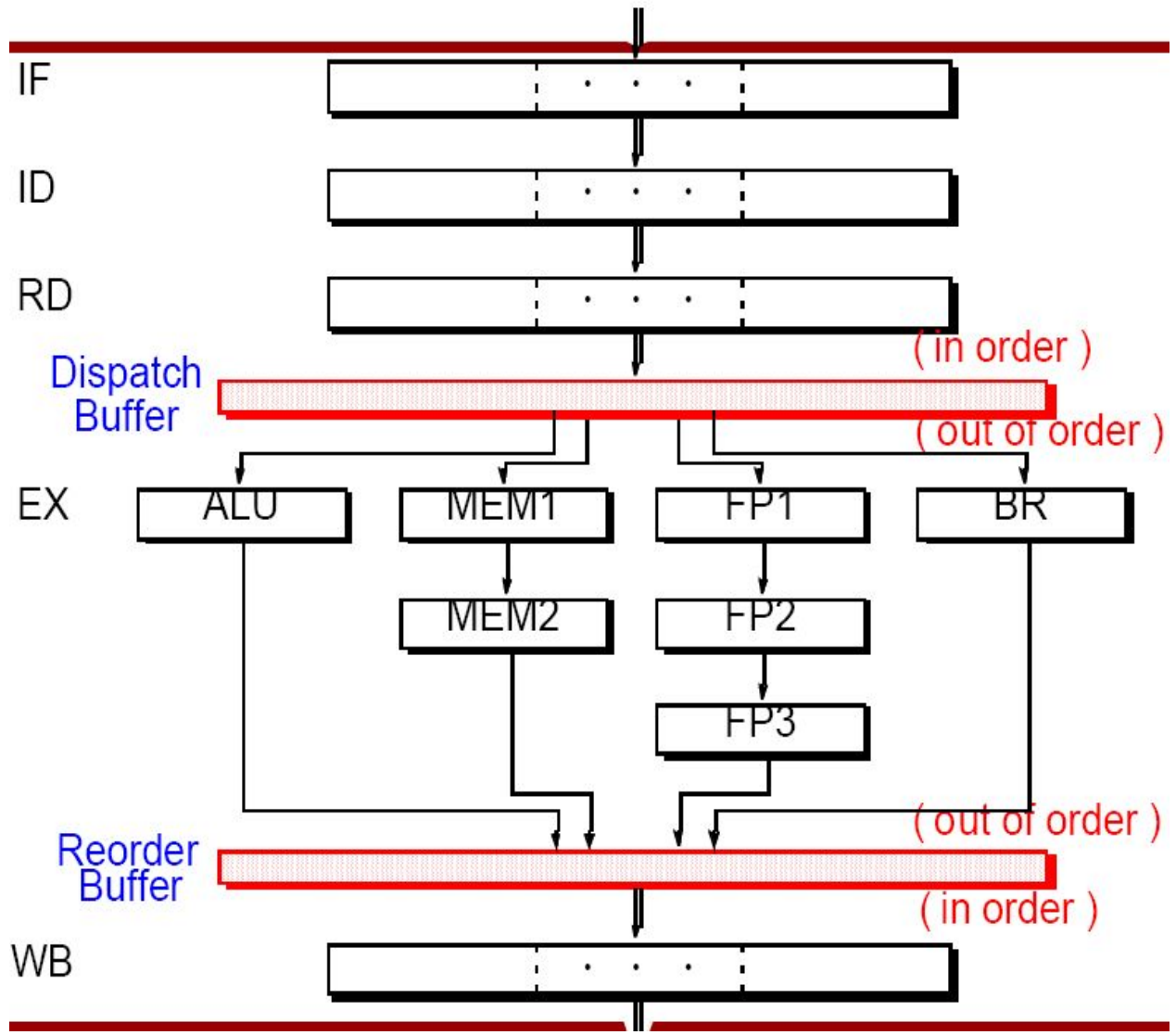
Исполнение вне порядка (Out-Of-Order execution).

Блок упорядоченного завершения (In-order retirement).

# Конвейер CPU с внеочередным исполнением команд



# Out-of-order Processor Pipeline (2)



The background of the slide features a complex, stylized circuit board pattern. It consists of multiple parallel lines representing traces, with several circular nodes connected by straight lines. The pattern is rendered in shades of gray and black, creating a technical and futuristic aesthetic. The top and bottom portions of the slide are dominated by this circuit pattern, while the middle section is a solid black rectangle containing the text.

# 80-ядерный процессор

Intel Teraflops Research Chip

# Технология

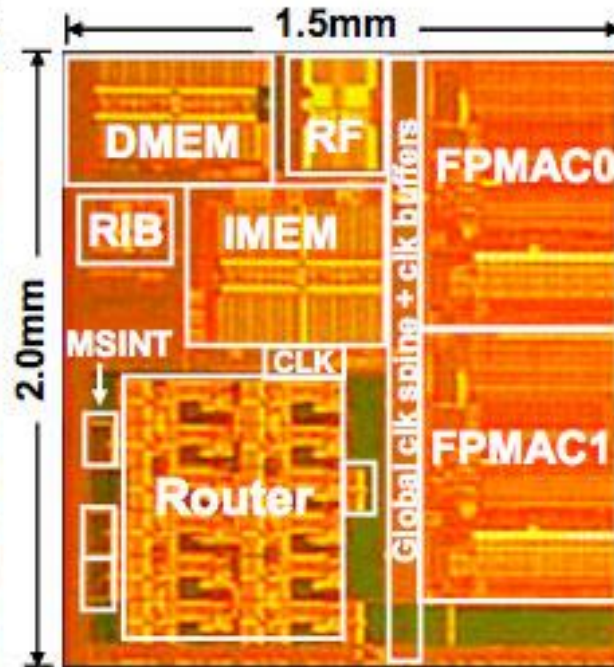
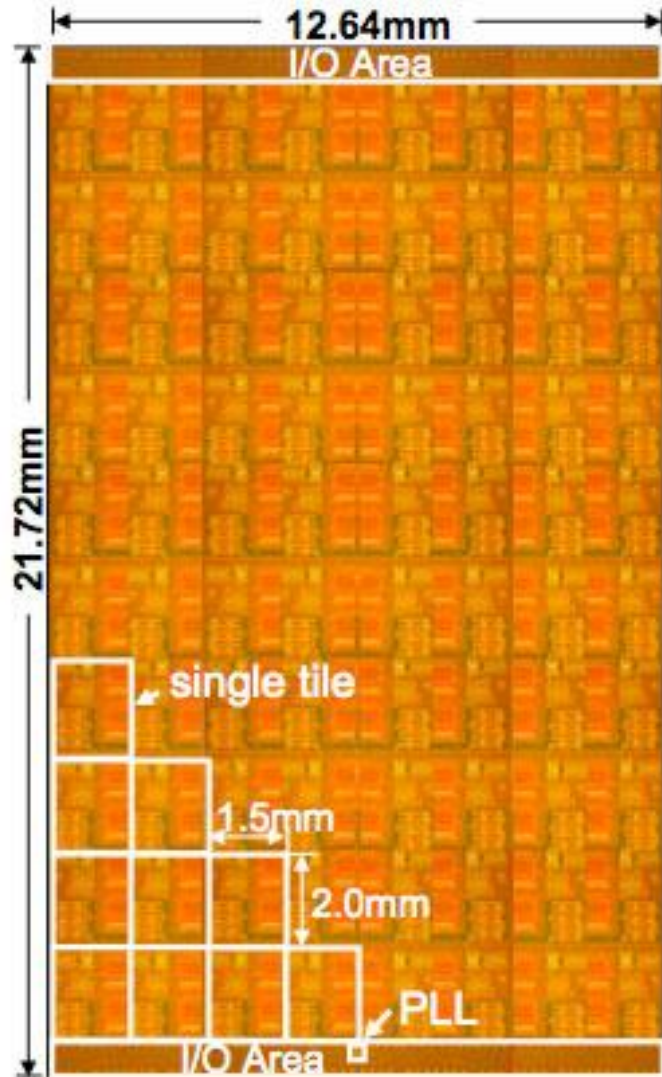
Teraflops основан на техпроцессе 65 нм.

Процессор построен на одной подложке, объединившей 80 независимых процессорных ядер. Ядра размещены в виде прямоугольника 8x10. Одно ядро имеет площадь 3 кв. миллиметра.

Чип использует упаковку LGA с 1248 контактами. 343 из них используются для передачи сигналов, а остальные - это питание и земля.



# Ядро Intel Teraflops



Technology	65nm CMOS Process
Interconnect	1 poly, 8 metal (Cu)
Transistors	100 Million
Die Area	275mm <sup>2</sup>
Tile area	3mm <sup>2</sup>
Package	1248 pin LGA, 14 layers, 343 signal pins

Каждое ядро состоит из блока обработки Processing Engine (PE), выполняющего все вычисления и 5-портового роутера

Роутер ядра используется для передачи данных и команд в сети между ядрами.

Роутер каждого ядра имеет пять 39-битных портов, которые обеспечивают общую пропускную способность 80 ГБ/с.

Основное достижение Интел в этом чипе то, что вычислительный модуль может быть заменен на все что угодно, включая ядра x86, ядра DSP и др.

# Частоты и управление питанием

## Fine Grain Power Management

- Novel, modular clocking scheme saves power over global clock
- New instructions to make any core sleep or wake as apps demand
- Chip Voltage & freq. control (0.7-1.3V, 0-5.8GHz)

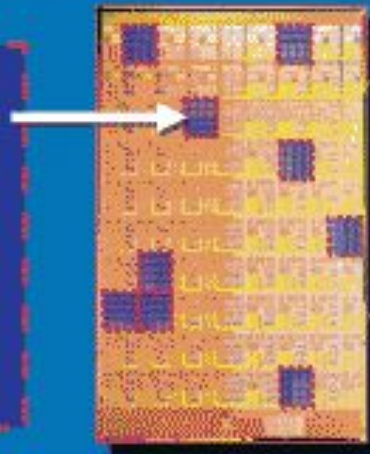
### Dynamic sleep

#### STANDBY:

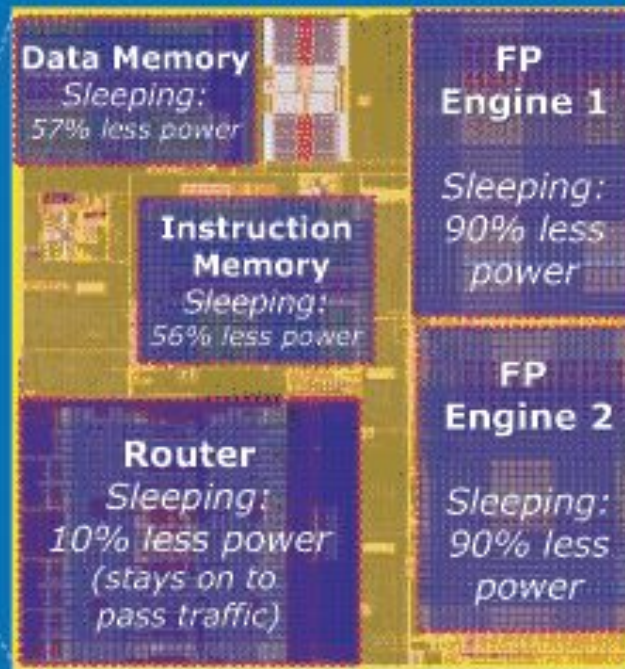
- Memory retains data
- 50% less power/tile

#### FULL SLEEP:

- Memories fully off
- 80% less power/tile



21 sleep regions per tile (not all shown)



Industry leading energy-efficiency of 16 Gigaflops/Watt

Content under media embargo through  
Sunday, February 11<sup>th</sup> Noon PST



# Синхронизация

Разработчикам очень трудно обеспечить появление частотного сигнала в одно и то же время во всех частях процессора, особенно, принимая во внимание увеличение рабочих частот и площади процессоров. Но это необходимо для нормальной работы процессора. Intel говорит, что обеспечение синхронизации тактовой частоты требует около 30% всей энергии, потребляемой процессором.

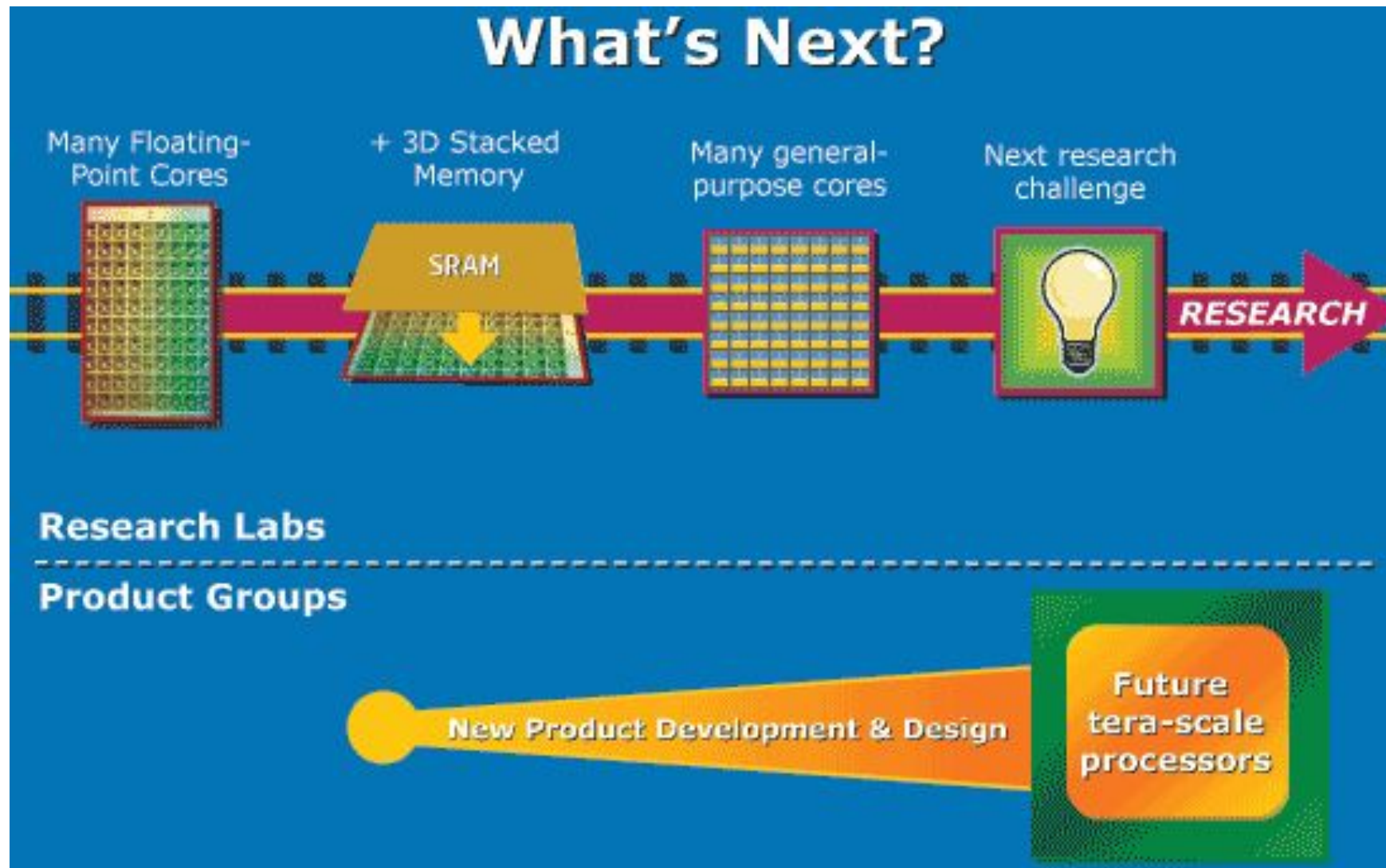
- Чип может работать на нескольких скоростях, в зависимости от рабочего напряжения.
- При частоте 4 ГГц чип может достичь производительности 1,28 терафлоп при энергопотреблении 181 Вт.
- Самая низкая частота, на которой может работать чип - 1 ГГц, энергопотребление при этом - 11 Вт, а количество выполняемых операций с плавающей запятой может достигать 310 миллиардов в секунду.

# Перспективы

Процессор с производительностью, измеряющейся с приставкой тера- является переломным этапом.

Intel заявляет, что следующим шагом в продолжении исследований станет появление трехмерных многослойных ядер.

# Что дальше?



# ТСИС

(Технические средства информационных систем)

Программное обеспечение информационных систем (1-40 01 73)

- Лекция 7

Производительность.

Многопроцессорные системы

Ковалевский Вячеслав Викторович

[4096tb@gmail.com](mailto:4096tb@gmail.com)

*Тема письма:*

БГУИР. ... .



<https://www.dropbox.com/s/1jgswsi3cd33rj5/TCIC.Lec7.pps?dl=0>

