

**НИИМЭ**

АО «Научно-исследовательский  
институт молекулярной  
электроники»

# Транзисторные структуры в современной микроэлектронике

Геннадий Яковлевич Красников  
Академик РАН  
Генеральный директор АО «НИИМЭ»

Новосибирск  
19.05.2017г.

# История возникновения микроэлектроники

## Биполярный транзистор

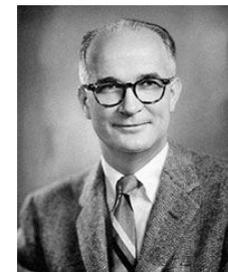


**Начало развитию микроэлектроники было положено в 1947г.,** когда сотрудники «Лаборатории Белла» Уильям Шокли, Джон Бардин и Уолтер Браттейн создали биполярный транзистор.

**В 1956 году они были награждены Нобелевской премией по физике «за исследования полупроводников и открытие транзисторного эффекта».**

**Транзисторы заменили вакуумные лампы в большинстве электронных устройств, совершив революцию в создании интегральных схем и компьютеров.**

Слово «транзистор» (transistor, образовано от слов transfer — передача и resist — сопротивление).



*Уильям Шокли*



*Джон Бардин*



*Уолтер Браттейн*

# История возникновения микроэлектроники

## Полевой транзистор



**Первые патенты на принцип работы полевых транзисторов были зарегистрированы в Германии в 1928г. на имя Юлий Эдгар Лилиенфелд.**

**В 1934г. немецкий физик Оскар Хейл запатентовал полевой транзистор.** Полевые транзисторы основаны на простом электростатическом эффекте поля, по физике они существенно проще биполярных транзисторов, и поэтому они придуманы и запатентованы задолго до биполярных.

**Первый МОП-транзистор был изготовлен намного позже биполярного в 1960г. и микросхемы развивались на основе биполярного транзистора.** Только в 90-х годах прошлого века МОП-технология стала доминировать над биполярной.

**В 1977 году Джеймс Маккаллахем из Bell Labs установил, что использование полевых транзисторов может существенно увеличить производительность существующих вычислительных систем.**



*Юлий Эдгар Лилиенфелд*



*Оскар Хейл*

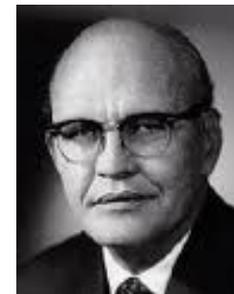
**С этого момента начала наступать  
эра полевых транзисторов.**

# История возникновения микроэлектроники

## Открытие интегральной микросхемы

**В 1958** году двое учёных, работавших в разных компаниях, изобрели практически идентичную модель интегральной схемы. Один из них, Джек Килби, работал на Texas Instruments, другой, Роберт Нойс, был одним из основателей небольшой компании по производству полупроводников Fairchild Semiconductor. Обоих объединил вопрос: «Как в минимум места вместить максимум компонентов?». Транзисторы, резисторы, конденсаторы и другие детали в то время размещались на платах отдельно, и учёные решили попробовать их объединить на одном монокристалле из полупроводникового материала. Только Килби воспользовался германием, а Нойс предпочёл кремний.

**В 1961** году Fairchild пустила интегральные схемы в свободную продажу, и их сразу стали использовать в производстве калькуляторов и компьютеров вместо отдельных транзисторов, что позволило значительно уменьшить размер и увеличить производительность.

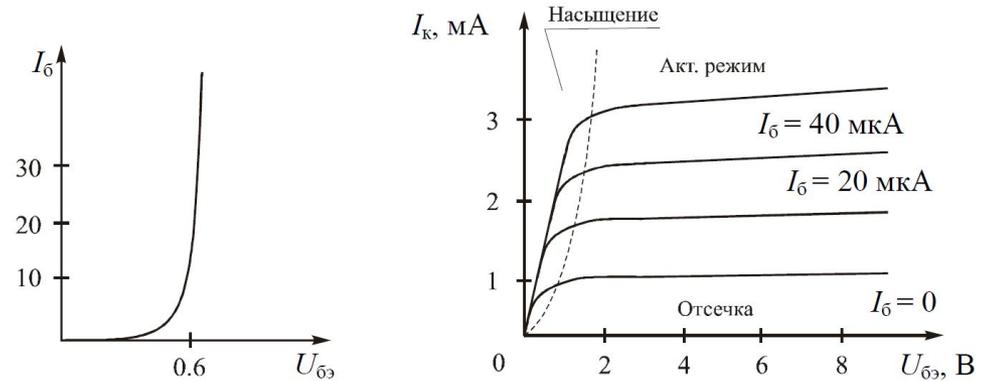


*Джек Килби*



*Роберт Нойс*

# Биполярные транзисторы: архитектура, ВАХ, достоинства и недостатки



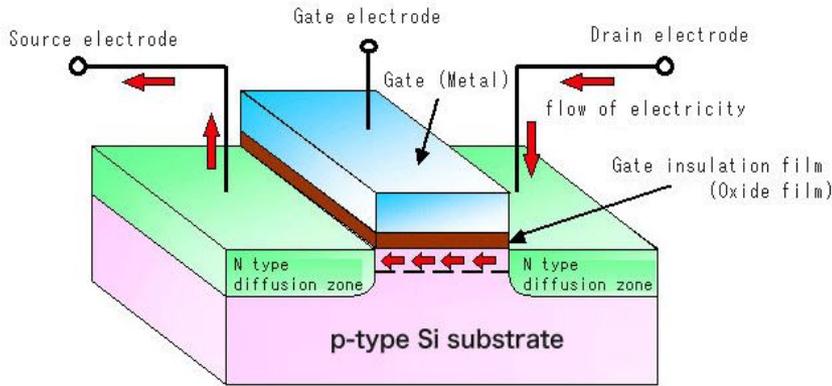
## Преимущества биполярных транзисторов

- Большие рабочие температуры.
- Меньшая чувствительность к статическому электричеству.
- Большая рассеиваемая мощность.

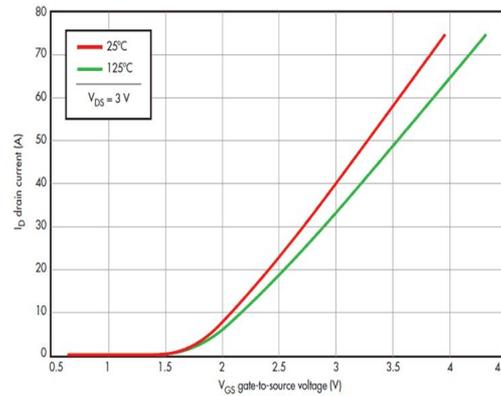
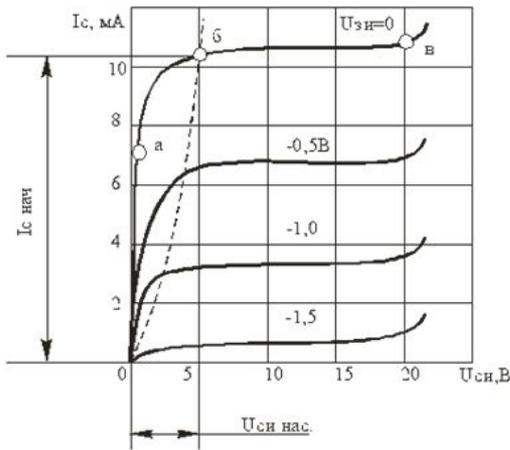
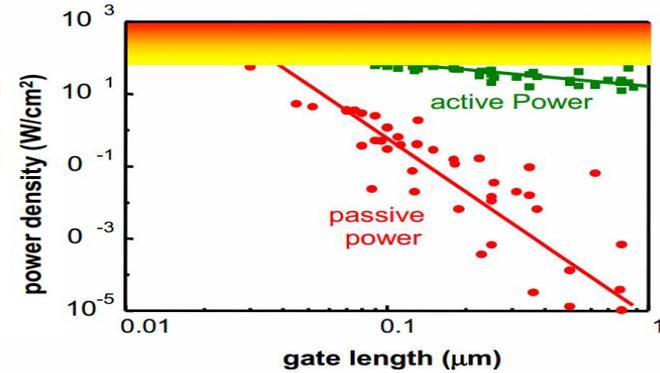
## Недостатки биполярных транзисторов

- Большое энергопотребление
- Меньшее усиление по току.
- Значительно меньше помехоустойчивость.
- Плохая масштабируемость.
- Высокие токи утечки.

# МОП транзисторы: архитектура, ВАХ, достоинства и недостатки



## Токи утечки – главный ограничитель миниатюризации приборов



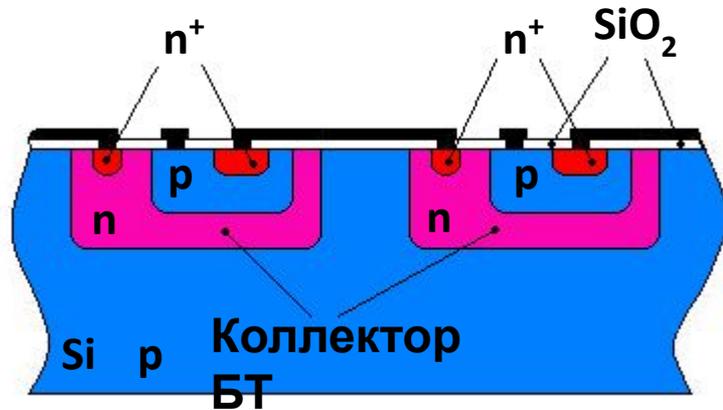
### Преимущества:

- относительная простота конструкции и технологичность
- функционирует на основных носителях заряда, следовательно меньше требования к «чистоте» объемного материала
- меньше р-п переходов, выходящих на поверхность

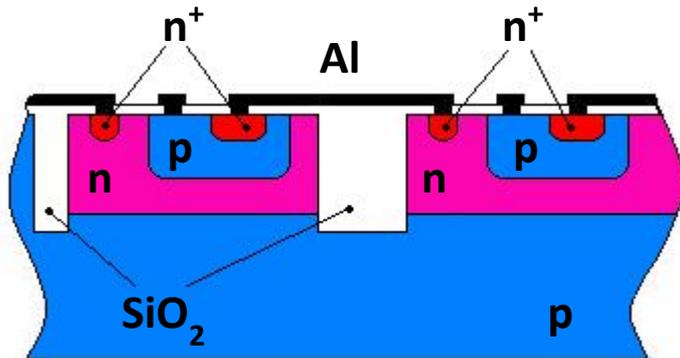
### Недостатки:

- высокие требования к чистоте поверхности исходной подложки
- высокие требования к подзатворному диэлектрику
- меньше рабочие токи
- больше (в сравнении с БП) RC задержки

## Изоляция обратным смещенным р-п переходом



## Диэлектрическая изоляция



### Преимущества

- Простота

### Недостатки

- Высокие паразитные емкости
- Малая степень интеграции
- Не применима для технологий с проектными нормами менее 5 мкм.

### Преимущества

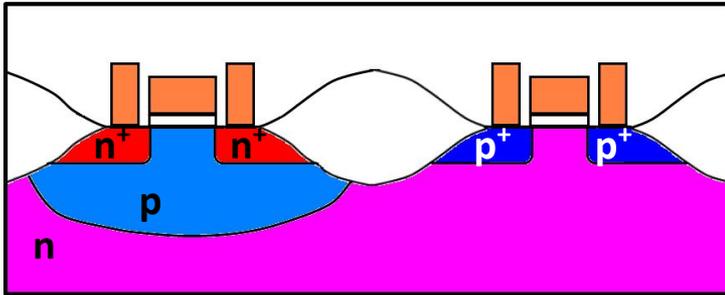
- Высокая степень интеграции
- Малые паразитные емкости

### Недостатки

- Технологически сложнее чем изоляция обратным смещенным р-п переходом

# Диэлектрическая межтранзисторная изоляция полевых транзисторов

## LOCOS



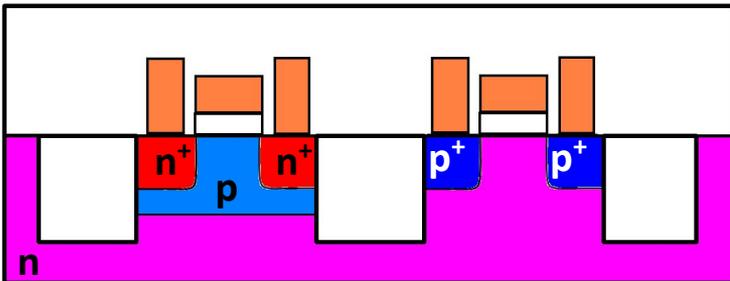
### Преимущества

- Технологически проще чем STI

### Недостатки

- Наличие птичьего клюва
- Не применима для технологий с проектными нормами менее 0,8 мкм.

## STI



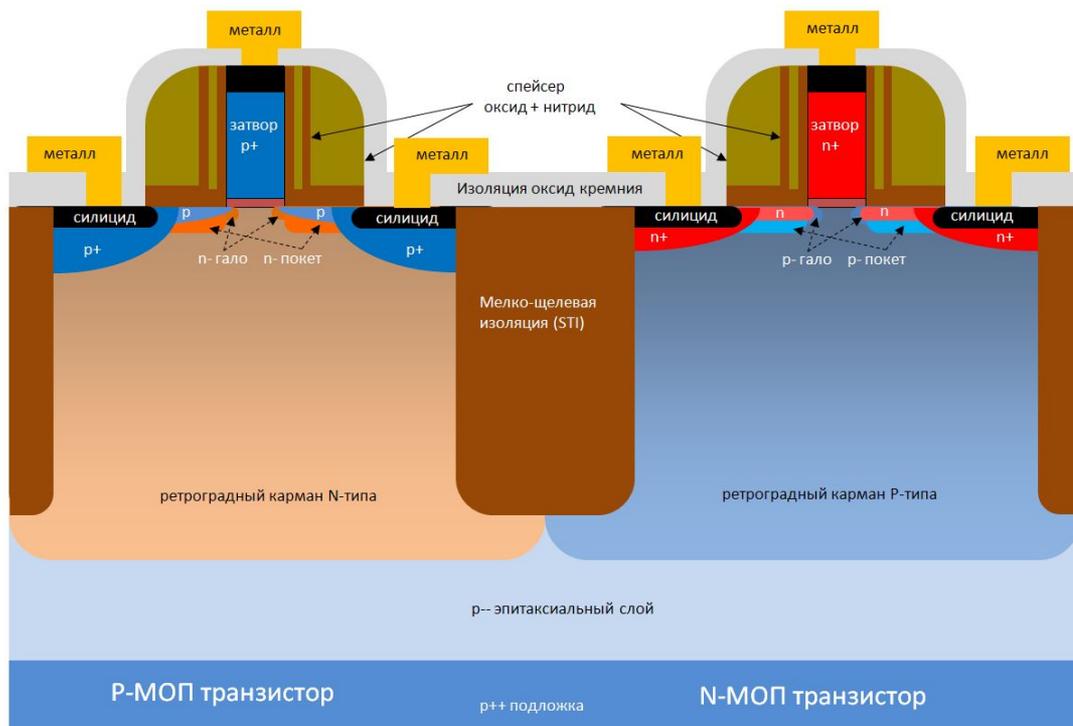
### Преимущества

- Высокая степень интеграции
- Лучше масштабируемость

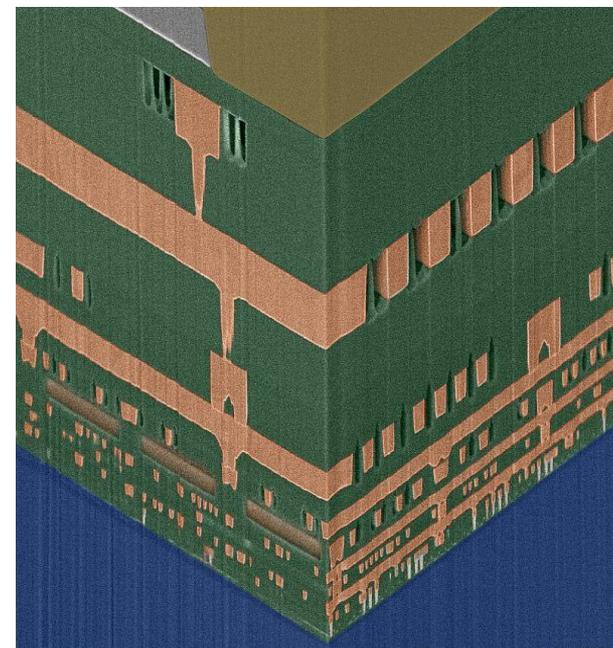
### Недостатки

- Технологически сложнее чем LOCOS

## Число слоев металлизации в микрочипах по технологии 90нм: 9 уровней

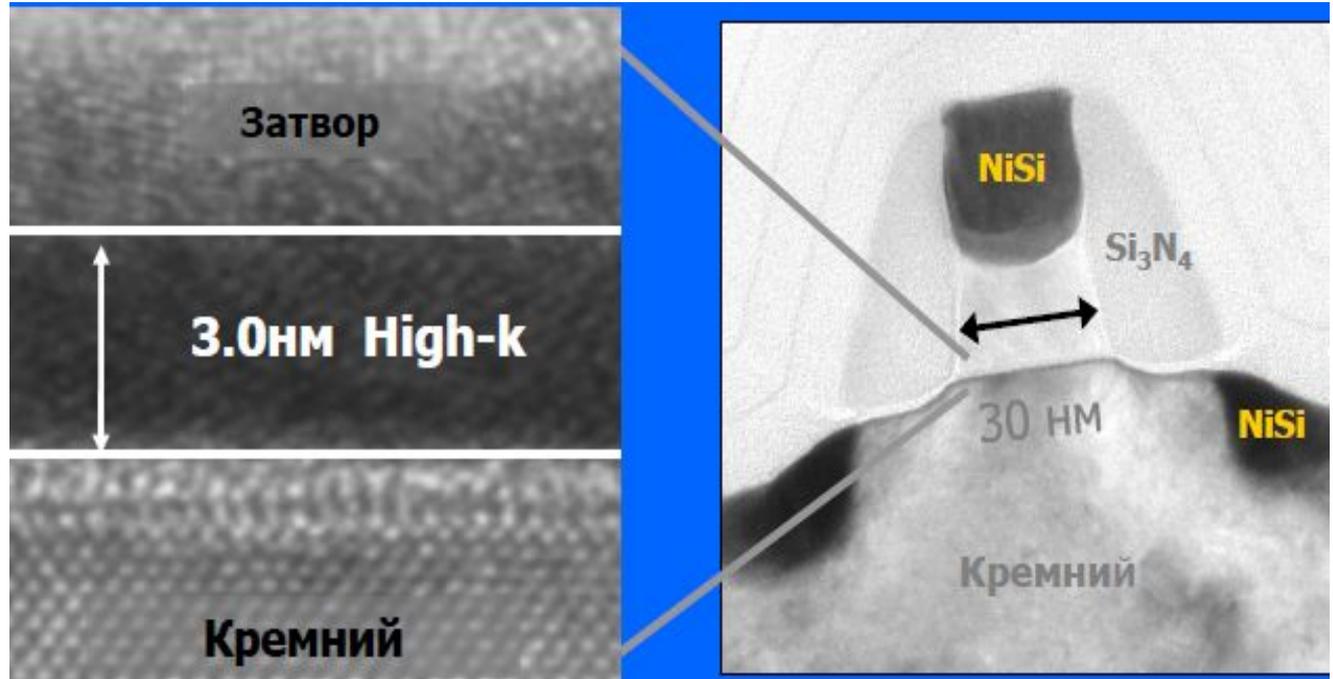


## Число слоев металлизации в микрочипах по технологии 65-45нм: 9-15 уровней



# Структура современного транзистора

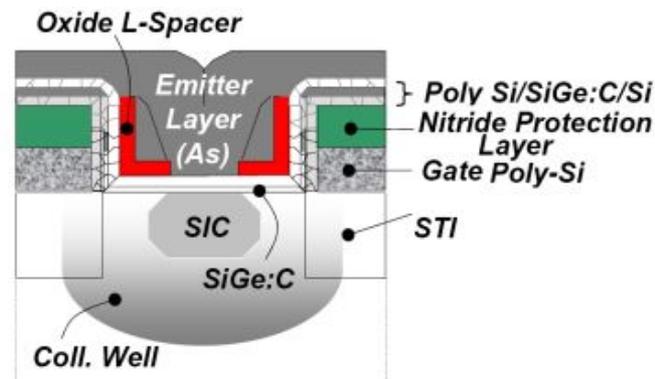
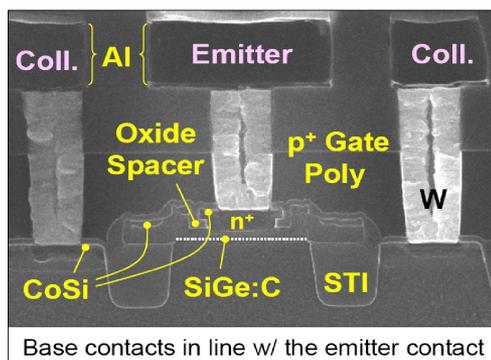
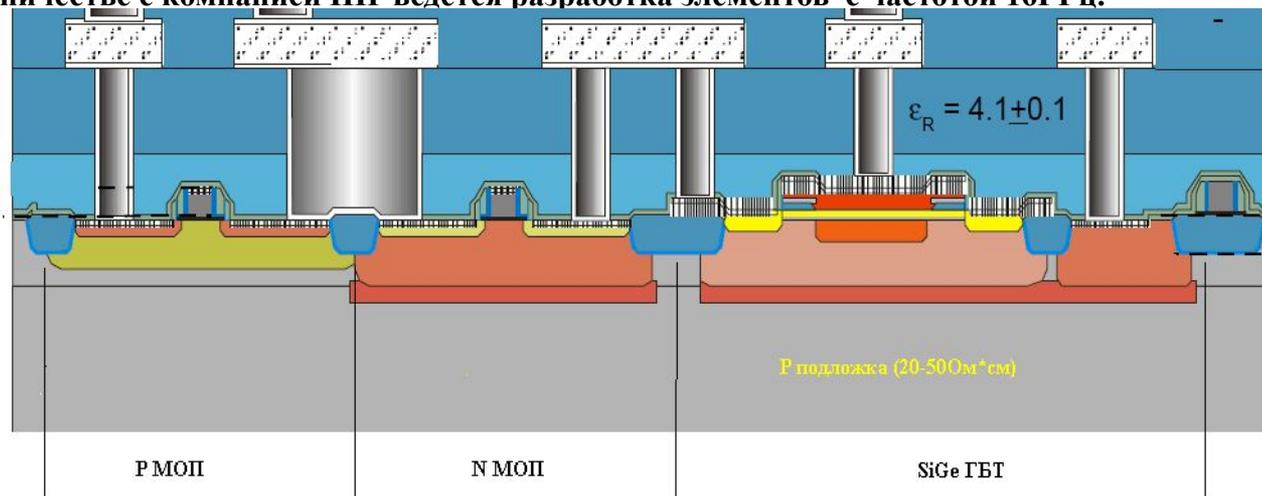
Аморфный кремний	50 нм
<hr/>	
TiN Al TiN	35 нм
<hr/>	
HfON	1,7 нм
<hr/>	
SiON	1,4 нм



- 4 Для изготовления ГБТ используется одна дополнительная маска;
- 4 В рамках процесса возможно изготовление трех типов ГБТ с различными частотными характеристиками (ГГц):

$f_T/f_{\max}$  (Vce (B)):      30/70 (7);      50/95 (4,2)      80/95 (2,4)

- 4 В сотрудничестве с компанией ИНР ведется разработка элементов с частотой 16ГГц.



## Случайные флуктуации примесей ( $V_T$ или $V_{TH}$ )

- Вызывается случайными положениями атомов примеси
- При масштабировании:

$$\sigma_{V_T} \propto \frac{1}{\sqrt{WL}} \uparrow$$

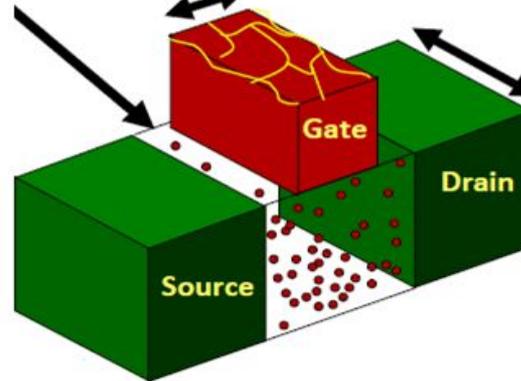
## Работа выхода затвора ( $\Phi_M$ )

- Причина: зернистость
- Влияет на  $V_T$

## Длина затвора ( $L_G$ )

- Причина: неровный край
- Влияет  $V_T, DIBL$

- При масштабировании:  $\frac{\sigma_{L_G}}{L_G} \uparrow$



## Ширина канала ( $W$ )

- Причина: неровный край скругления углов
- Может влиять на  $V_T$

- При масштабировании:  $\frac{\sigma_W}{W} \uparrow$

**Увеличение изменений при масштабировании!**

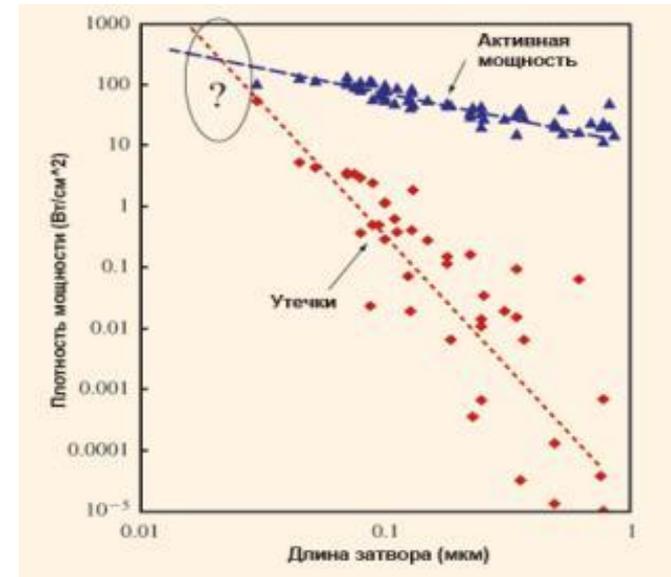
1. Проблемы(уменьшение разброса) технологических операций (Photo, Plasma Etch, Impl, CMP, Wet, CVD, PECVD, LPCVD, PVD, LAD, RTP, Cu plating, Metro, Test).
2. Уменьшение задержки в RC-цепочках межсоединений . Их влияние на задержку сильно возрастает, т.к. задержка в транзисторе уменьшается, а в межсоединениях возрастает, необходима оптимизация.



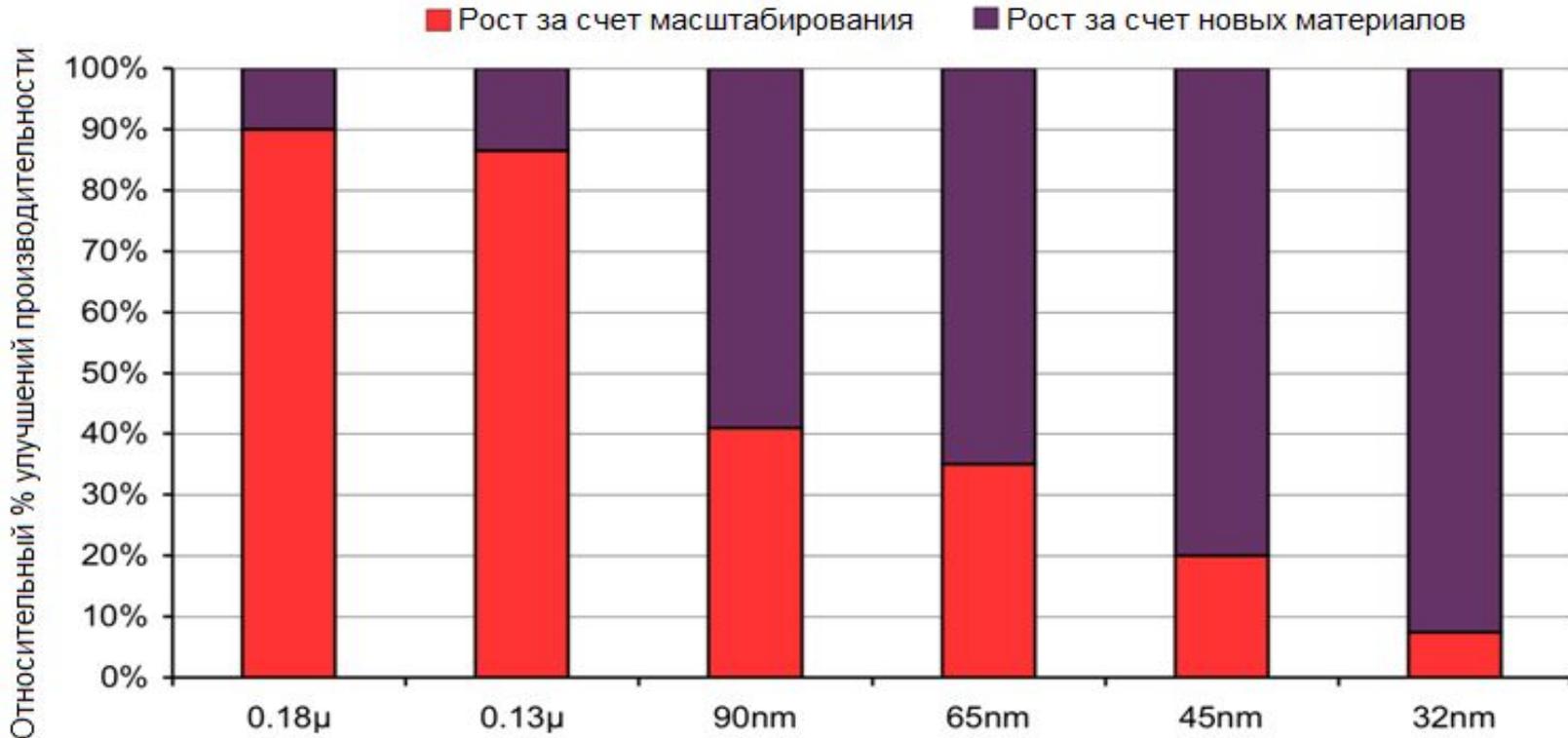
$$RC \sim \rho_{met} K_{ox} L^2 / t_{ox} t_{met}$$

Уменьшение уд. сопротивления металлической разводки и использование Low-K диэлектриков.

3. Снижение уровня утечек в активном и пассивном режимах . Возрастает плотность статической потребляемой мощности из – за токов утечек и становится сравнимой с динамической мощностью.
4. Обеспечение приемлемого значения сигнал/шум.
5. Обеспечение контроля электромиграции медных проводников с помощью барьерных слоёв, блокирующих диффузию.

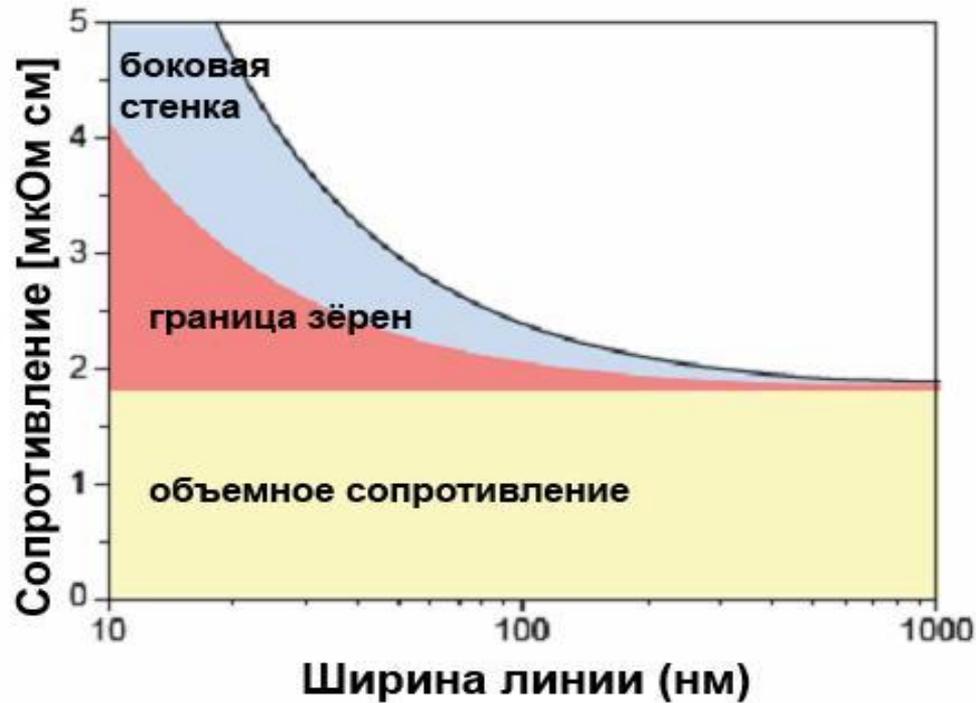


# С каждым следующим поколением технологический рост производительности чипов все сильнее определяется новыми материалами, а не только масштабированием

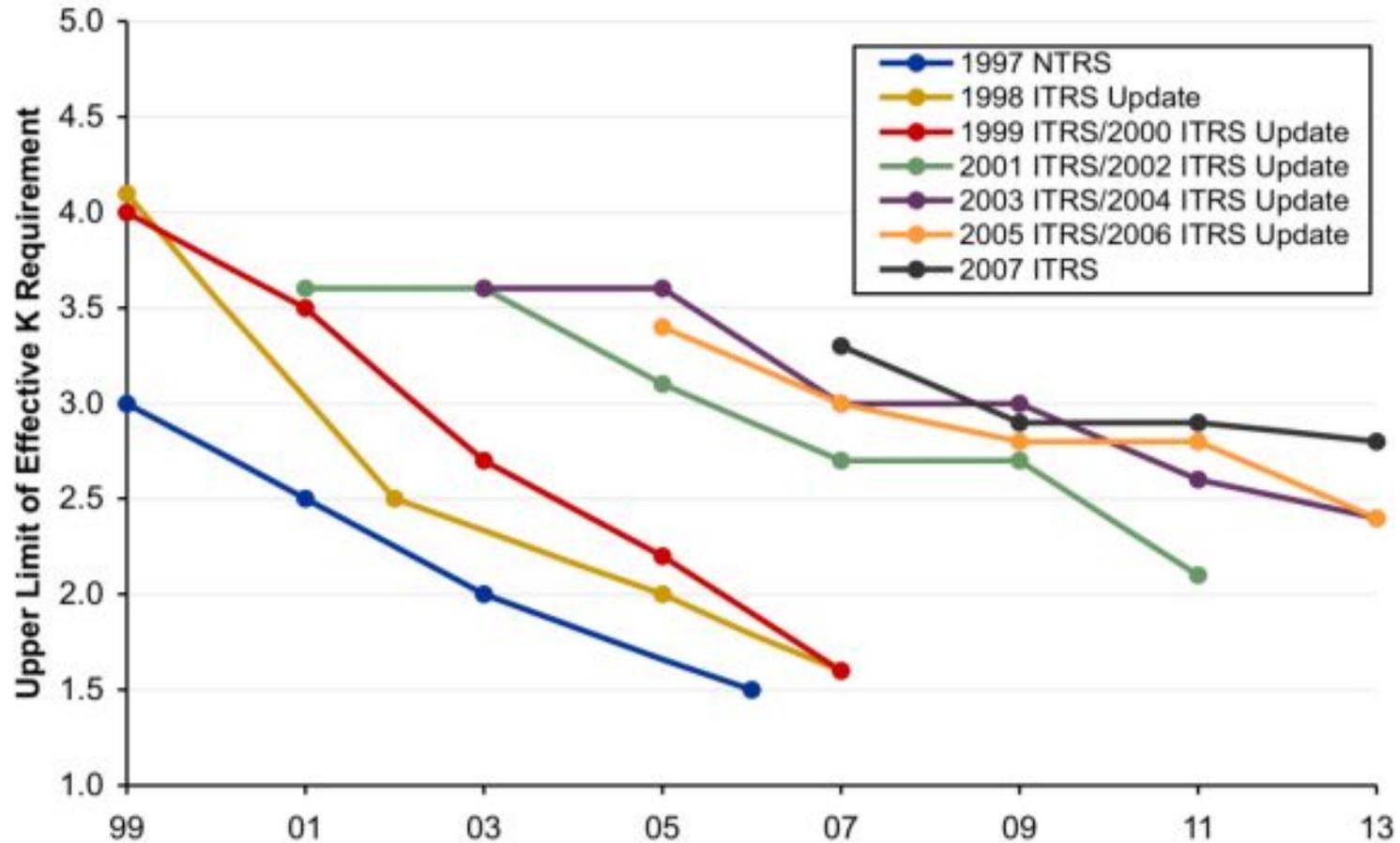


На начальных этапах развития микроэлектроники переход на новый уровень был возможен с помощью простого масштабирования, то по мере уменьшения норм до 1 мкм и менее такие переходы стали требовать сложных решений: коренных изменений процесса и оборудования фотолитографии, новых материалов, структур и т.п.

# Проблема дальнейшего развития по Закону Мура: Удельное сопротивление $\rho$



- Поскольку шаг межсоединений продолжает сокращаться, более высокое электрическое сопротивление будет связано не только с удельным сопротивлением меди, но также и с другими источниками, например, рассеянием на границе зёрен и поверхностным рассеянием электронов. Покрытие CoWP;
- Как показано на рисунке, эти вторичные источники сопротивления начинают доминировать при минимальных размерах элементов ИС менее 30нм.



**Основной проблемой внедрения межуровневых диэлектриков с низкой диэлектрической постоянной является то, что все другие изоляторы обладают худшими физическими свойствами (тепловыми, механическими, и/или химическими) по сравнению с SiO<sub>2</sub>.**

Оптическая литография



- Оптическая проекционная литография, UV – 436, 404, 365 нм;
- Оптическая проекционная литография, DUV – 248, 193 нм;
- Оптическая иммерсионная литография, DUV – 193 нм;
- Оптическая проекционная литография, EUV – 13,56 нм;
- DSA литография (как комплементарная к оптической проекционной, иммерсионной литографии);
- Оптическая интерференционная литография;
- Безмасочная оптическая проекционная литография;

1. Электронно-лучевая литография (ML1 – один луч);
2. Многолучевая электронная литография (ML2 – много лучей);

Голографическая литография;

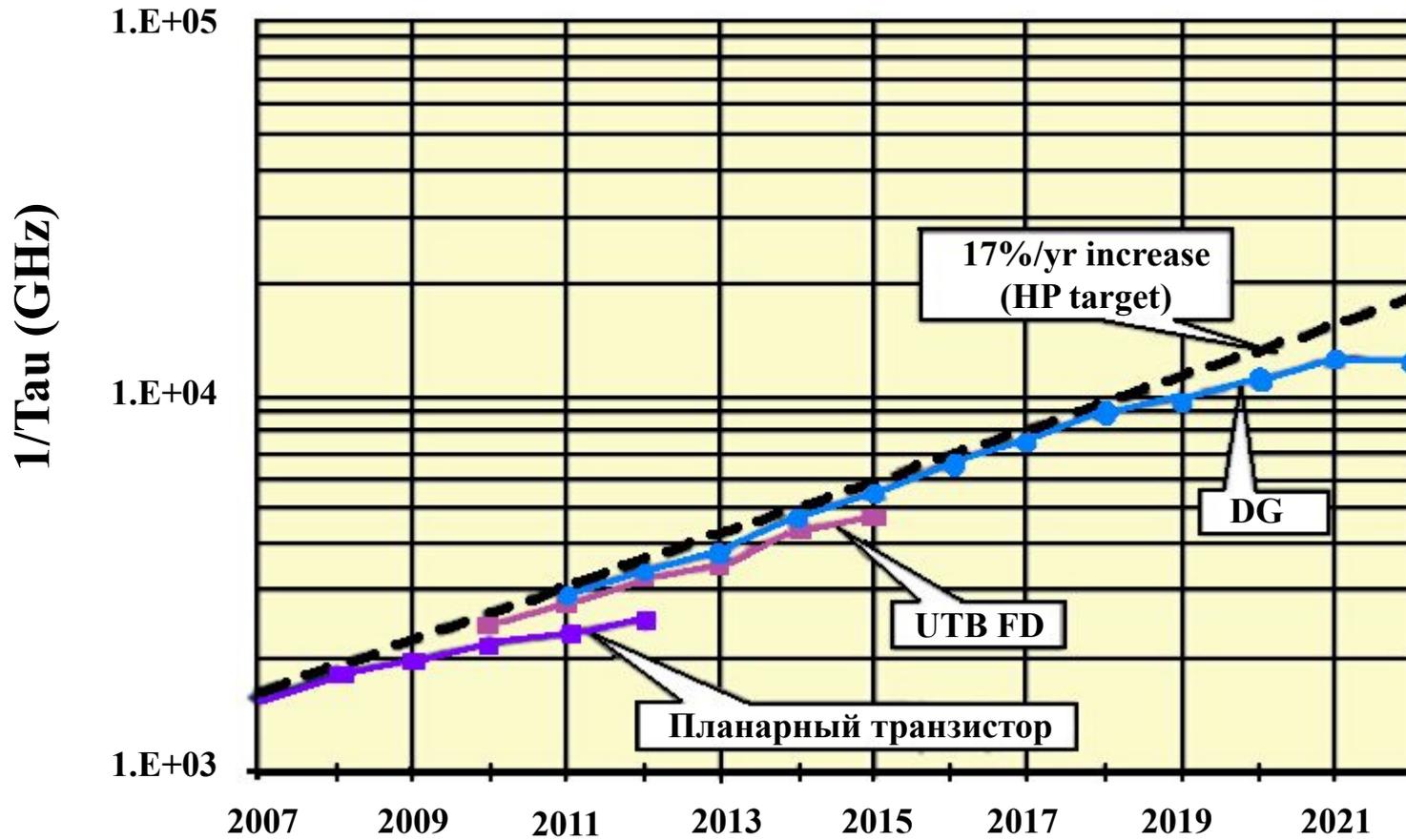
Рентгеновская литография;

Ионно-лучевая литография;

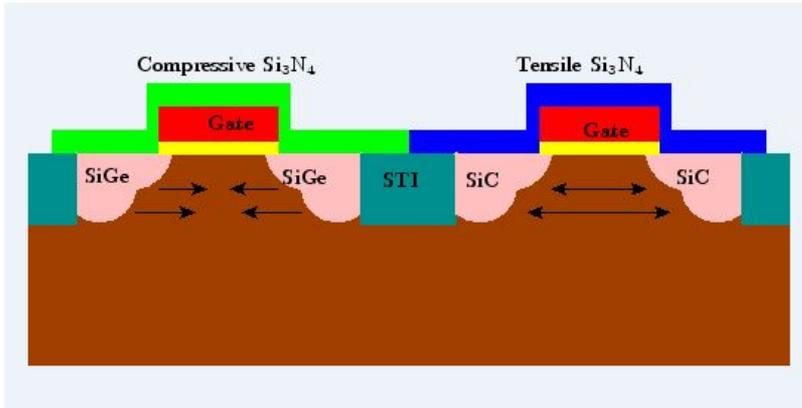
Атомная литография;

Nanoimprint литография;

**В маршрутах СБИС нашла массовое применение оптическая литография, сейчас находят применение многолучевая электронная и DSA литографии.**

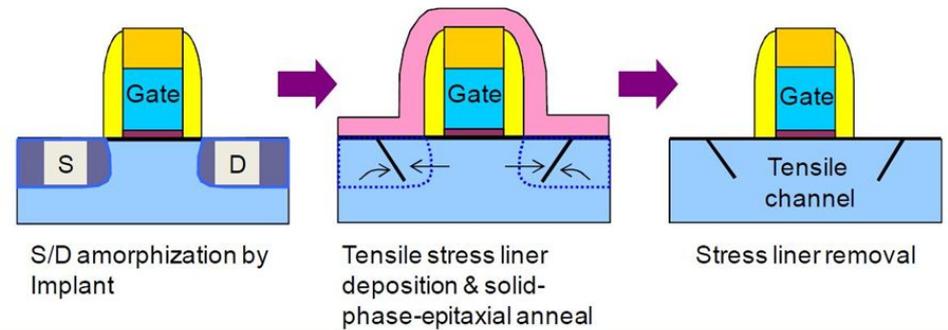


# Транзисторные структуры с увеличенной подвижностью $\mu$ -enhanced

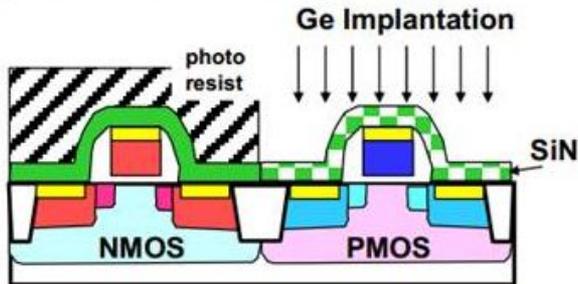


Напряжения сжатия или растяжения  $\text{Si}_3\text{N}_4$  в зависимости от параметров нанесения

Остаточные напряжения после удаления  $\text{Si}_3\text{N}_4$  (за счет рекристаллизации аморфизированного Истока и Стока)



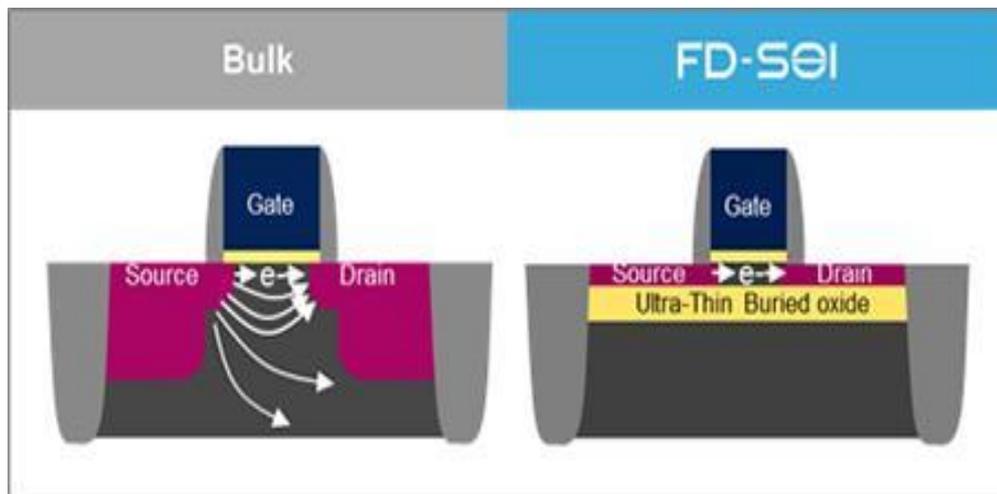
## (b) Stress Liner Technique



$\text{Ge}^+$  implant to CVD-SiN :  
Tensile stress  $\Rightarrow$  Neutral stress

Дифференциальные напряжения в КМОП паре с использованием  $\text{Si}_3\text{N}_4$  и имплантации  $\text{Ge}^+$

# Транзистор с полностью обедненным каналом (FD-SOI) 28-10 нм



*Learn more about FD-SOI technology - STMicroelectronics*

Мировой технологический уровень:

«28 нм» - 2012 г.

«14 нм» - 2014 г.

«10 нм» - прогнозируется 2016 г.

## **Основные производители:**

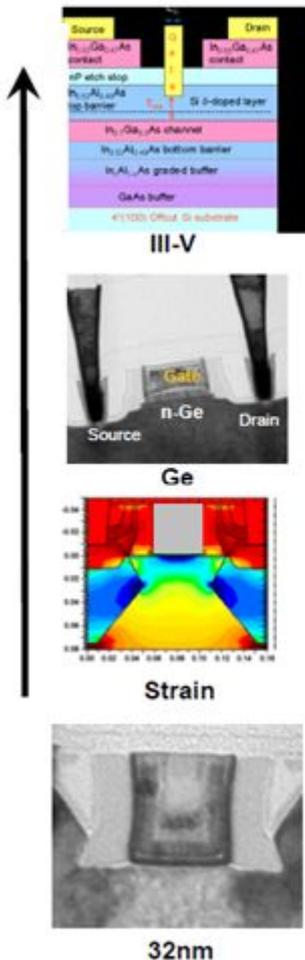
STMicroelectronics, Global Foundries, IBM

МОПТ на КНИ с сверхтонким нелегированным функциональным слоем кремния

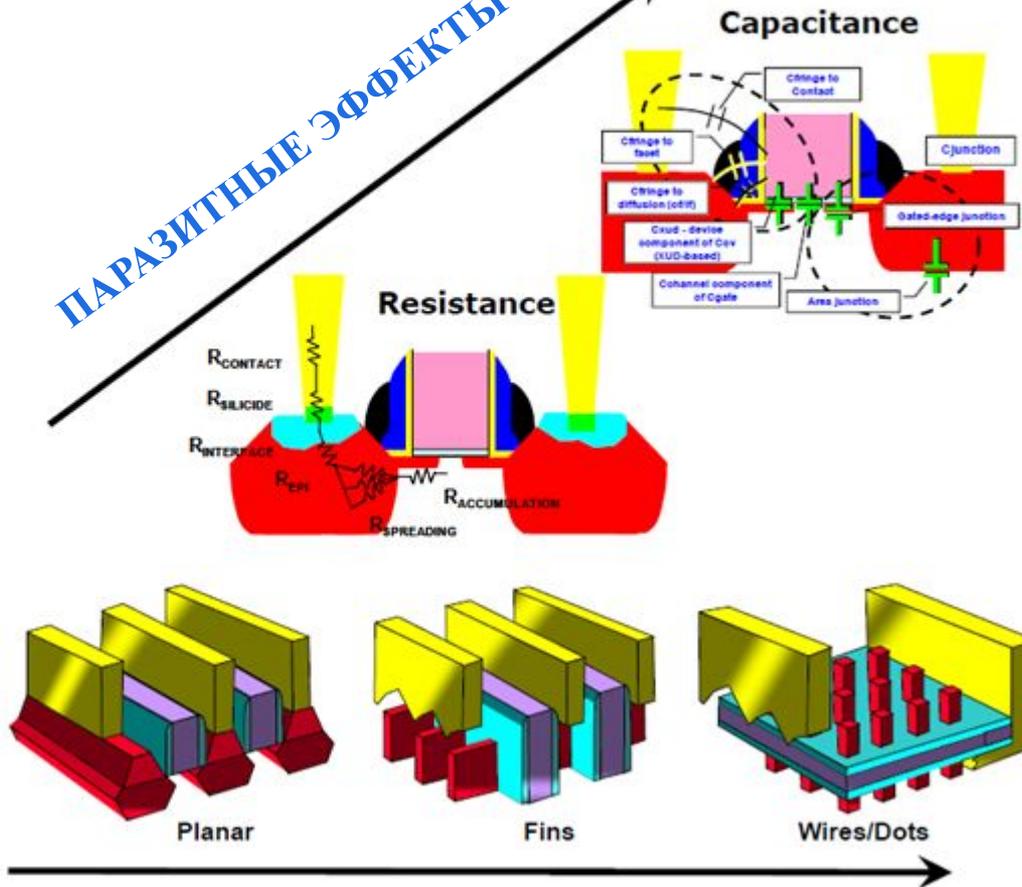
## ***Преимущества FD-SOI:***

- Отсутствие тока утечки
- Снижение барьерных емкостей сток/исток
- Хороший контроль короткоканальных эффектов

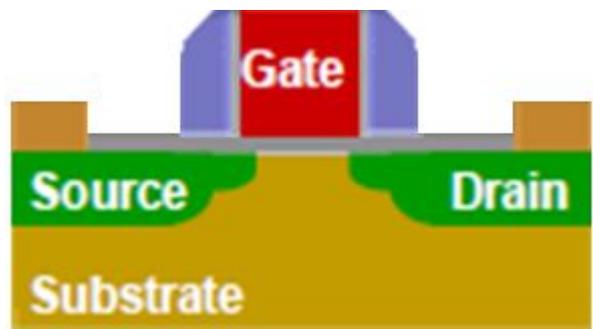
ПОДВИЖНОСТЬ



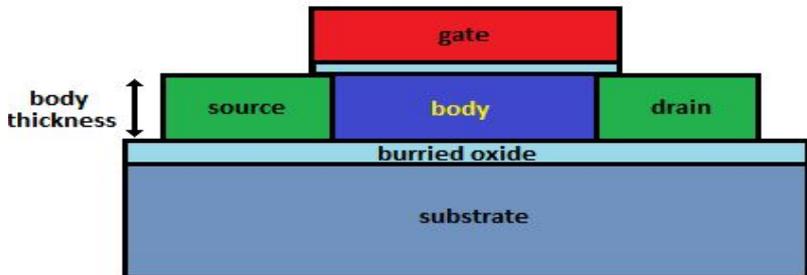
ПАРАЗИТНЫЕ ЭФФЕКТЫ



ЭЛЕКТРОСТАТИЧЕСКИЕ ОГРАНИЧЕНИЯ



Типовой МОП транзистор

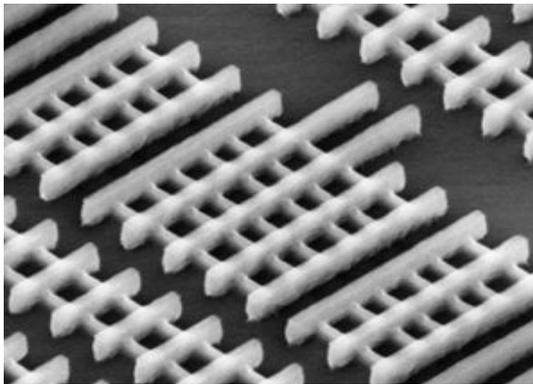
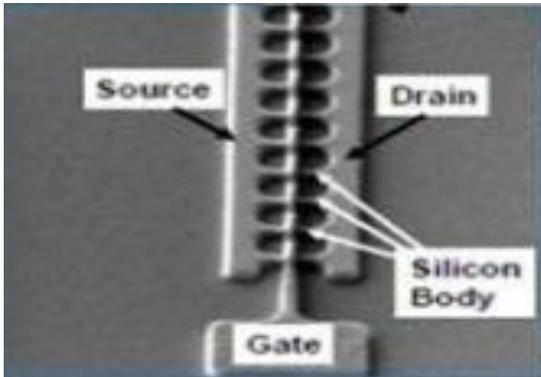


**UTB FD** - полевой транзистор с ультратонким (менее **10 нм**) нелегированным полностью обедненным каналом (КНИ).

**Основные преимущества UTB FD :**

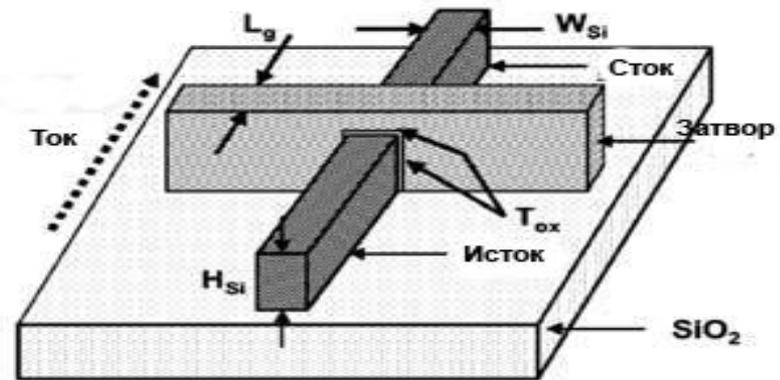
- баллистический перенос носителей, увеличение тока и быстродействия
- низкие токи утечки закрытого состояния

По **ITRS** основной прогресс до **2028** года будет связан с **КНИ** - технологией

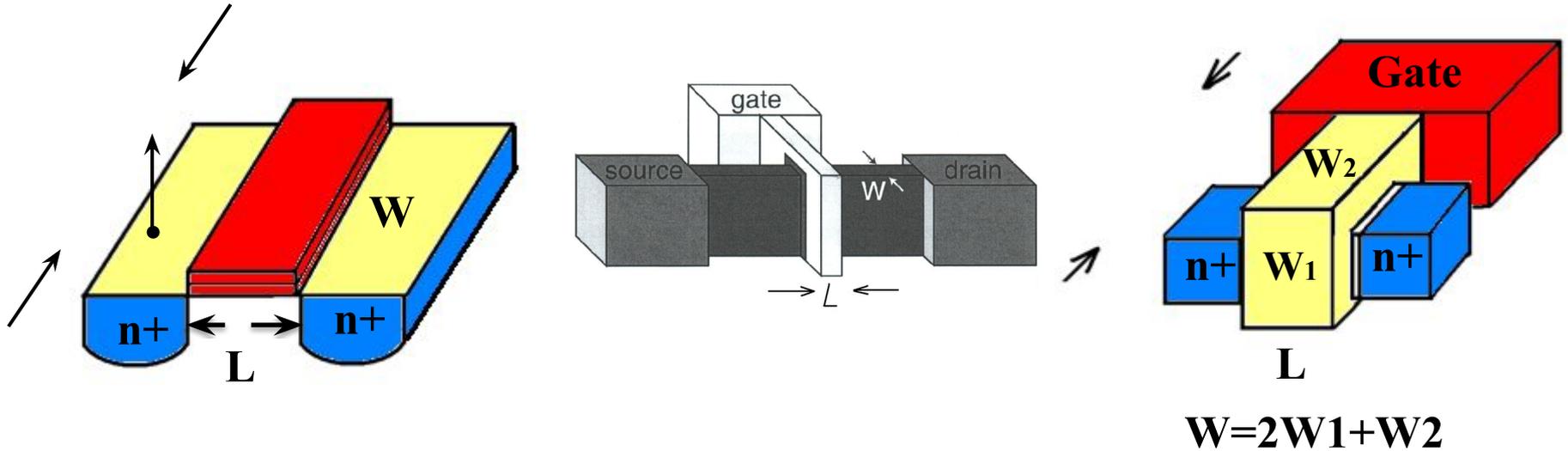


*22 нм транзисторы ф.Интел*

Общее направление большинства модификаций классической архитектуры полевого транзистора состоит в переходе к 3D-структуре



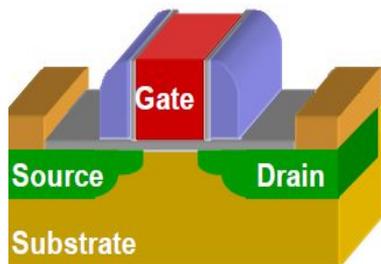
# 2D затворы обеспечивают «масштабирование» при сохранении ширины канала $W$



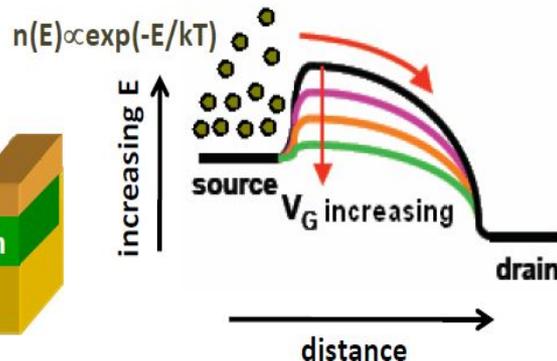
## Соотношение технологического уровня и минимальных топологических размеров транзисторов

Технологический уровень	Длина транзистора, нм	Ширина транзистора, нм
90 нм (STM)	100	110
65 нм (TSMC)	60	80
45 нм (Global Foundry)	40	90
28 нм (Global Foundry)	30	65

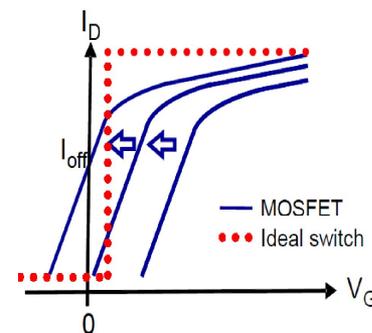
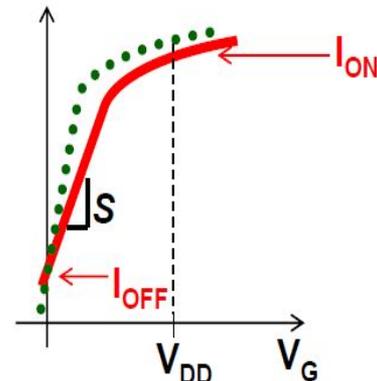
MOSFET  
Structure:



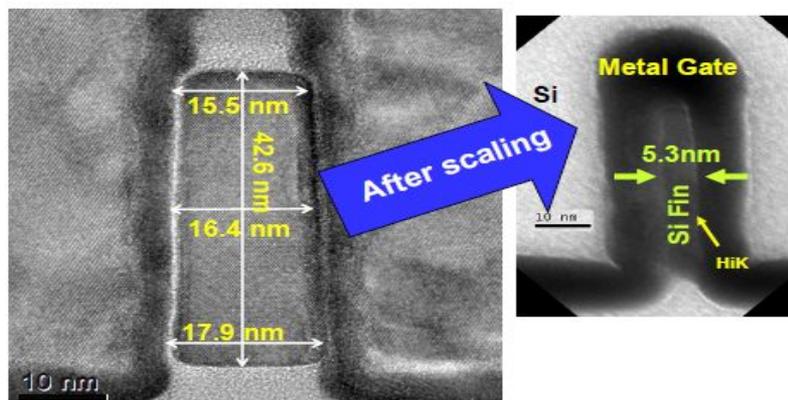
Electron Energy Band Profile



$\log I_D$



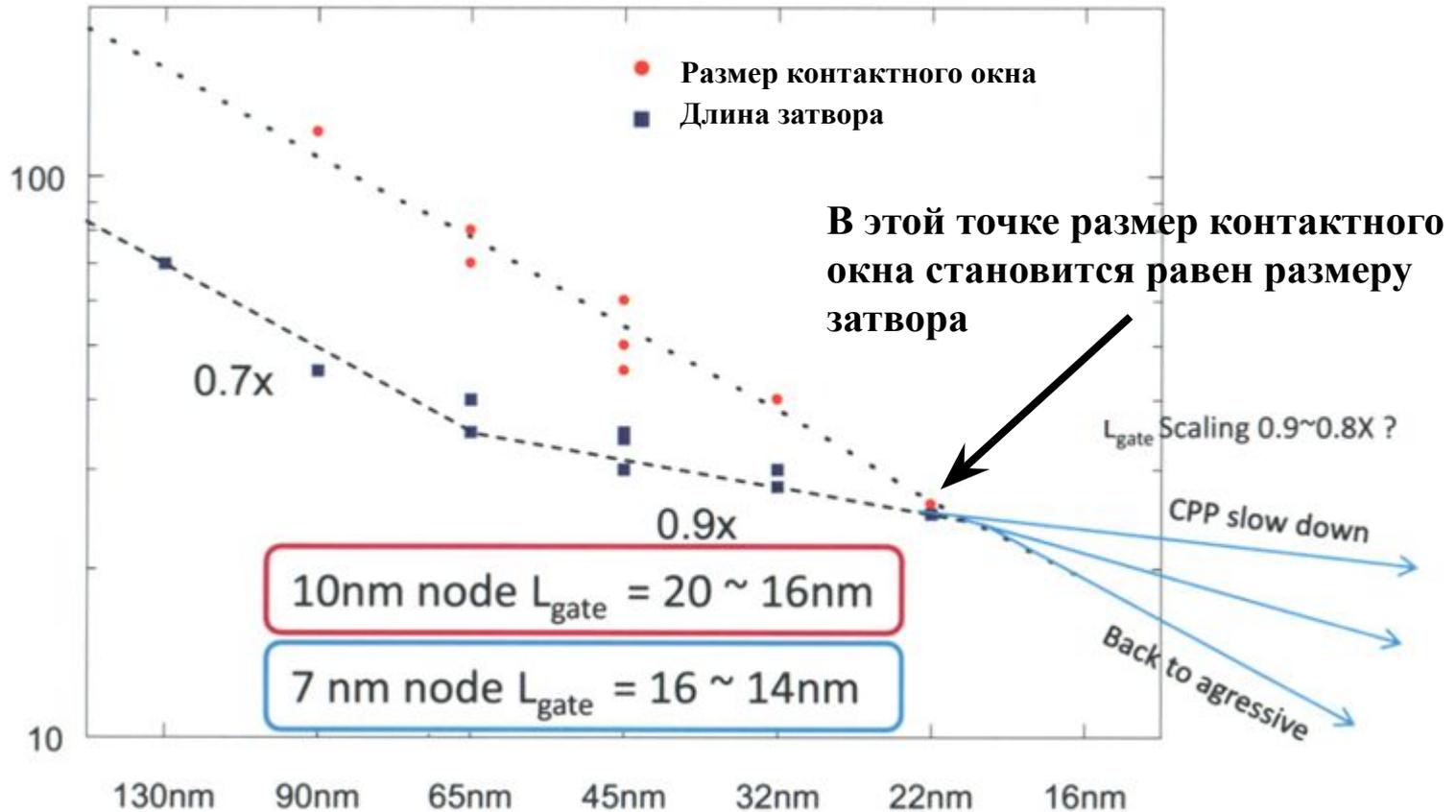
Aggressively scaled FINFETs

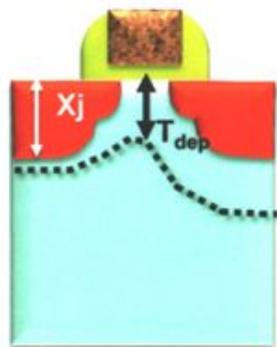


Прекрасные короткоканальные характеристики (SS и DIBL)  
Низкий DIBL (<10 mV/V) и SS около 60 mV/dec

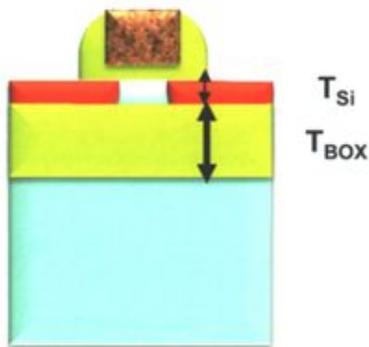
Начиная с 65 нм масштабирование длины затвора замедлилось.

Размер контактного окна и длина затвора (нм)





**Объемный кремний**



**КНИ**



**Многозатворные структуры**

**Объемный кремний** →  $DIBL = 0.8 \frac{\epsilon_{Si}}{\epsilon_{ox}} \left( 1 + \frac{X_j^2}{L_{el}^2} \right) \frac{T_{ox}}{L_{el}} \frac{T_{dep}}{L_{el}} V_{ds}$

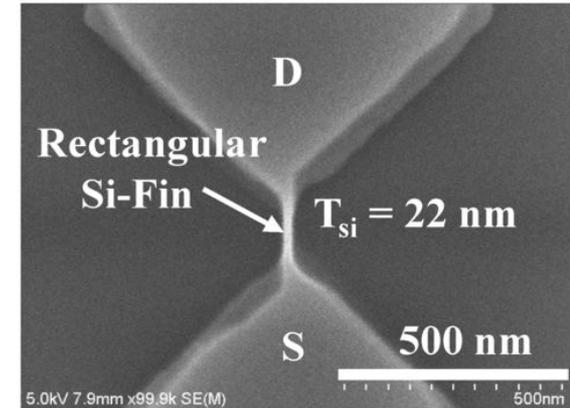
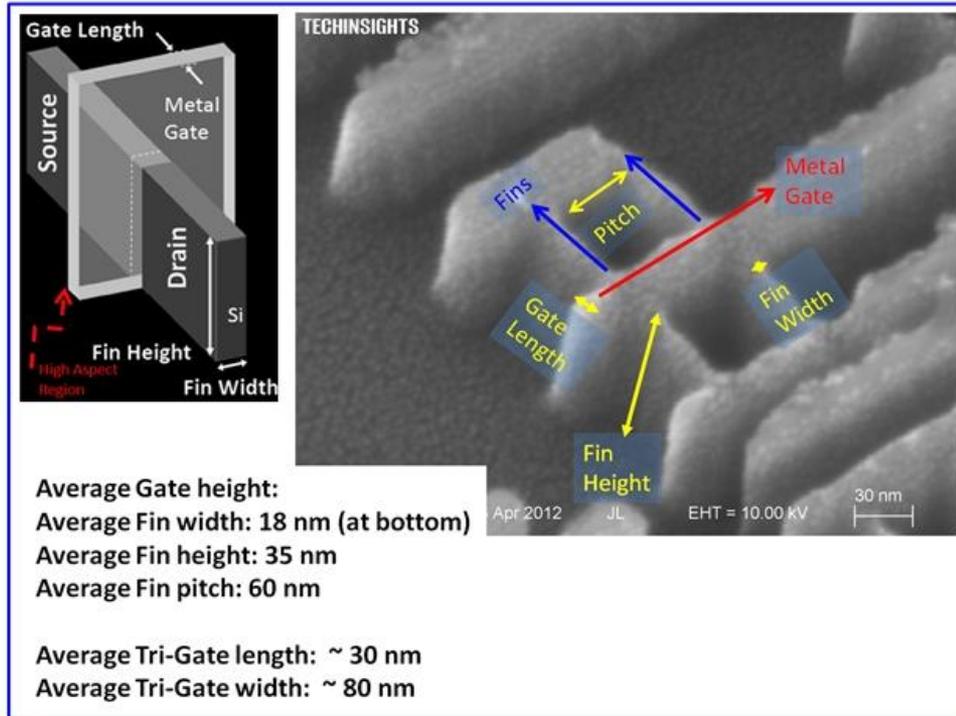
**КНИ** →  $DIBL = 0.8 \frac{\epsilon_{Si}}{\epsilon_{ox}} \left( 1 + \frac{T_{Si}^2}{L_{el}^2} \right) \frac{T_{ox}}{L_{el}} \frac{T_{Si}}{L_{el}} V_{ds}$

**Многозатворные структуры** →  $DIBL = 0.8 \frac{\epsilon_{Si}}{\epsilon_{ox}} \left( 1 + \frac{T_{Si/4}^2}{L_{el}^2} \right) \frac{T_{ox}}{L_{el}} \frac{T_{Si/2}}{L_{el}} V_{ds}$

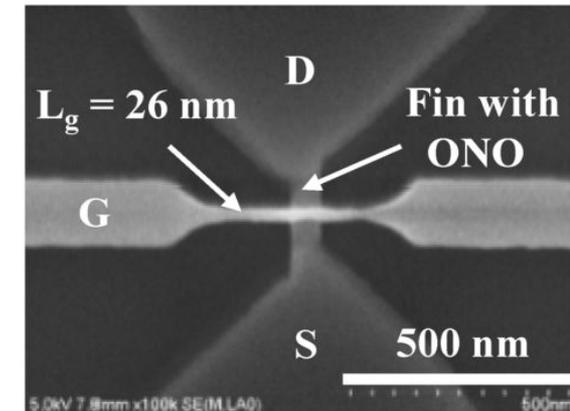
$T_{Si} \rightarrow T_{dep}, X_j$   
 $T_{Si}/2 \rightarrow T_{dep}, X_j$

Источник: T. Skotnicki et al. IEEE EDL, March '88 & IEDM '1994

## Intel - технология



(a)



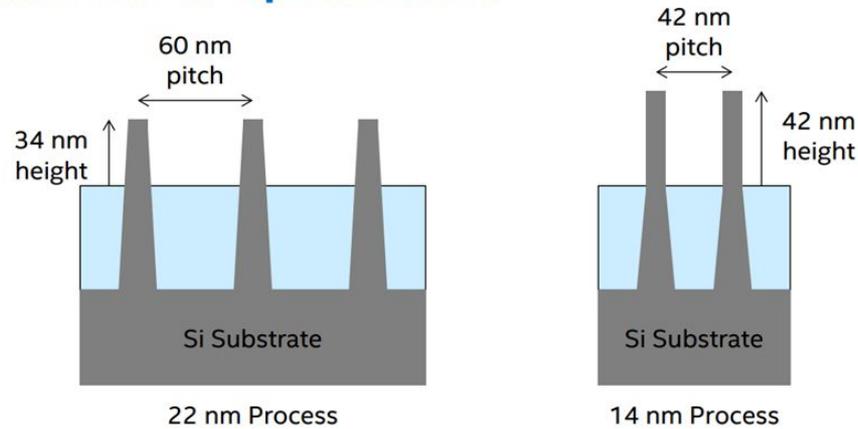
(b)

Когда  $L/W < 1.5$  DIBL, SS,  $I_{off}$  существенно возрастают!

[1] Malinowski A. et al. Analysis of the Dispersion of Electrical Parameters and Characteristics of FinFET Devices //Journal of Telecommunications and Information Technology. – 2009. – С. 45-50.

Yongxun Liu et. al. J. Low Power Electron. Appl. **2014**, 4(2), 153-167

## Transistor Fin Optimization

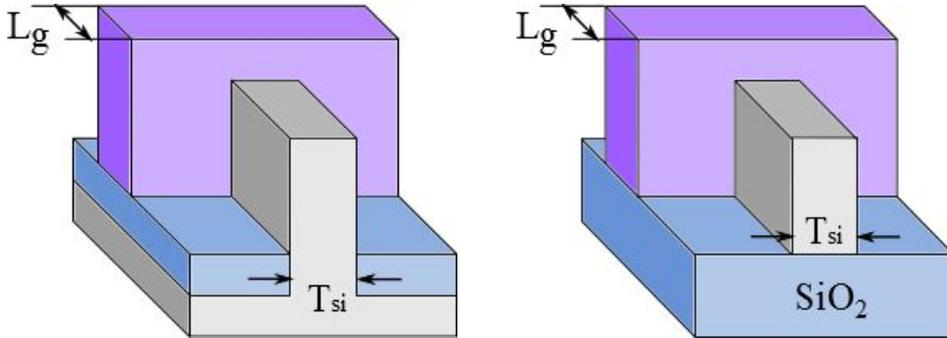


**Reduced number of fins for improved density and lower capacitance**

*Table ORTC1 Summary 2013 ORTC Technology Trend Targets  
(click this link for the detailed table)*

Year of Production	2013	2015	2017	2019	2021	2023	2025	2028
Logic Industry "Node Name" Label	"16/14"	"10"	"7"	"5"	"3.5"	"2.5"	"1.8"	"1.5"
Logic 1/2 Pitch (nm)	40	32	25	20	16	13	10	7
Flash 1/2 Pitch [2D] (nm)	18	15	13	11	9	8	8	8
DRAM 1/2 Pitch (nm)	28	24	20	17	14	12	10	7.7
FinFET Fin Half-pitch (new) (nm)	30	24	19	15	12	9.5	7.5	5.3
FinFET Fin Width (new) (nm)	7.6	7.2	6.8	6.4	6.1	5.7	5.4	5.0

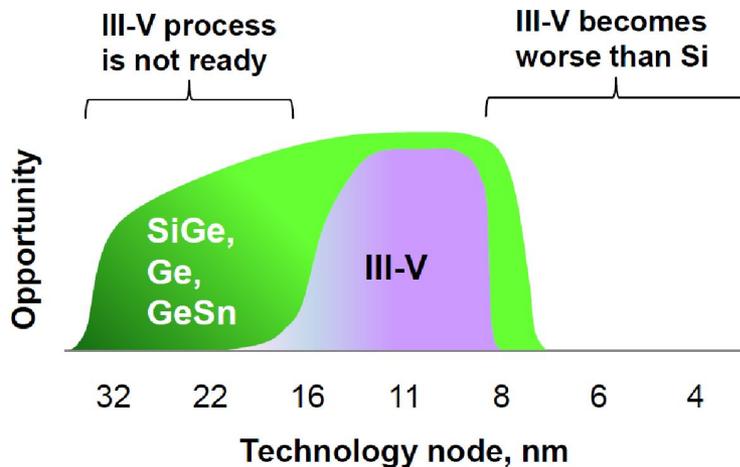
## Типовые конструкции



## Основные производители:

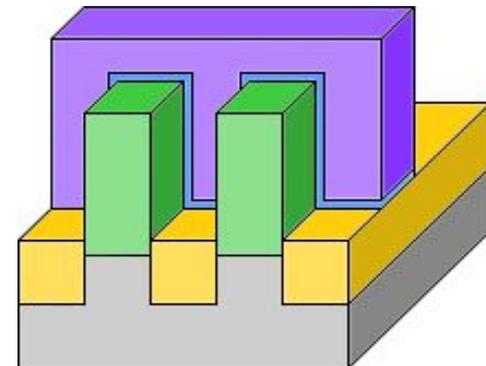
Intel, Samsung

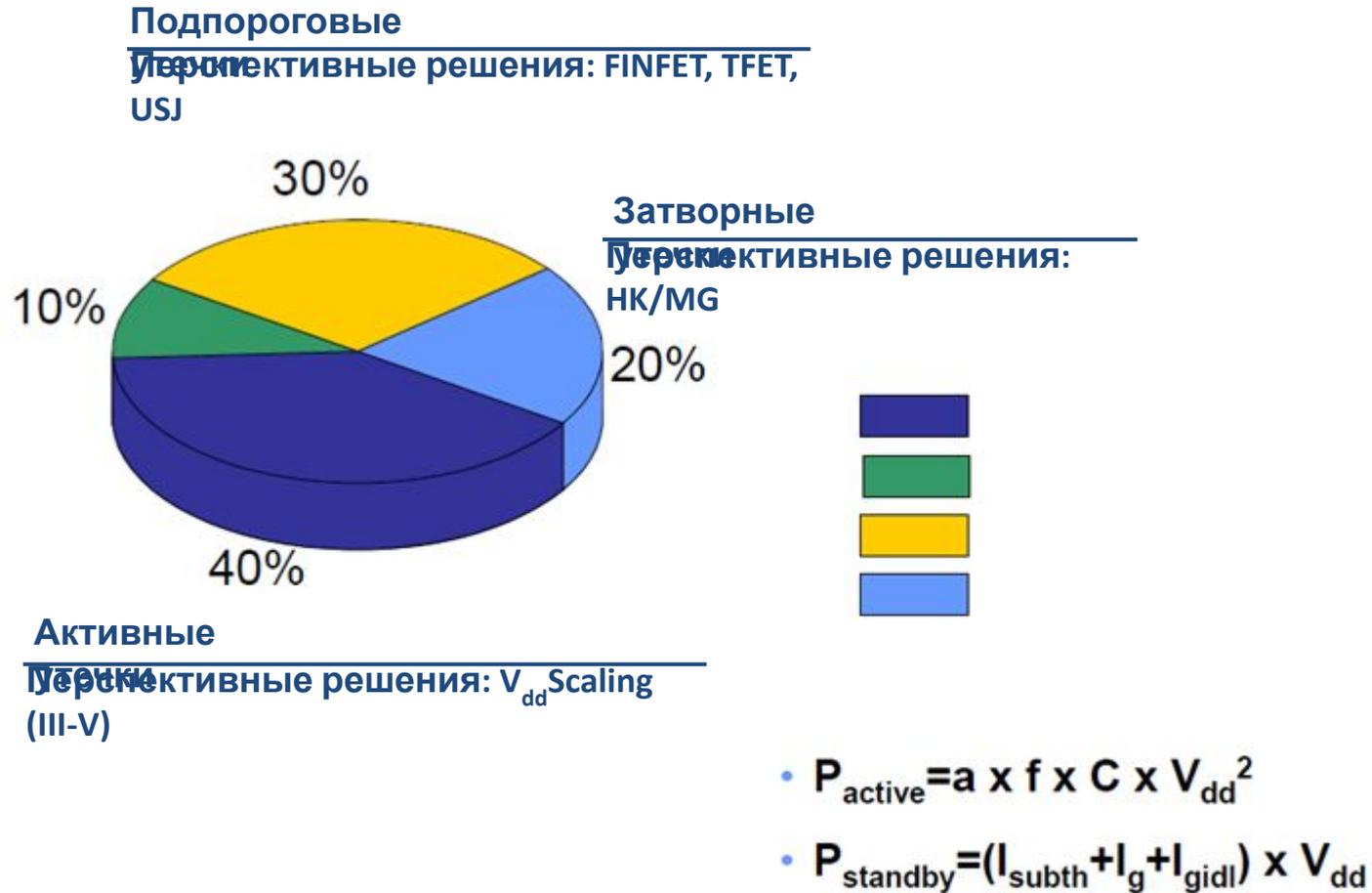
Технологический уровень Si FinFET:  
22 - 14 нм



## FinFET:

- Гетероинтеграция
- Мультиплицирование





Источник: NEC ([www.Nec.co.jp](http://www.Nec.co.jp)) и T.B.Hook et al IEDM

## Гомогенный ПТ

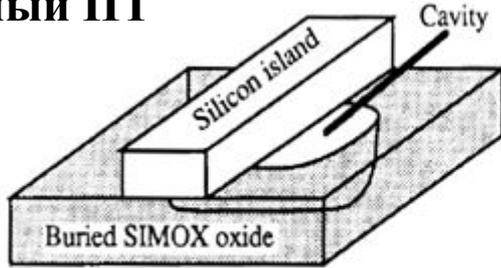


Figure 3: Cavity etch underneath the silicon island.

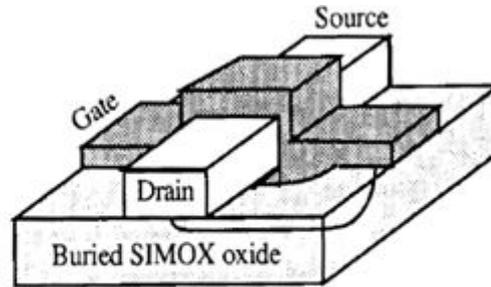


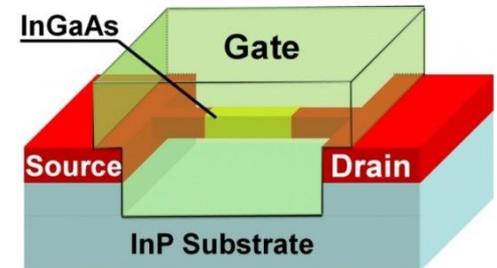
Figure 4: Completed "gate-All-Around" device.

HNW транзисторы на подложках с изолирующим слоем на поверхности, например на КНИ (SOI)

*J.P. Colinge et al., Silicon-on-insulator Gate-all-around device, IMEC, Kapeldreef 75,3030 Leuven, Belgium*

- Простота формирования
  - Крутизна таких устройств более чем в два раза превышает крутизну обычных SOI (допороговая крутизна характеристики 60 мВ/декада при комнатной температуре)
  - Возможно выполнение таких устройств в гетероинтегрированной технологии.
- 
- Проигрывает в плотности упаковки VNW
  - Ограничен литографией при нанесении затвора

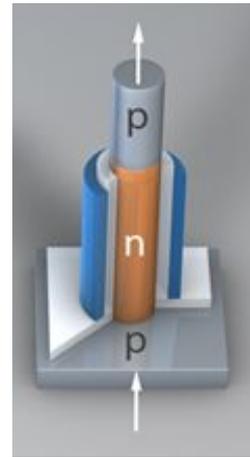
## Гетероинтегрированный ПТ



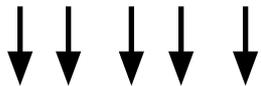
*A diagram of a three-dimensional indium-gallium-arsenide transistor, Peter Ye, Purdue University*

# Вертикальный ПТ с GAA затвором (7-5 нм)

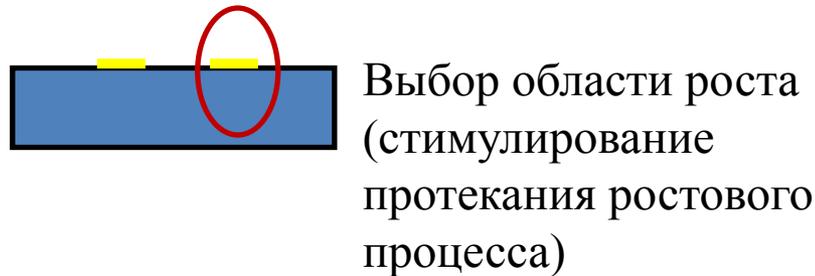
*Carrier Profiling of Individual Si Nanowires by Scanning Spreading Resistance Microscopy Xin Ou et al.*



## ● Top Down Process



## ● Bottom Up Process

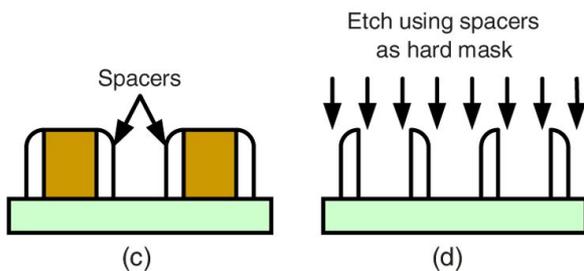
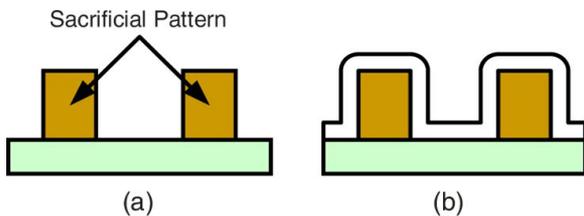


- Ключевой момент технологии – формирование нанопровода
- Два подхода изготовления ● ●

Основная проблема – формирование канала и омического контакта снизу

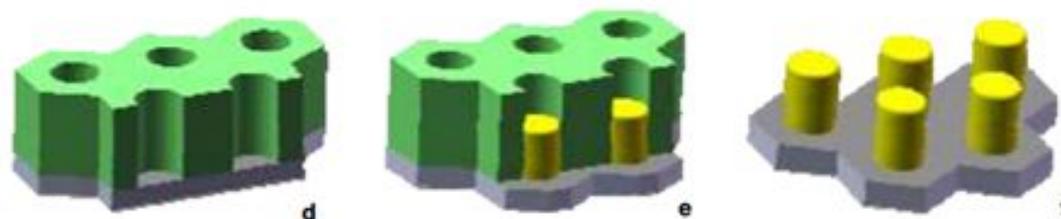
Top Down  
Сверху вниз

## Спейсерная технология



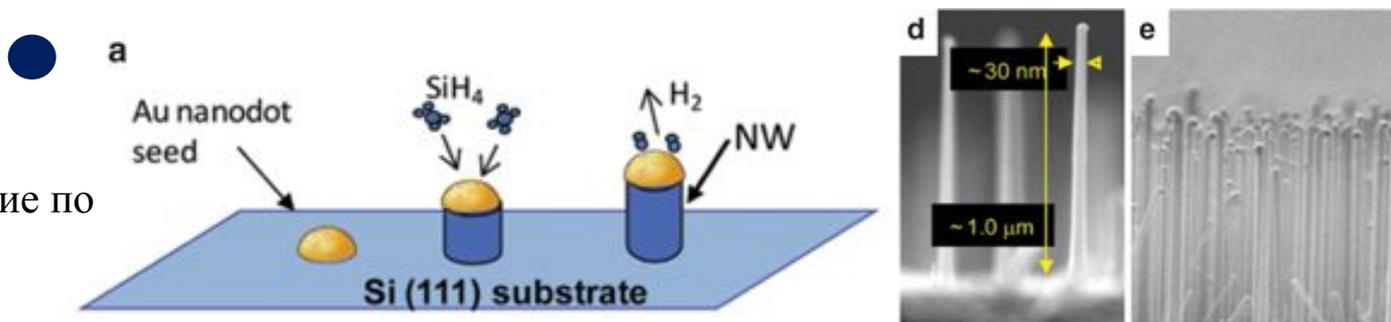
- Ограничение литографии
- Не идеальности вспомогательных методов
- Сложность заполнения узких канавок

## Nanomold-based (Отливка наноформы)



## Bottom Up Снизу вверх

- Переменное легирование по высоте нанопровода



S.T. Picraux at al., Silicon and Germanium Nanowires: Growth, Properties, and Integration

# Достиженные параметры VNW



	[1]		[2]		[3]		[4]
<b>Форма нанопровода</b>	Цилиндрический		Цилиндрический		Усеченный круг		Прямоугольный
<b>Размер нанопровода, нм</b>	3		10		10		3x4
<b>Тип затвора</b>	GAA		GAA		GAA		GAA
<b>Тип прибора</b>	N	P	N	P	N	P	N
<b>Длина затвора, нм</b>	350		30		10	5	5
<b>Напряжение сток-исток, В</b>	1,2		1		1		1
<b>Ток (во вкл состоянии), мкА/мкм</b>	2400	1300	2640	1110	522	115	497
<b>Усреднение</b>	Диаметр		Диаметр		-		Периметр
<b>Допороговая крутизна характеристики, мВ/дек</b>	60	65	71	66	75	63	208
<b>Ток утечки, мВ/В</b>	6	13	13	15	80	14	230
<b>Отношение ток во вкл состоянии к току в выкл состоянии</b>	$> 10^6$		$10^6$		$10^5$		$5 \times 10^2$

	Si	Ge	InP	GaAs	In <sub>0.47</sub> Ga <sub>0.53</sub> As	InSb	GaSb	impact
Electron $\mu$ (cm <sup>2</sup> /Vs)	1600	<b>3900</b>	5400	9200	<b>14000</b>	<b>77000</b>	1000	$I_{lin}$
Electron effective mass (m <sub>0</sub> )	m <sub>t</sub> /m <sub>l</sub> 0.19 /0.26	m <sub>t</sub> /m <sub>l</sub> <b>0.082</b> /1.467	0.08	0.067	<b>0.041</b>	0.014	<b>0.041</b>	$I_{on}$
Hole $\mu$ (cm <sup>2</sup> /Vs)	430	<b>1900</b>	200	400	300	850	3000	$I_{lin}$
Hole effective mass (m <sub>0</sub> )	m <sub>HH</sub> /m <sub>LH</sub> 0.53 /0.16	m <sub>HH</sub> /m <sub>LH</sub> <b>0.35</b> / <b>0.043</b>	m <sub>HH</sub> /m <sub>LH</sub> 0.69 /0.11	m <sub>HH</sub> /m <sub>LH</sub> 0.55 /0.083	m <sub>HH</sub> /m <sub>LH</sub> 0.46 /0.051	m <sub>HH</sub> /m <sub>LH</sub> 0.43 /0.015	m <sub>HH</sub> /m <sub>LH</sub> <b>0.4/0.0</b> <b>5</b>	$I_{on}$
Eg (eV)	1.12	<b>0.66</b>	1.34	1.42	<b>0.75</b>	<b>0.17</b>	<b>0.72</b>	<b>BTBT</b>
Epsilon	11.8	16	12.4	13.2	13.9	16.8	15.7	<b>DIBL/SS</b>

Ge on Si Bulk  
using SRB



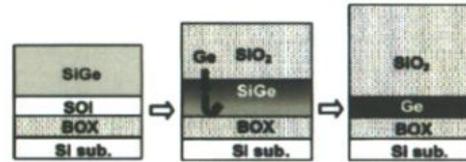
Currie et al., APL 1998  
(MIT)

GeOI using  
Wafer Bonding



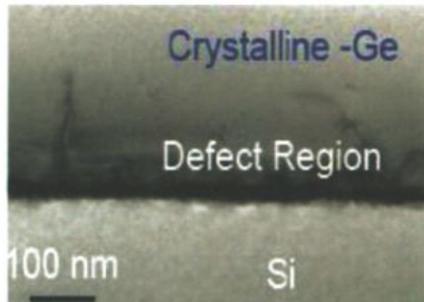
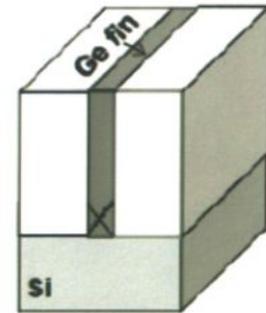
C. Deguet, ECS Proceeding  
2005 (LETI)

GeOI using  
Enrichement

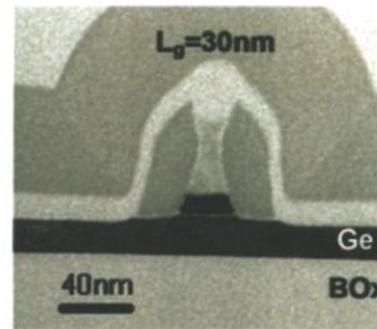


Nakaharai et al., APL 2003

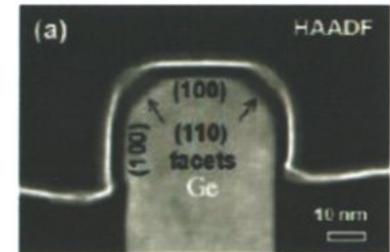
Aspect Ratio Trapping  
(ART)



Nayfeh et al., APL 2004  
(Stanford)



L. Hutin et al. IEEE EDL  
2010,  
VLSI-TSA 2010

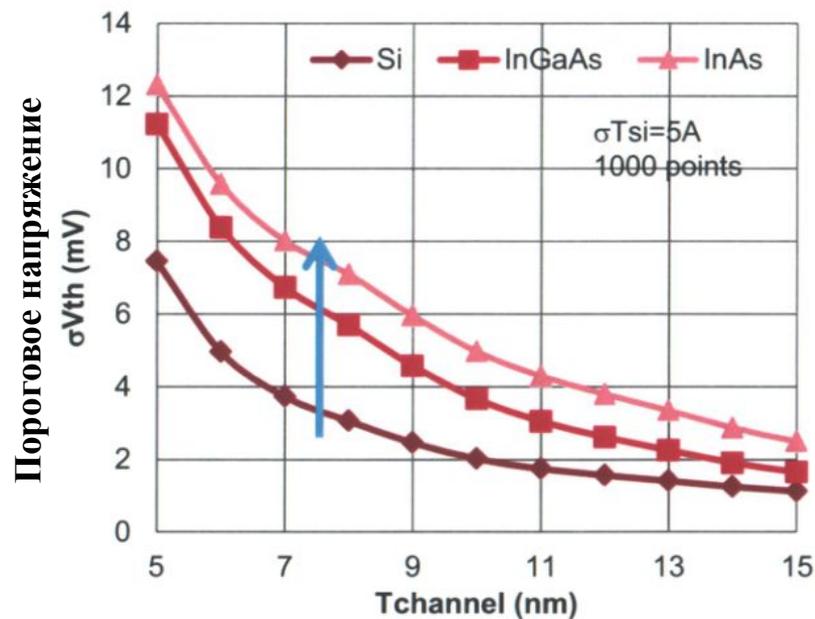
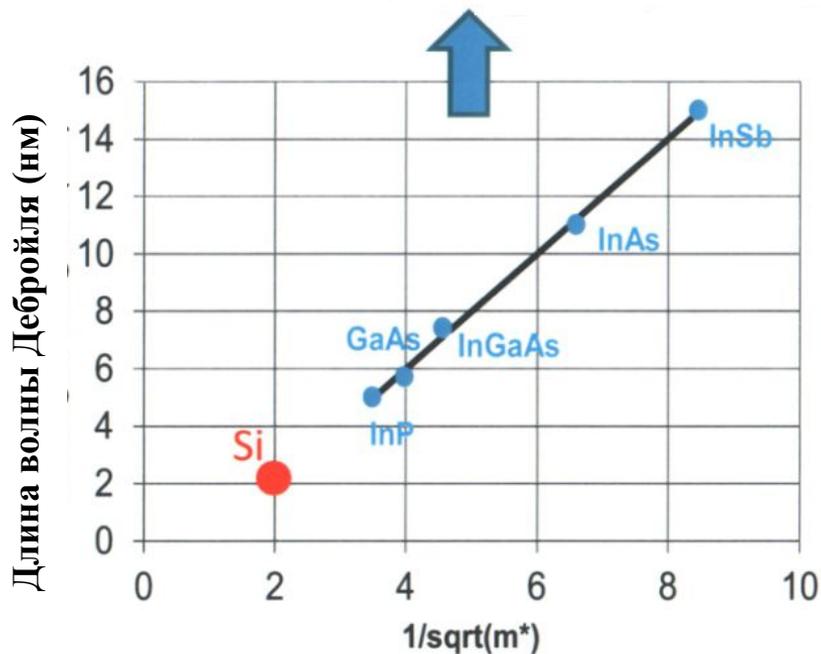


M. Van Dal et al., TSMC, IEDM  
12

## Фактор квантовой коррекции двойного затвора:

$$n_q(x) = n_0 \exp\left(\frac{q\phi}{kT}\right) \cdot \left(1 - \exp\left(-\frac{x^2}{\lambda^2}\right)\right) \cdot \left(1 - \exp\left(-\frac{(x - t_{si})^2}{\lambda^2}\right)\right)$$

Классическое распределение    Квантовая коррекция верхнего затвора    Квантовая коррекция нижнего затвора



Источник: J. Lacord et al., ST, SSDM 2011

W. Haensch et al., IBM, SSE 1989

**Квантовые вычисления базируются на квантовой когерентной суперпозиции и перепутанности.**

Квантовые вычисления идут в  $2^L$  – мерном гильбертовом пространстве.

## Основные алгоритмы:

- Алгоритм Гровера;
- Алгоритм Шора;
- Алгоритм Залки-Визнера;
- Алгоритм Дойча-Йожи.

Кубит:  $\psi = \alpha|\uparrow\rangle + \beta|\downarrow\rangle$ , где  $|\alpha|^2 + |\beta|^2 = 1$

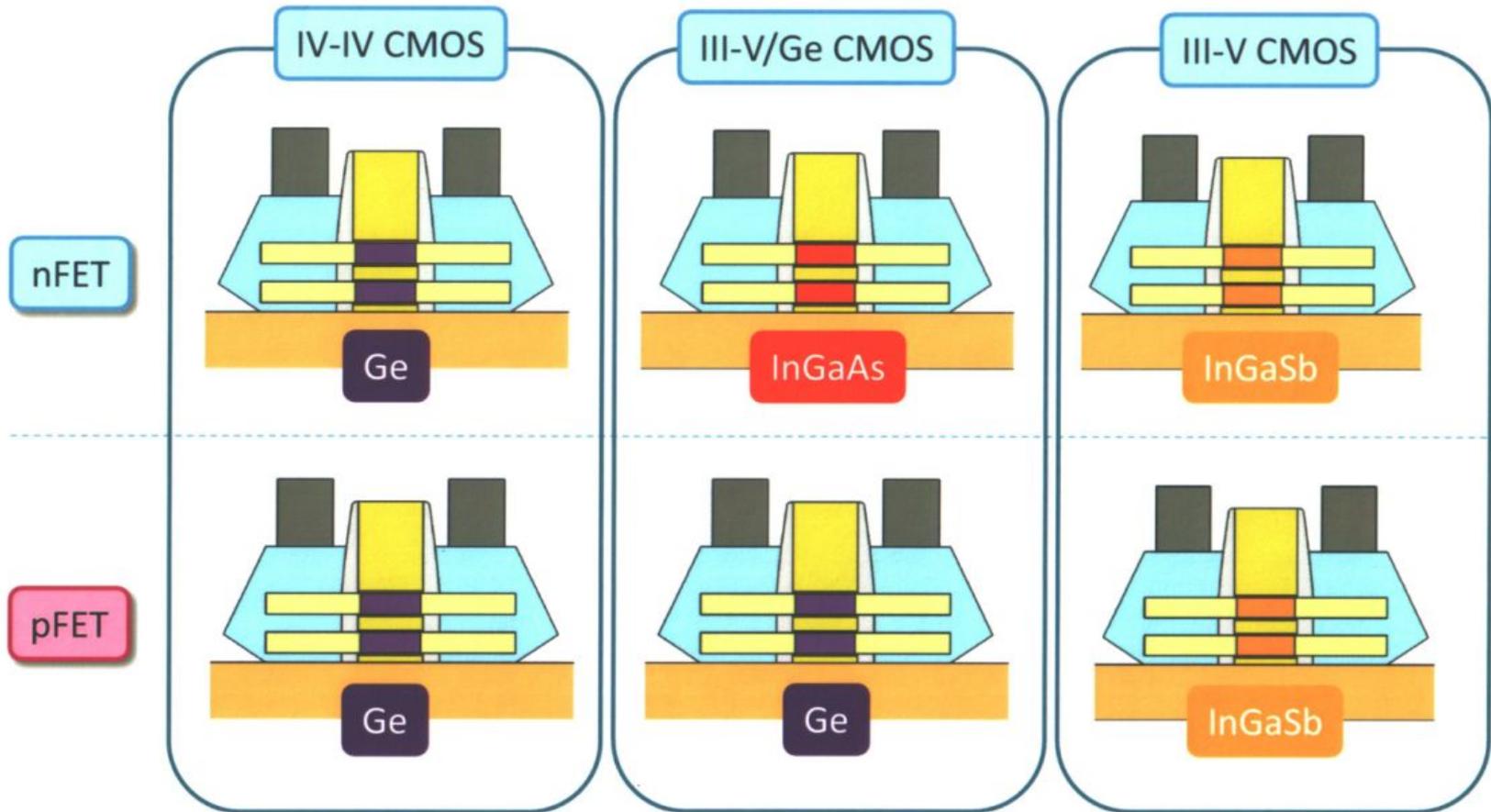
Функция для двух частиц  $\Psi = \gamma_1|\uparrow\uparrow\rangle + \gamma_2|\uparrow\downarrow\rangle + \gamma_3|\downarrow\uparrow\rangle + \gamma_4|\downarrow\downarrow\rangle$

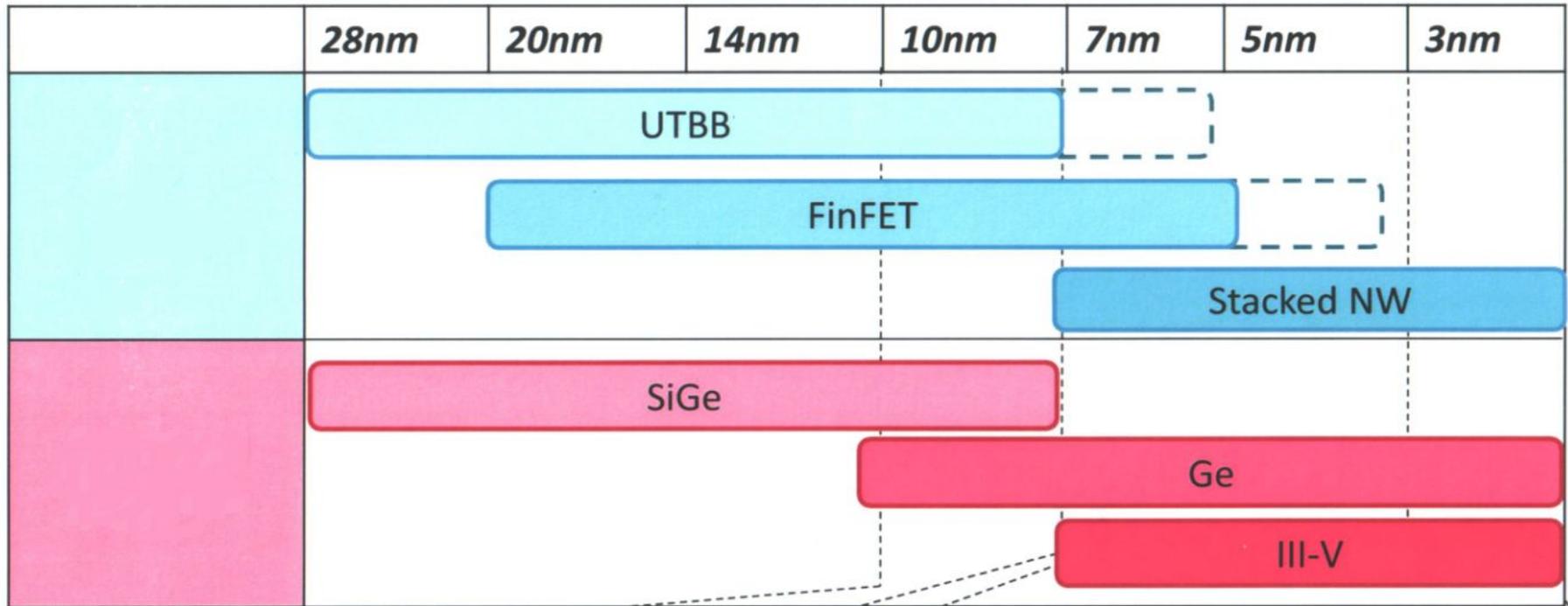
не может быть разложена на множители  $\psi_1 = \alpha_1|\uparrow\rangle + \beta_1|\downarrow\rangle$ ,  $\psi_2 = \alpha_2|\uparrow\rangle + \beta_2|\downarrow\rangle$ ,

если  $\gamma_1 = \alpha_1\alpha_2$ ;  $\gamma_2 = \alpha_1\beta_2$ ;  $\gamma_3 = \beta_1\alpha_2$ ;  $\gamma_4 = \beta_1\beta_2$  и  $\gamma_1\gamma_4 = \alpha_1\alpha_2\beta_1\beta_2 = \gamma_2\gamma_3 = \alpha_1\beta_2\beta_1\alpha_2$ ,

но  $\gamma_1\gamma_4 \neq \gamma_2\gamma_3$  возможное при ЭПР коррекции означает, что  $|\alpha_i|^2 + |\beta_i|^2 \neq 1$

## Возможные варианты реализации транзисторных структур:





## Сложности на уровне 10 нм

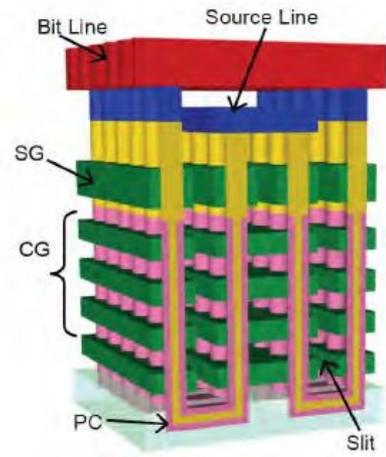
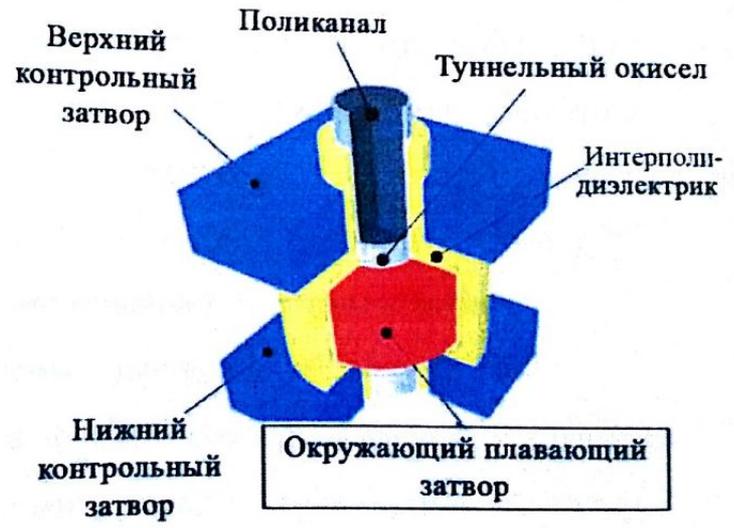
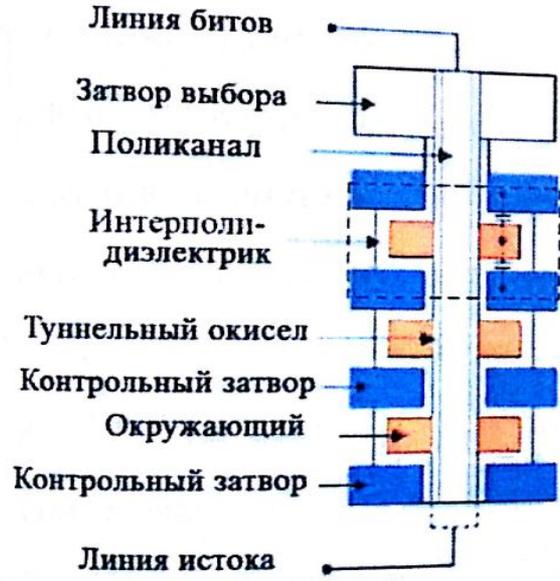
- Нестабильность структуры транзистора (металлический затвор) для минимального напряжения;
- Паразитные явления низкого порядка;
- Сложность «традиционного» повышения эффективности;

## Сложности на уровне 7 нм (и ниже)

- Проблемы с интеграцией структур новых устройств;
- Электростатический контроль с новыми материалами для канала транзистора (s-Ge, III-V);
- Нестабильность структур для низких напряжений  $V_{min} < 0.5$  V;

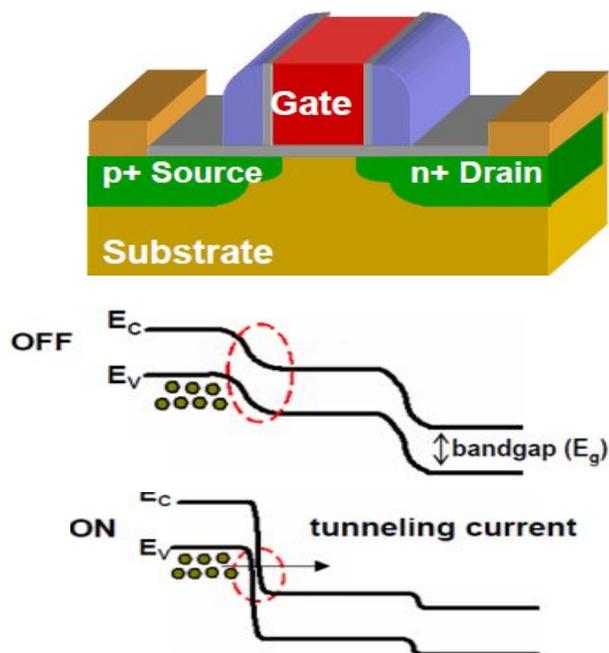
# Вертикальный транзистор с поликремниевым затвором для 3D микросхем SONOS памяти

Поперечное сечение

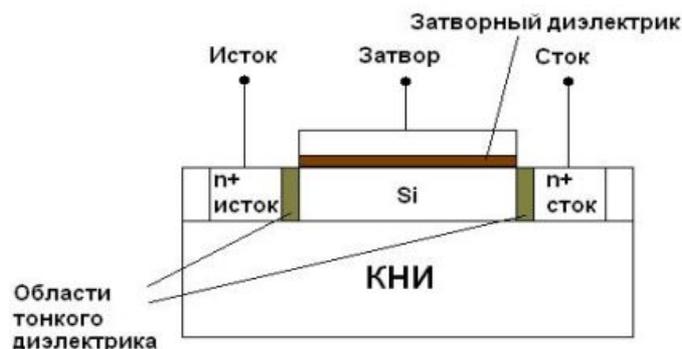


	<b>Транзисторы</b>	<b>Тех. норма</b>
<b>1</b>	Полевой транзистор с полностью обедненным каналом (FD-SOI)	28 -10 нм
<b>2</b>	Полевые транзисторы с Fin каналом (FinFET)	20 - 7 нм
<b>3</b>	Полевой транзистор с горизонтальными каналами (HNW) с коаксиальным 3D затвором (GAA )	7 нм
<b>4</b>	Полевые транзисторы с увеличенной подвижностью ( $\mu$ – enh (enhanced) структуры)	7 нм
<b>5</b>	Полевой транзистор с вертикальными каналами (VNW) с коаксиальным 3D затвором (GAA )	7 - 5 нм
<b>6</b>	Транзисторные структуры на основе Спинтроники	3,5 нм
<b>7</b>	2D: C, MoS (молибден-сера монослой, графеновые структуры)	3,5 нм

# Туннельные транзисторы с р-п переходами, контактами Шоттки, двойным барьером

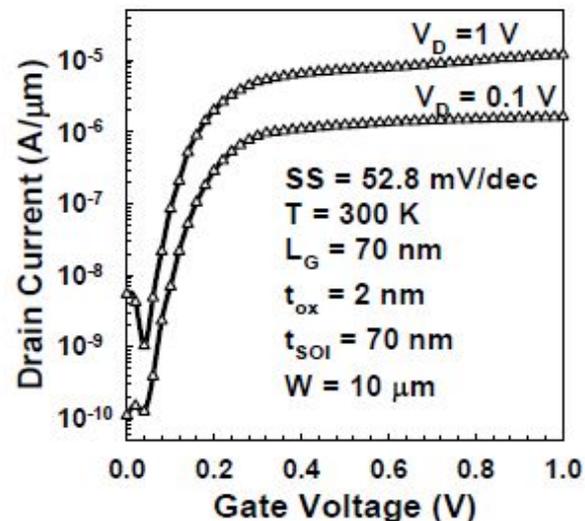


## Перспективный МОП транзистор с двойным барьером

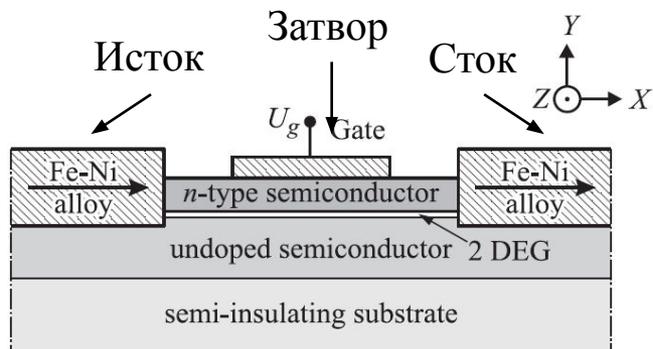


## Si TFET I-V Characteristics

W. Y. Choi *et al.* (Seoul Nat'l U. & UC Berkeley)  
*IEEE-EDL* vol. 28, pp. 743-745, 2007



- Обеспечивает снижение подпорог. крутизны: SS меньше 60mV/dec .
- Идеальный прибор для “зеленых” приложений с ультранизким энергопотреблением.
- Стоит задача увеличения тока открытого состояния



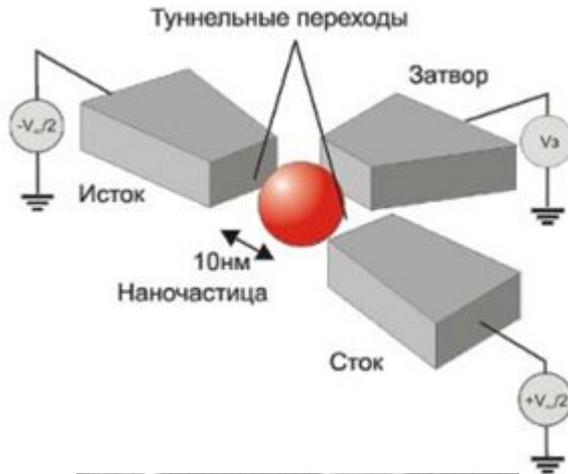
## Принцип работы транзистора

- Ориентация спинов электронов в Истоке
- Инжекция спин-ориентированных электронов в канал транзистора
- Транспорт электронов и изменение их спина поперечном электрическом поле затвора в результате эффекта Рашбы;
- Транспорт электронов в сток. Электроны с направлением спина, отличающимся от направления намагниченности стока, не проходят.

**Спиновый транзистор** – полупроводниковый прибор, в котором величина протекающего спин-поляризованного тока варьируется поперечным электрическим полем, меняющим направление спинов электронов в результате эффекта Рашбы.

## Конструкция спинового транзистора включает:

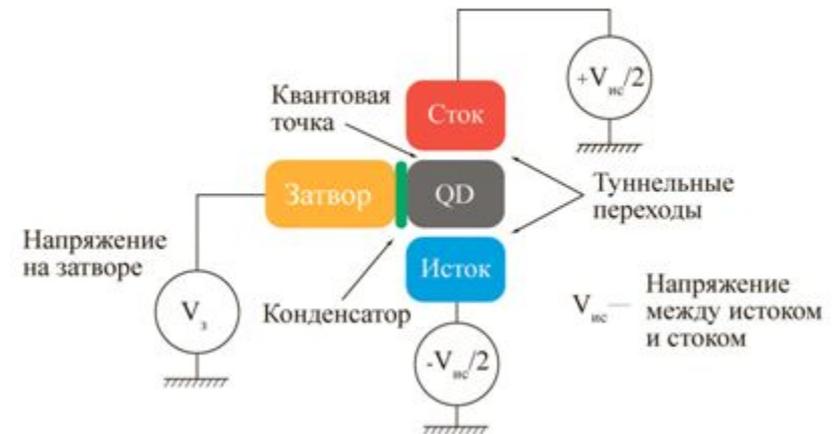
- 1) Исток – намагниченный ферромагнетик
- 2) Сток – ферромагнетик, намагниченный параллельно материалу истока.
- 3) Металлический затвор, положенный на НЕМТ-структуру
- 4) Тело транзистора с каналом в виде квантовой ямы с двумерным электронным газом



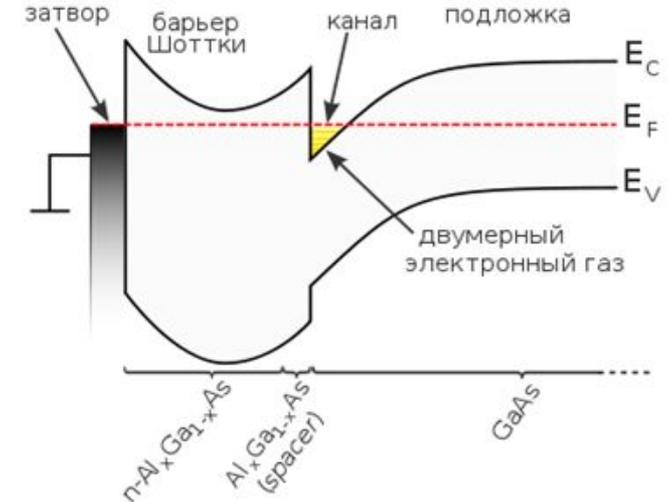
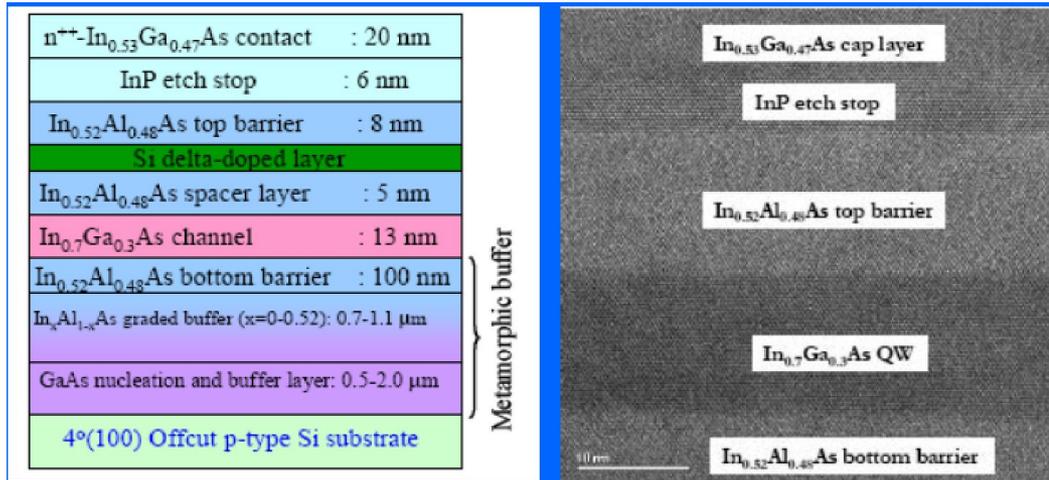
Источник: Песнов Д.Е., МГУ, 2010г.

Идея транзистора предложена К. Лихаревым в 1986г., но до сих пор имеются только лабораторные разработки одноэлектронных транзисторов (SET).

**SET – транзистор с квантовой точкой в канале, обеспечивающей «кулоновскую блокаду» туннелирования электронов из Истока. Блокада снимается при изменении потенциала на затворе**



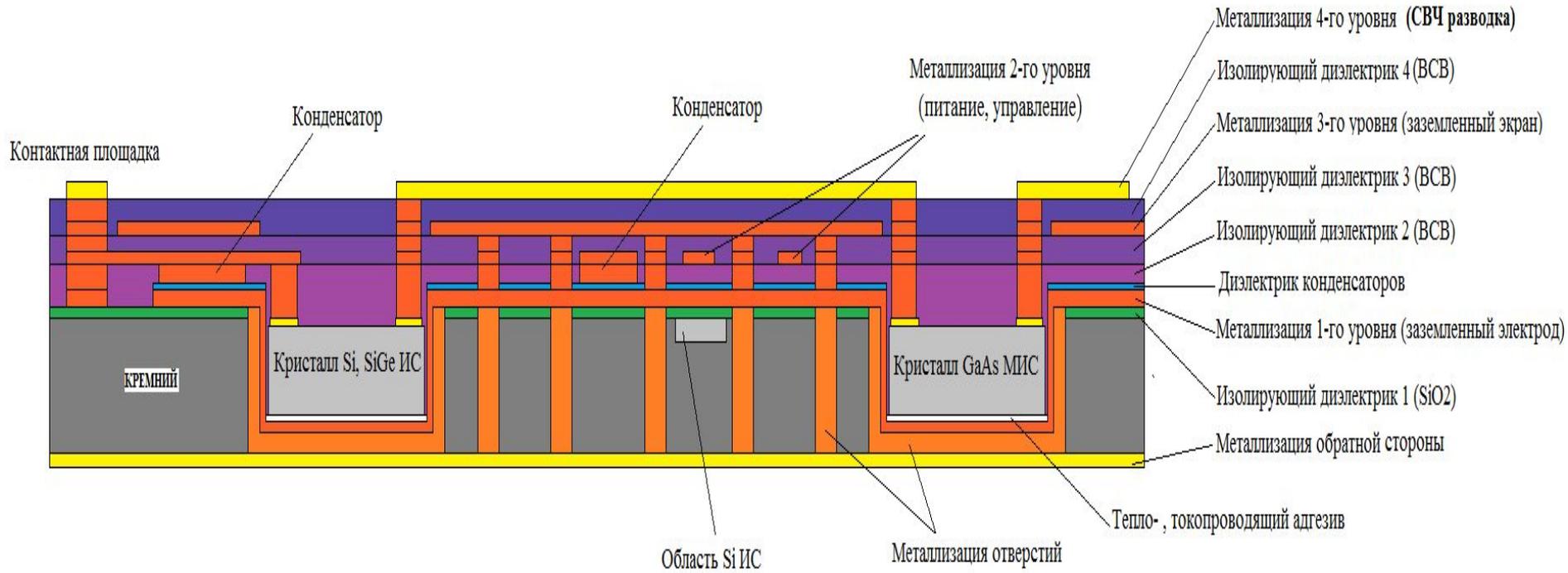
## QWET (In 0.7 Ga 0.3 As) на кремнии (источник: Intel)



Преимущество – достижение исключительно высоких подвижностей при сложной технологии. Гибридная технология позволяет совмещать новые материалы с кремнием.

Разрабатываются технологии для использования оптических каналов передачи данных внутри одной микросхемы.

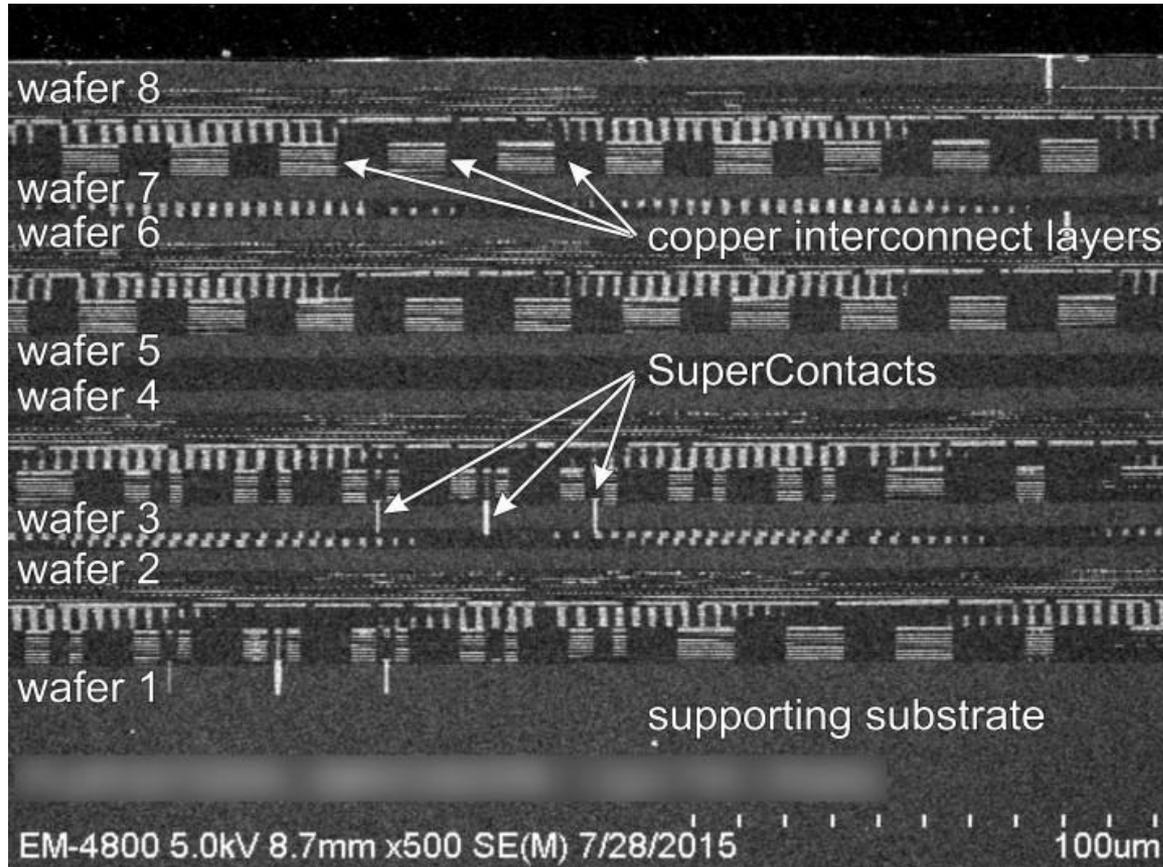
## Концепция приемопередающего модуля на основе кремниевого TSV – интерпозера



# 3D сборка на основе прямых вольфрамовых соединений



Технология трехмерной компоновки, позволяющая соединять чипы с помощью прямых вольфрамовых соединений (SuperContacts) непосредственно друг с другом.



Данная микросхема имеет наибольшую на сегодняшний день плотность компоновки. Каждая пластина с высокопроизводительной логической схемой CMOS содержит десять слоев медных внутренних соединений, так что суммарное число слоев транзисторов равно восьми, а соединений — 80. При этом итоговый стек по толщине не отличается от обычного кристалла, поскольку толщина каждого слоя — всего 20 мкм.

**СПАСИБО ЗА ВНИМАНИЕ!**

