

**Київський національний університет
імені Тараса Шевченка**

Факультет військової підготовки

**Кафедра військово-технічної
підготовки**

2016 р.

Устрій та бойове застосування КЗА 86Ж6

Тема №7 : Апаратура обчислювальних засобів

Заняття № 14 Пристрій управління ОбчП

Навчальна мета: вивчити основні функціональні можливості ПУ ОбчП

Час: 2 години.

Місце: спецклас.

Вид заняття: групове .

Навчальні питання

1. Склад та принцип функціонування пристрою управління
2. Встановлення початкового стану ОбчП
3. Апаратний контроль працездатності ОбчП

1. Склад та принцип функціонування пристрою управління

Пристрій управління (ПУ) ОбчП призначений для вироблення необхідних при виконанні команд сигналів, які забезпечують централізоване керування роботою всіх пристроїв ВЧУ на кожному такті управління, а також для організації керування обміном з ЗП.

ПУ ОбчП організує мікропрограмне керування роботою обчислювального пристрою.

До складу ПУ ОбчП входять такі вузли:

- логічний блок, призначений для формування адреси наступної мікрокоманди;
- шифратор мікрооперацій ШМ, призначений для видачі мікрокоманд.

1. Склад та принцип функціонування пристрою управління

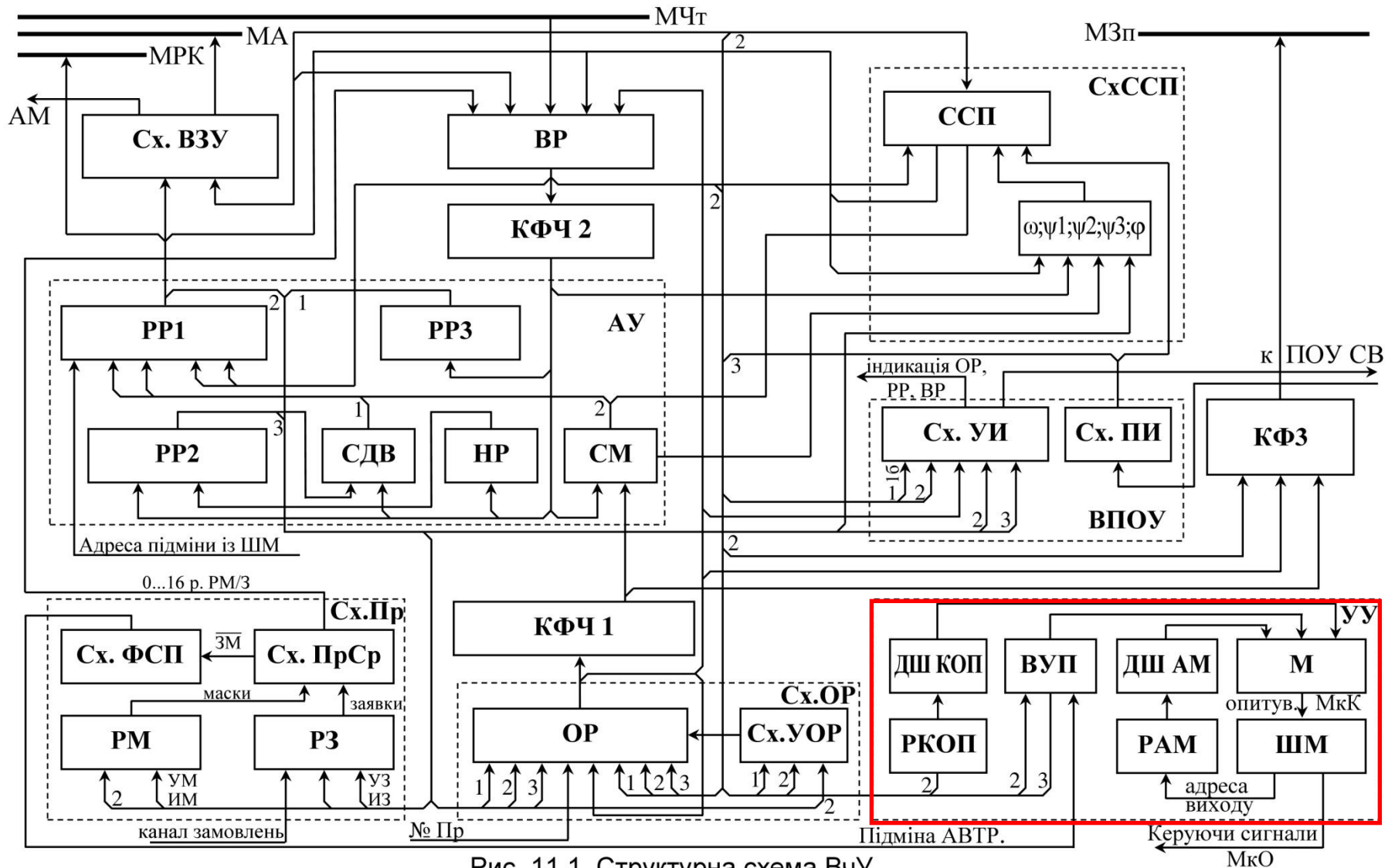


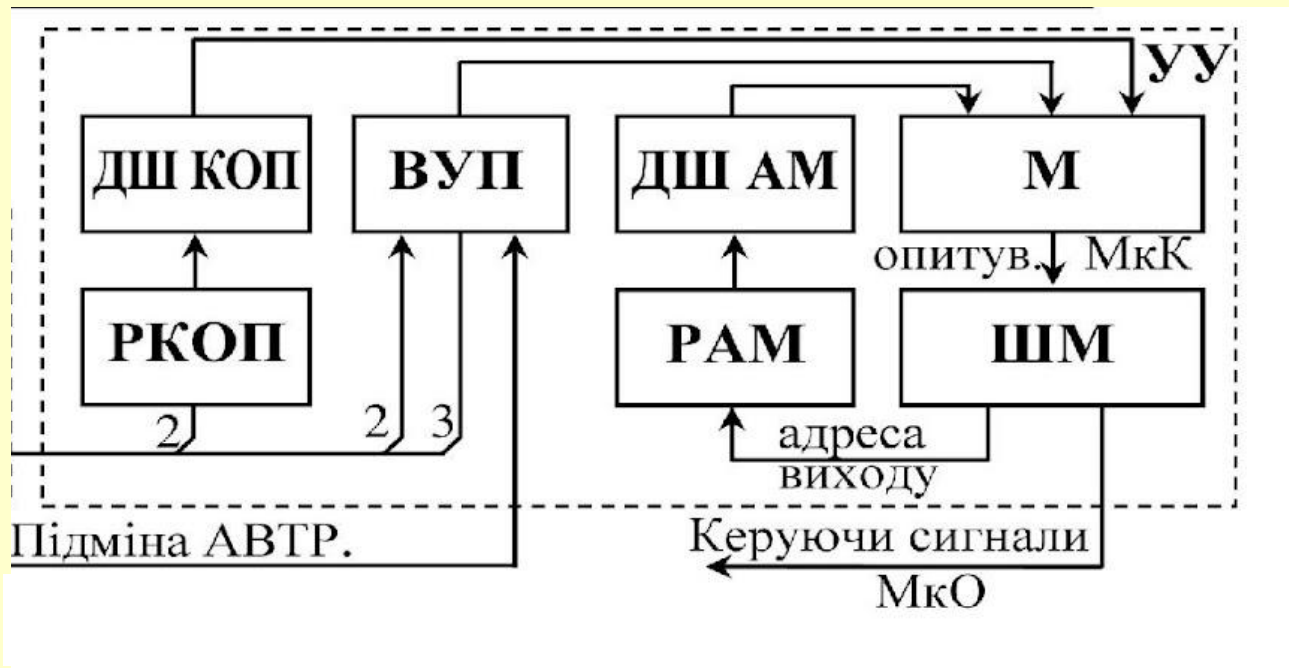
Рис. 11.1. Структурна схема ВЧУ

Кожна мікрокоманда, сформована пристроєм управління, виконує функції, вказуючи:

- виконувані мікрооперації;
- наступну мікрокоманду за допомогою завдання адреси виходу із виконуваної мікрокоманди.

Адреса наступної мікрокоманди формується на підставі аналізу коду операції, отриманого з **ВР**, адреси виходу з виконуваної мікрокоманди, що виробляється шифратором мікрооперацій – і ряду умов, формованих в **ПУ ОбчП**.

Для **ПУ ОбчП** вибраний режим функціонування, який можна назвати “режим змінної синхронізації”. Це означає, що кожна мікрокоманда виконується за один цикл синхроімпульсів **СО**, але в тому випадку, якщо для продовження мікрокоманди потрібен результат попередніх дій, виконується миттєве блокування всіх керуючих схем до тих пір, поки не реалізується очікувана умова.



До складу **логічного блоку ПУ ОбчП** входять:

- два 5–розрядних регістра коду операцій **РКОП**;
- три дешифратора коду операції **ДшКОП**;
- два 4–розрядних регістра адреси мікрокоманд **РАМ**;
- два дешифратора адреси мікрокоманд **ДшАМ**;
- схема вироблення умов переходу **ВУП**;
- схема формування адреси опитування мікрокоманди (**модифікатор**) **М**.

Регістр коду операції **РКОП** призначений для приймання коду операції з 0...4 розрядів **ВР**, зберігання і видавання його у дешифратор коду операції **ДшКОП**.

Регістр адреси мікрокоманд **РАМ** призначений для приймання адреси виходу з виконуваної мікрокоманди від **ШМ**, зберігання і видавання його в дешифратор адреси мікрокоманд **ДшАМ**. Інформація з дешифратора **ДшКОП** і **ДшАМ** надходить на модифікатор **М**, де відбувається формування адреси опитування мікрокоманд.

Схема вироблення умов переходу ВУП призначена для формування ряду ознак, керуючих вибіркою мікрокоманд з дешифратора мікрокоманд **ШМ**:

- ознака рівності кода конфігурації числа, 0 або 4 (КфЧ≠0, КфЧ=0, КфЧ≠4, КфЧ=4)
- ознака рівності коду індексації нулю;
- ознака зміни адреси команди, наступної за командами **ИЗА, ДШЗ і ЗНПИ (ПриЗА)**;
- ознака виконаного переходу за командами умовної і безумовної передачі керування за адресою і по комірці;
- ознака виконаного переходу за командою **УППР (ВП УППР)**;
- ознака звернення до загального поля **ЗП (ЗУч, ОРч, ЗУк, ОРк)**;
- ознака призупинення роботи **ПУ ОбчП** .

Аналіз коду конфігурації числа на 0 у ВУП необхідний при виконанні команд завантаження ОР і регістрів ОбчП. Виділення решти команд виконується схемами керування пристроїв, на які здійснюється завантаження. Аналіз КфЧ на 4 необхідний при виконанні арифметичних і логічних команд для виділення другого операнда: при $\text{КфЧ}=4$ другим операндом є адресна частина команди, при $\text{КфЧ}\leq 4$ другим операндом є вміст комірки пам'яті, вибраної по $A'2$ вмістом одного з індексних регістрів.

Призупинення роботи **ПУ ОбчП** відбувається під дією сигналів, що здійснюють блокування роботи **ПУ ОбчП**, у тих випадках, коли для продовження мікропрограми потрібні результати попередніх дій. Блокування **УУ** відбувається відразу після приймання адреси виходу з виконуваної мікрокоманди на **РАМ1** і **РАМ2**. Блокування **ПУ ОбчП** здійснюється таким чином:

- блокується вироблення **ШМ** усіх мікрооперацій шляхом заборони формування модифікатором опитувань **ШМ**;
- забороняється приймання на **РАМ** адреси виходу з виконуваної мікрокоманди, що виробляється **ШМ**.

Модифікатор М призначений для формування з інформації, яка надходить з **ДшКОП** і **ДшАМ**, сигналів умов переходу, що надходять з **ВУП** і сигналу **АВР** зі схеми **СхССП** опитувань шифратора мікрооперацій **ШМ**, які є адресою мікрокоманд у позиційному коді.

Усі мікрокоманди у **ОбчП** виконуються за один такт синхроімпульсів, за винятком тих випадків, коли виникають сигнали блокувань. Винятком є і опитування 73 і 74, які надходять у схему управління виконанням операцій **УМН** і **ДЕЛ.** і передають їй керування. Ці опитування не знімаються з виходу модифікатора до тих пір, поки не закінчиться виконання операцій **УМН** і **ДЕЛ.**, тобто протягом сімнадцяти тактів синхроімпульсів. Решта адрес опитувань, вироблених модифікатором, надходить на вхід **ШМ**, де здійснюють вироблення мікрооперацій та адрес виходу з виконуваної мікрокоманди.

Шифратор мікрооперацій ШМ призначений для формування керуючих сигналів (мікрооперацій **МкО**), які надходять у всі пристрої **ОбчП** і під керуванням яких у цих пристроях реалізується виконання операцій, що забезпечують виконання команд.

Шифратор мікрооперацій ШМ формує керуючі сигнали (мікрооперації) для реалізації виконання команд, що надходять у всі пристрої **ОбчП** і управляють виконанням операцій.

На вхід **ШМ** надходять опитування команд, які виробляються у **модифікаторі М** і в схемі керування виконанням операцій множення і ділення. Таким чином, кожна мікрооперація є функцією від опитувань мікрокоманд.

2. Встановлення початкового стану ОбчП.

Крім сигналу **НУ**, що формується схемою взаємодії з **ПОУ**, до **ОбчП** на тригері **НУ** формується сигнал **НУ2**. Цей тригер встановлюється в одиницю сигналом **НУ**, а в нуль - сигналом **ПУСК**, що надходить зі схеми взаємодії з **ПОУ**. З цих двох сигналів **НУ** і **НУ2** виконується початкове встановлення регістрів і пристрою керування **ОбчП**.

По сигналам **НУ** і **НУ2** здійснюється скидання **РР1**, **РР3**, 3, 4-го байтів **ВР** і 1-го байта **ССП**. Крім цього, здійснюється скидання масок і замовлень до **РМ/3**, а також приведення схеми виробки сигналів підміни до заблокованого стану.

Для організації пуску **ОбчП** з фіксованої адреси сигнал **НУ** встановлює в 2-й байт **ССП** нульової бази, а в 3, 4-й байти **ССП** - адресу нульової чарунки **ДЗП**, адресу першої команди бойової програми.

В **УУ** сигнал **НУ** встановлює в **РКОП1** і **РКОП2** код, що відповідає командам переходу по адресі (код **34**), в **РАМ2** – код, що відповідає адресі виходу із мікрокоманди, що виконується, а також виробляється сигнал **БлОСТ** шляхом встановлення тригера **T1** схеми виробки цього сигналу в **1**. Таким чином, у **ОбчП** по сигналам **НУ** і **НУ2** імітується ситуація останова процесора після виконання попередньої команди і приймання **ВР** команди **БПА**.

В том випадку, коли необхідно організувати пуск **ОбчП** по адресі, що записана в **ПОУ**, після сигналу **НУ** з схеми взаємодії з **ПОУ** надходить сигнал **ЗАП ССП**, по котрому інформація з клавіш **ИНФОРМАЦИОННОЕ ПОЛЯ ПОУ** записується до **ССП**.

Після появи сигналу **ПУСК** зі схеми взаємодії з **ПОУ** в **УУ** знімається **БлОСТ** і виконується команда **БПА**, яка передає керування по фіксованій адресі або по адресі, яка набрана на **ПОУ**.

3. Апаратний контроль працездатності ОбчП

Схема апаратного контролю призначена для виявлення несправностей в апаратурі ОбчП. Зберігання інформації в реєстровій пам'яті ОбчП, пересилання інформації між пам'яттю і ОбчП, адресний тракт СО, виконання різних операцій арифметичним пристроєм контролюється методом побайтової парності. Кожний восьмирозрядний байт супроводжується контрольним розрядом, який містить доповнення на непарність.

З метою забезпечення такого контролю до реєстрів результатів PP1, PP2, PP3, вхідного реєстра ВР і реєстра словостану процесора ССП підключені контролюючі схеми.

Контролююча схема є згортою по модулю 2 на 8 розрядів, що формує контрольний розряд відповідного байта, і згортою по модулю 2 на 2 розряди, яка порівнює прийнятий контрольний розряд з виробленим і формує сигнал СБОЙ. Конструктивно контролюючі схеми виконані у тих же ТЕЗах, що і відповідні регістри.

Для контролю роботи суматора, нормалізатора і зсувача використовується метод передбачення парності з парністю результату. В деяких випадках інформація на регістри приймається без контрольних кодів, тому для наступних пересилань схема контролю формує ці коди, але сигнал збою не вироблюється. Це стосується регістра РЗ, контрольні розряди якого формуються в окремому ТЕЗі згорток ЛУШ-0-001.

Іноді потрібно корегування контрольного розряду. У разі виконання команд **ИЗУЧ**, **БПА** записаний раніше контрольний розряд буде неправильним, і тому він формується заново схемою згортки.

Сигнали збоїв з усіх контролюючих схем надходять на 4-6-й розряди регістра **ССП**. На 4-й розряд – зі схеми контролю **РР1**, **РР2**, **РР3**, суматора і **ВР** при записуванні на **ВР** з пам'яті; на 5-й розряд – збої з **ВР** при внутрішніх пересиланнях і збій адресного тракту **СБЗП**, на 6-й розряд – зі схем контролю **ССП**, сигнал переповнення суматора і збій **УК**. На виході **ССП** усі ці збої об'єднуються в **СБОбчП**, який надходить на найпріоритетніший розряд регістра заявок.

Література:

- **СВ-1. Шкаф П. Техническое описание. ч. 1
ЭПЗ.031.189.ТО.**