



Национальный исследовательский Институт «Московский Энергетический
Институт»

ДИПЛОМНАЯ РАБОТА

ТЕМА: «ГЕНЕРАТОР, ЗАДАЮЩИЙ 16-БИТНУЮ ПОСЛЕДОВАТЕЛЬНОСТЬ»

Студент гр.Э-05-12 Сипарова Анна Павловна
Научный руководитель: ст.пр. Ануфриев Ю.В.

2016 год

ТЕХНИЧЕСКОЕ ЗАДАНИЕ:

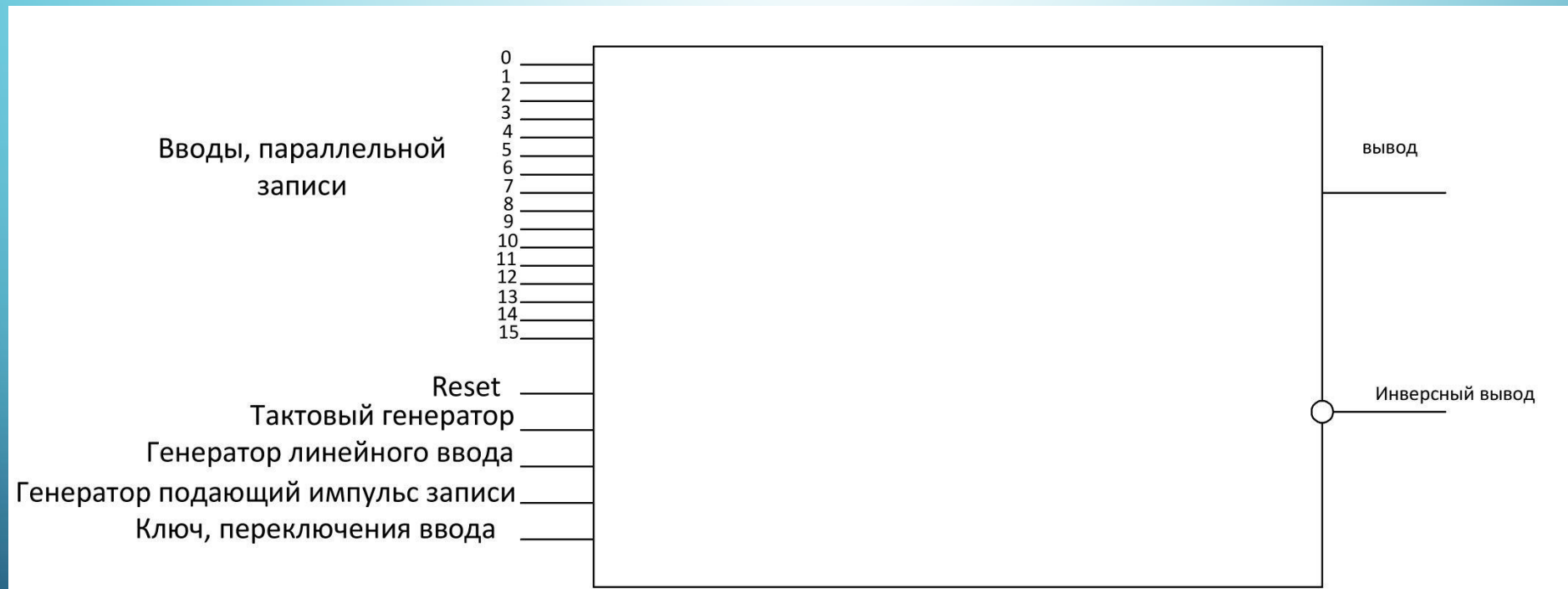
□ Спроектировать ИС: генератор, задающий 16-битную последовательность в базисе ТТЛ с щелевой изоляцией с технологической нормой 1,5 мкм, со следующими параметрами слоев:

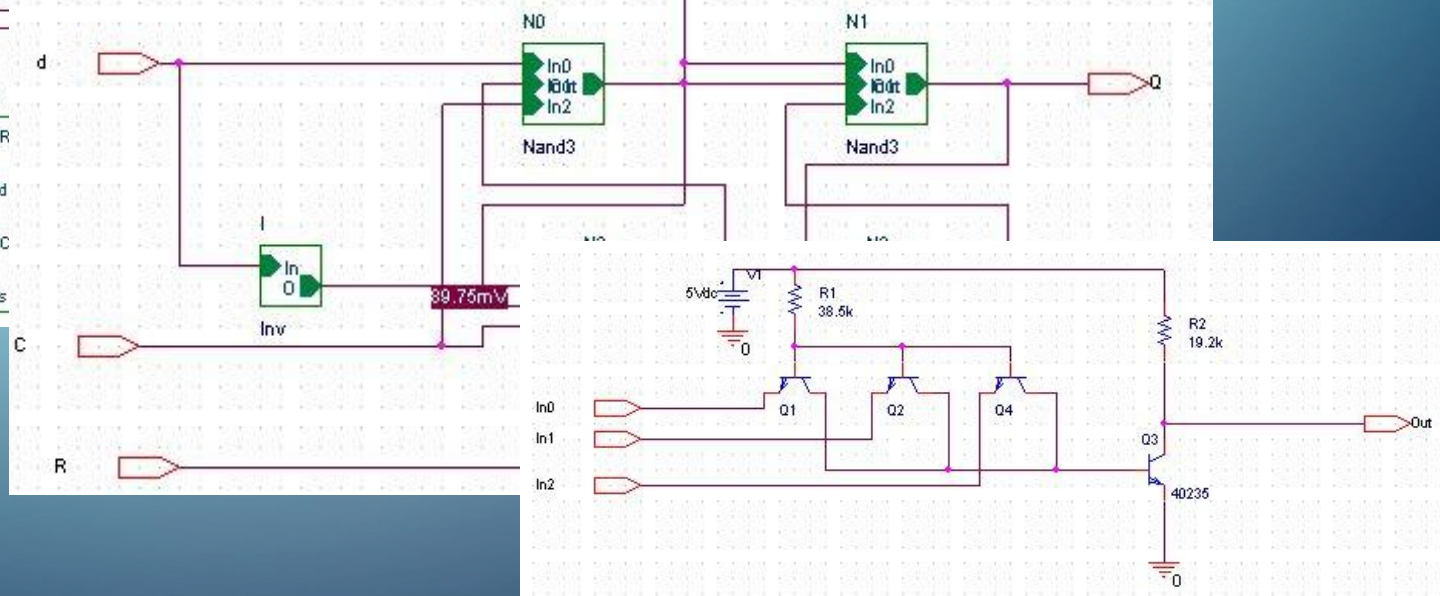
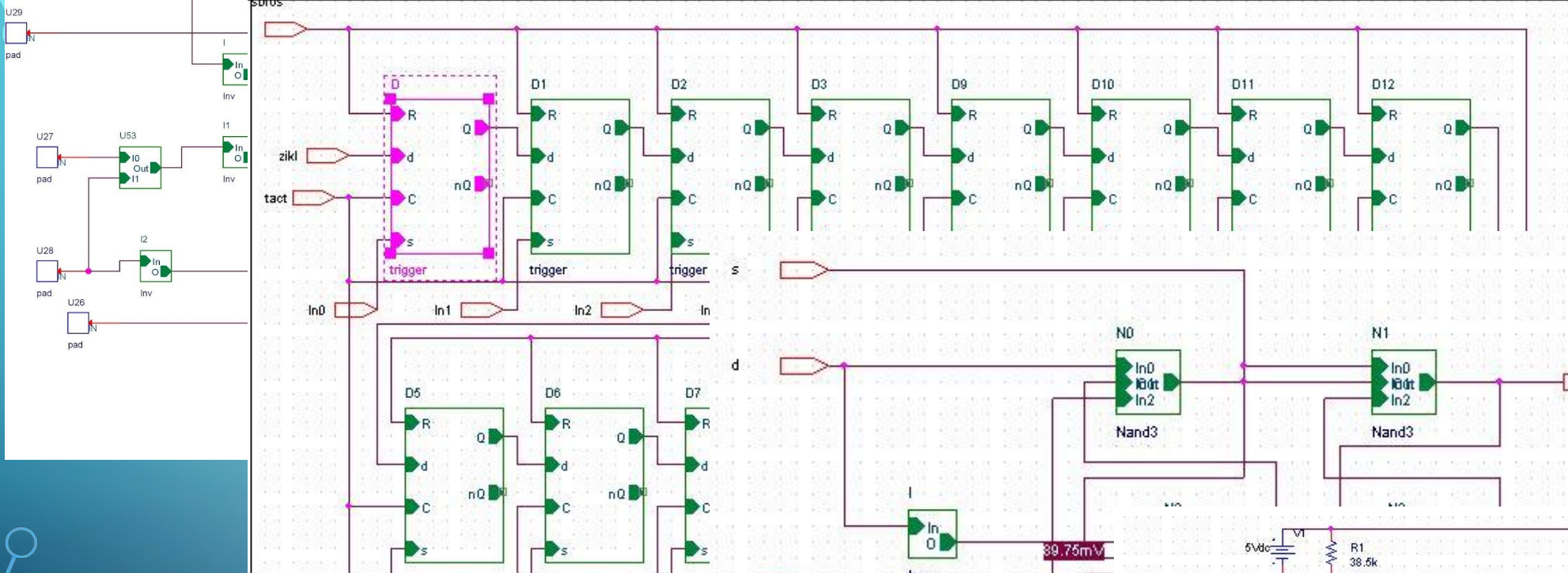
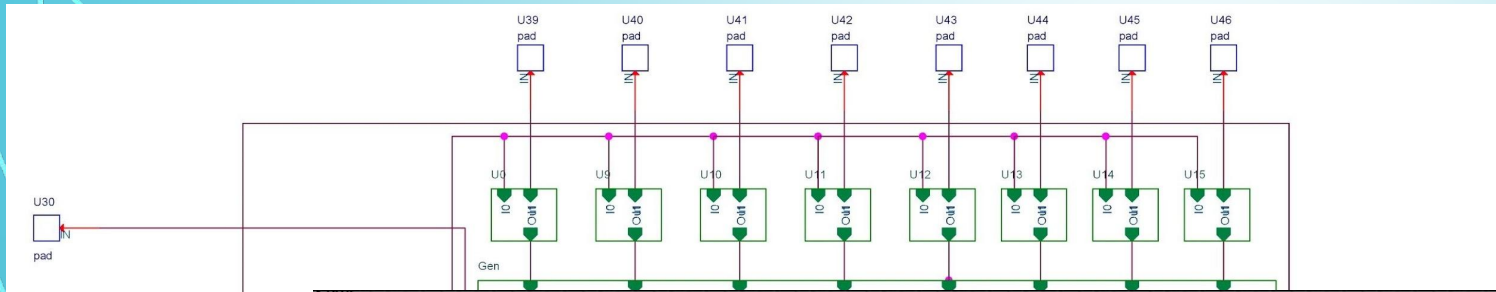
№	Функции слоя	Тип проводимости	Толщина, мкм	Удельное сопротивление ρ_s Ом/кв (или ρ Ом×см)
1	Подложка	p	300 ± 30	(10 ± 3)
2	Скрытый слой	n^+	0.4 ± 0.3	50 ± 12
3	Эпитаксиальный слой	n	1.7 ± 0.3	(3 ± 1)
4	Разделительные области	p^+	2.5 ± 0.4	25 ± 5
5	Глубокий коллектор	n^+	2.3 ± 0.4	30 ± 6
6	База пассивная	p^+	1.0 ± 0.2	200 ± 40
7	База активная	p	0.6 ± 0.15	2000 ± 500
8	Эмиттер	n^{++}	0.3 ± 0.1	50 ± 10
9	Защитный/изолирующий слой		0.6 ± 0.1	
10	Металлизация		0.7 ± 0.1	

КРАТКОЕ СОДЕРЖАНИЕ:

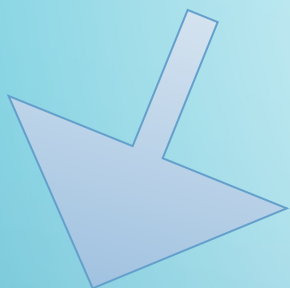
- Разработка логической структуры
- Технологическое проектирование
- Физико-топологическое проектирование
- Проектирование электрической схемы и топологии базовой ячейки

РАЗРАБОТКА ЛОГИЧЕСКОЙ СТРУКТУРЫ УСТРОЙСТВА





ТЕХНОЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ



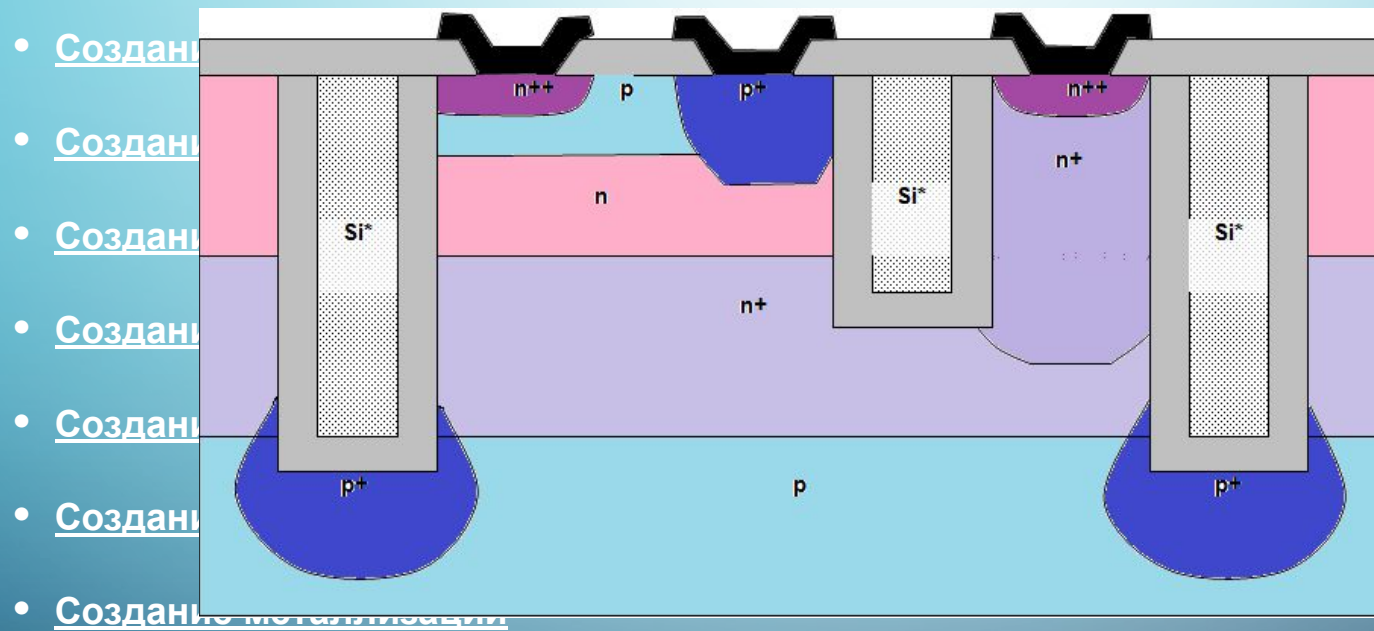
Расчет режимов высокотемпературных операций

- ✓ разработка технологического маршрута изготовления транзистора
- ✓ расчёт режимов технологических операций
- ✓ расчёт параметров получаемой структуры



Расчет конструктивно технологических ограничений

Разработка технологического маршрута изготовления транзистора



РАСЧЁТ РЕЖИМОВ ТЕХНОЛОГИЧЕСКИХ ОПЕРАЦИЙ

$$Q = 2N_s \sqrt{\frac{D \cdot t}{\pi}}$$

количество атомов примеси, поступившее из полуограниченного источника за время t

$$\rho_s = \left(q \cdot \int_0^{h_{\text{слоя}}} \mu(N) \cdot N(x) dx \right)^{-1}$$

Удельное сопротивление

$$W = \sqrt{4 \cdot D \cdot t \cdot \ln \left(\frac{Q}{\sqrt{\pi \cdot D \cdot t \cdot N}} \right)}$$

толщина слоя

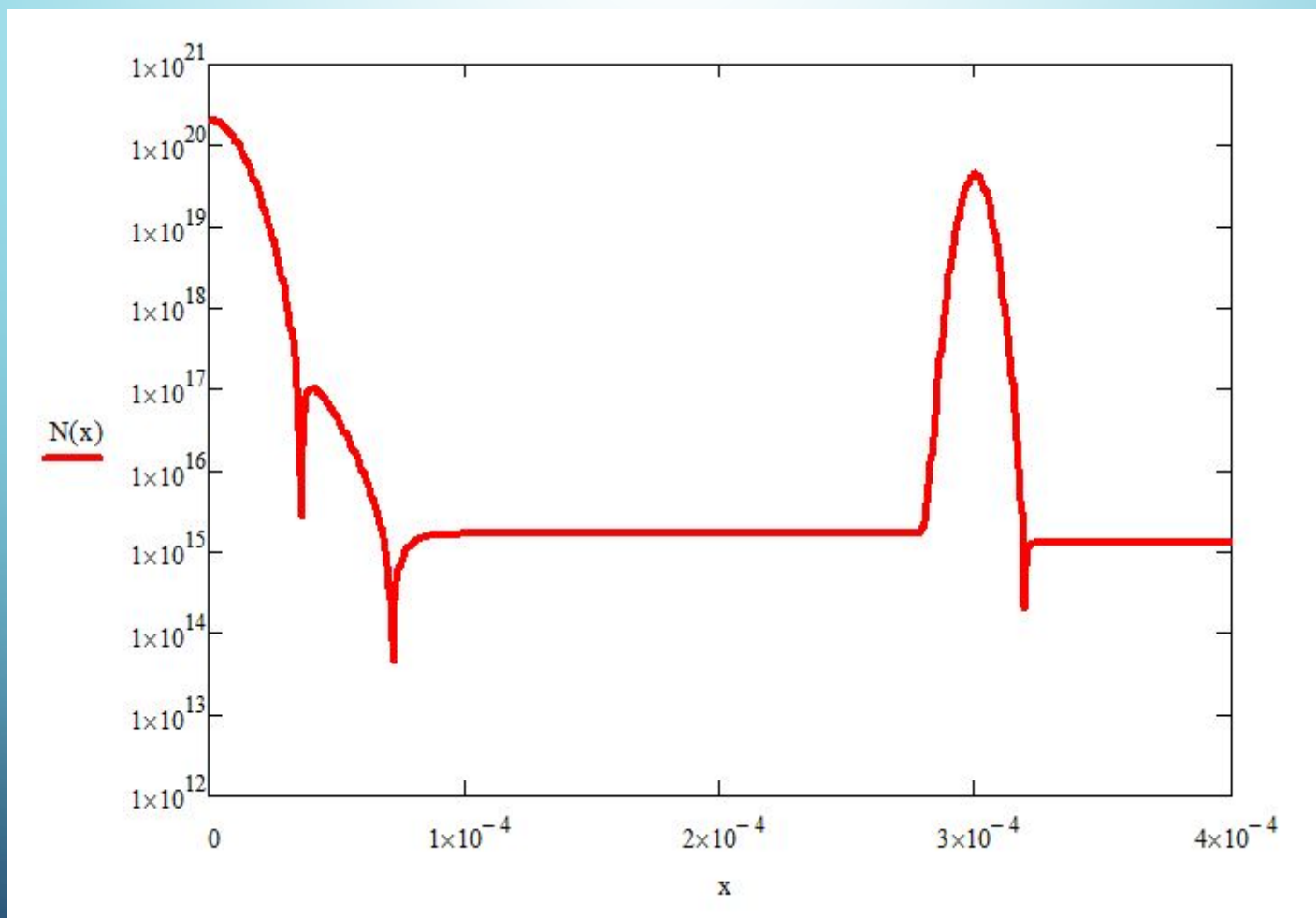
$$N(x, t) = \frac{Q}{\sqrt{\pi \cdot D \cdot t}} \cdot \exp \left(-\frac{x^2}{4 \cdot D \cdot t} \right)$$

распределение примеси, по функции Гаусса

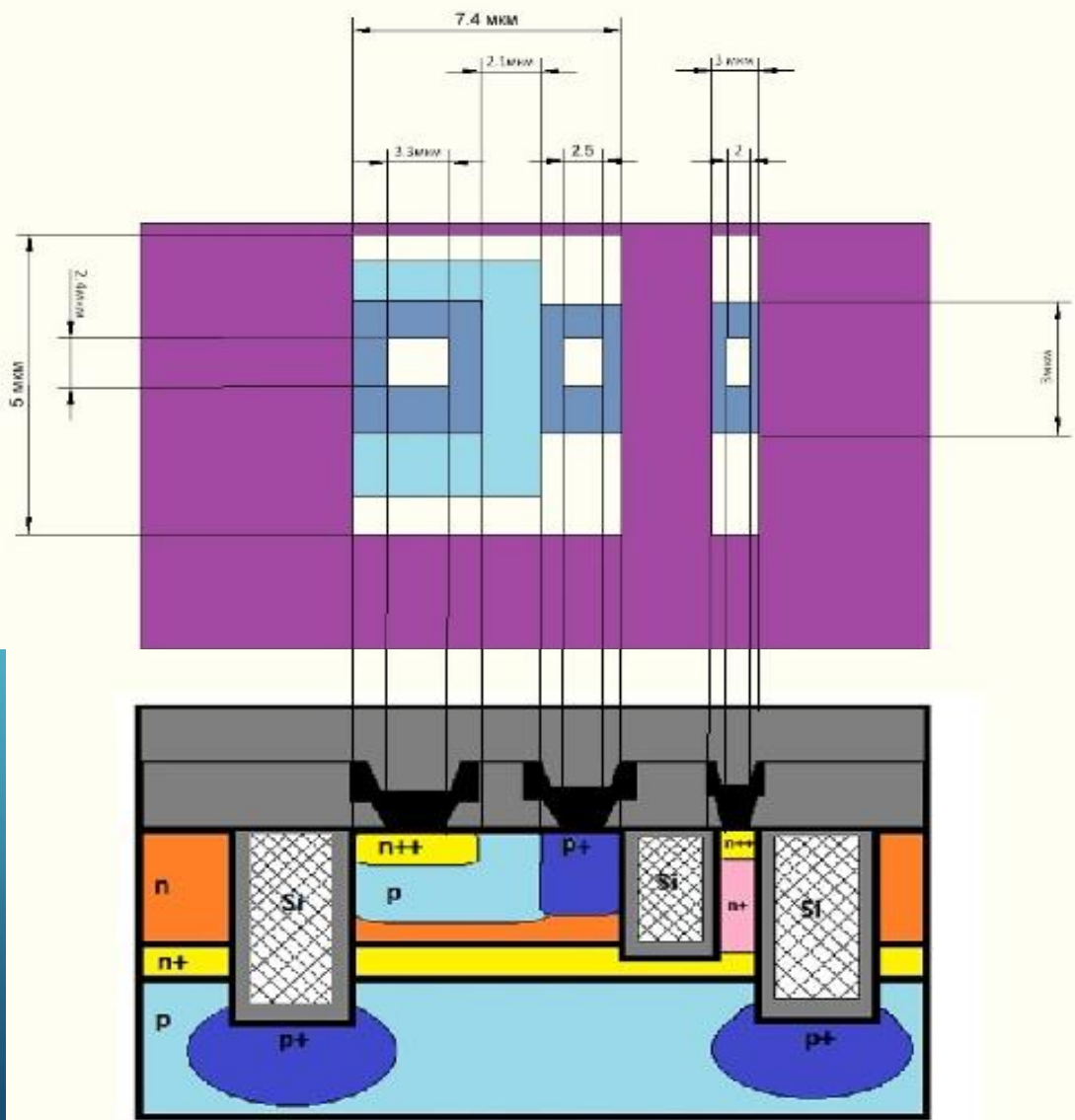
$$t_{\text{заг}} = \frac{\pi}{D} \cdot \left(\frac{Q_{\text{Глуб.кол.}}}{2 \cdot N_{s \text{Глуб.кол.}}} \right)^2$$

Время загонки

Эффективное распределение легирующей примеси в структуре



РАСЧЕТ КОНСТРУКТИВНО ТЕХНОЛОГИЧЕСКИХ ОГРАНИЧЕНИЙ



ТЕОРЕТИЧЕСКИЙ РАСЧЕТ

Обозначение	Описание
IS	Ток насыщения, А
ISE	Обратный ток эмиттерного перехода, А
ISC	Обратный ток коллекторного перехода, А
IKR	Ток начала спада за счетности от тока эмиттера, А
BF	Максимальный коэффициент усиления тока в нормальном режиме
BR	Максимальный коэффициент усиления тока в инверсном режиме

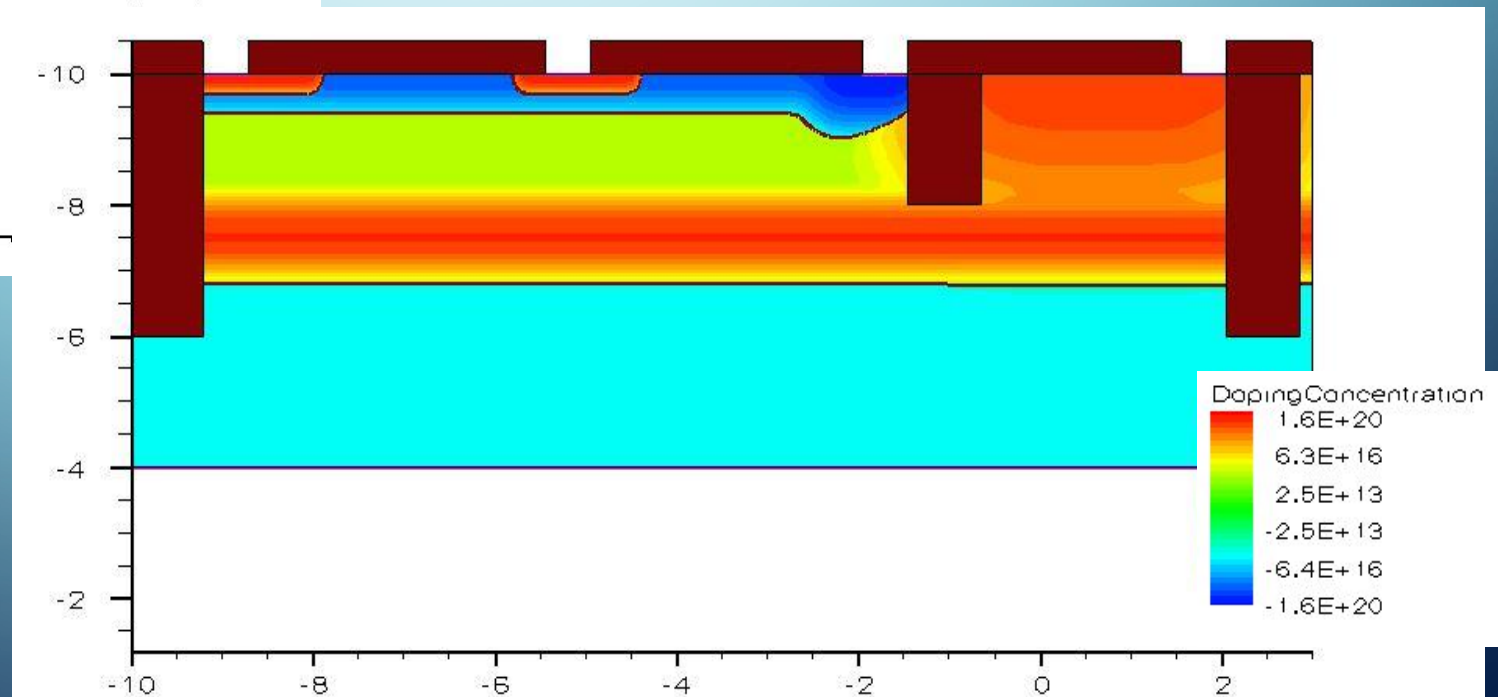
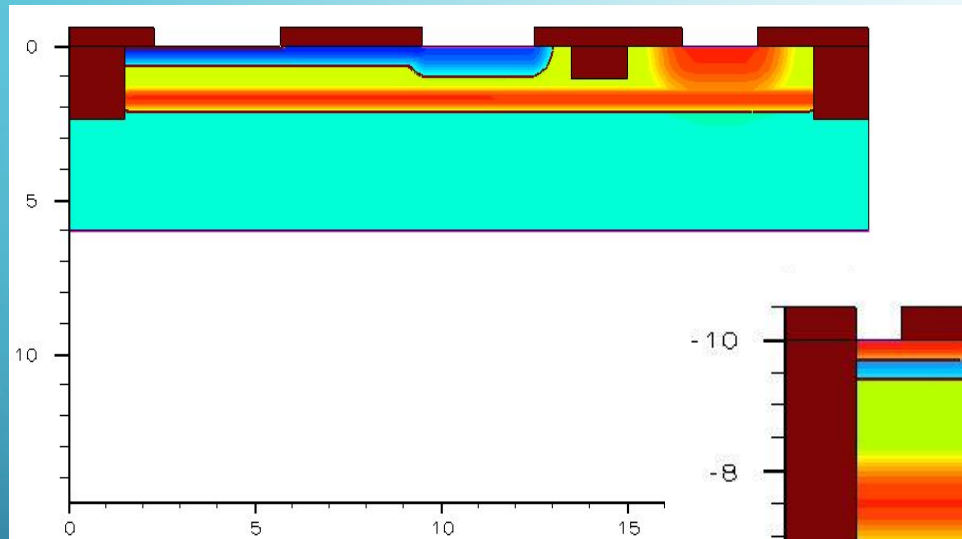
Уравнения, связывающие напряжения на электродах транзистора и токи через них, с параметрами модели Гуммеля-Пуна

$$I_b = \frac{IS}{\beta F} \cdot \left[e^{\frac{U_{be}}{NF \cdot \phi t}} - 1 \right] + ISE \cdot \left[e^{\frac{U_{be}}{NE \cdot \phi t}} - 1 \right] + \frac{IS}{\beta R} \cdot \left[e^{\frac{U_{bc}}{N \cdot \phi t}} - 1 \right] + ISC \cdot \left[e^{\frac{U_{bc}}{NC \cdot \phi t}} - 1 \right]$$

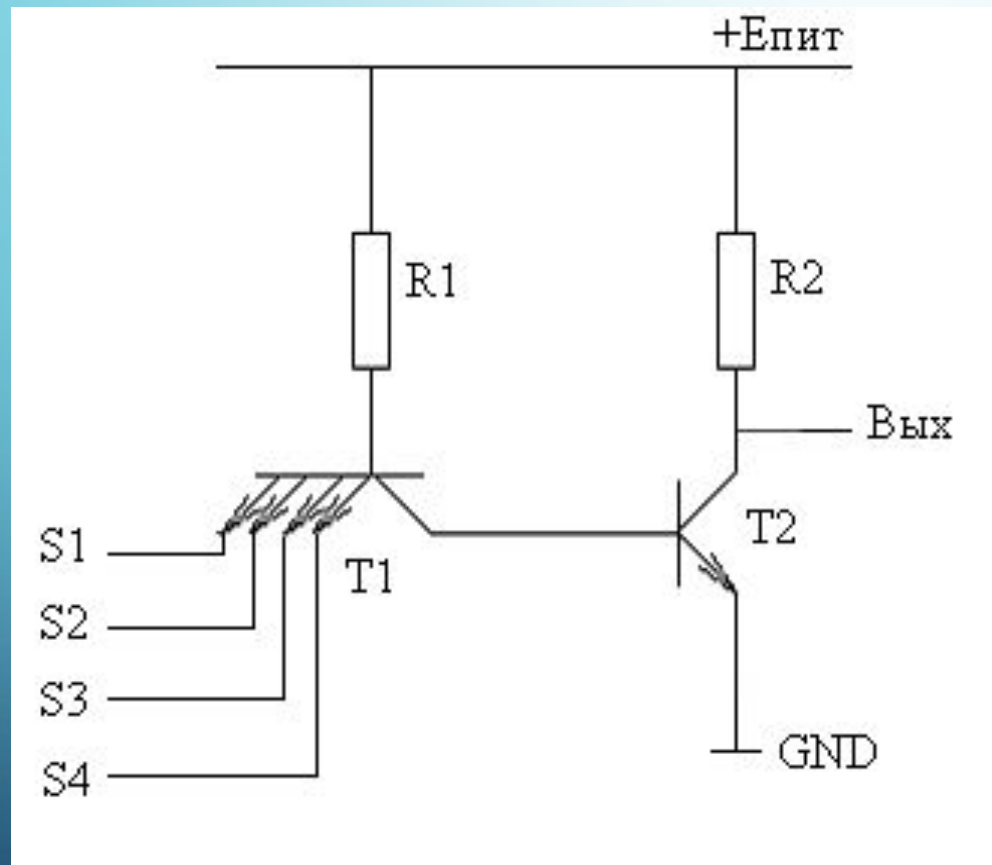
$$I_c = \frac{IS}{qb} \cdot \left[e^{\frac{U_{be}}{NF \cdot \phi t}} - e^{\frac{U_{bc}}{NR \cdot \phi t}} \right] - ISC \cdot \left[e^{\frac{U_{bc}}{NC \cdot \phi t}} - 1 \right]$$

RE	Объемное сопротивление эмиттера, Ом
RB	Объемное сопротивление базы, Ом
RBM	Минимальное сопротивление базы, Ом
TF	Время переноса заряда в нормальном режиме, с
TR	Время переноса заряда в инверсном режиме, с
CJE	Емкость эмиттерного перехода, пф
CJC	Емкость коллекторного перехода, пф
CJS	Емкость коллектор-подложка, пф
NE	Коэффициент неидеальности эмиттерного перехода
NC	Коэффициент неидеальности коллекторного перехода
NF	Коэффициент неидеальности эмиттерного перехода
NR	Коэффициент неидеальности коллекторного перехода

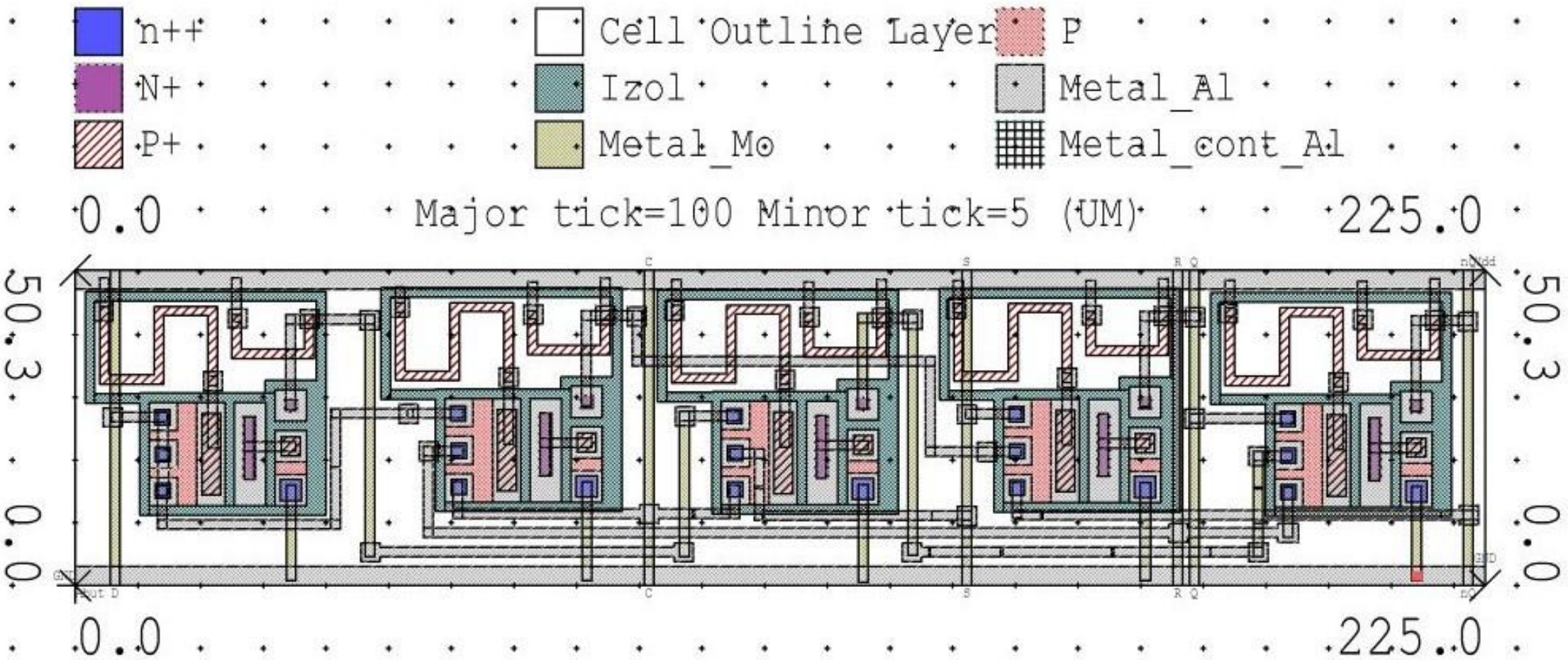
СТРУКТУРА ТРАНЗИСТОРА СМОДЕЛИРОВАННАЯ ПРОГРАММЕ T-CAD



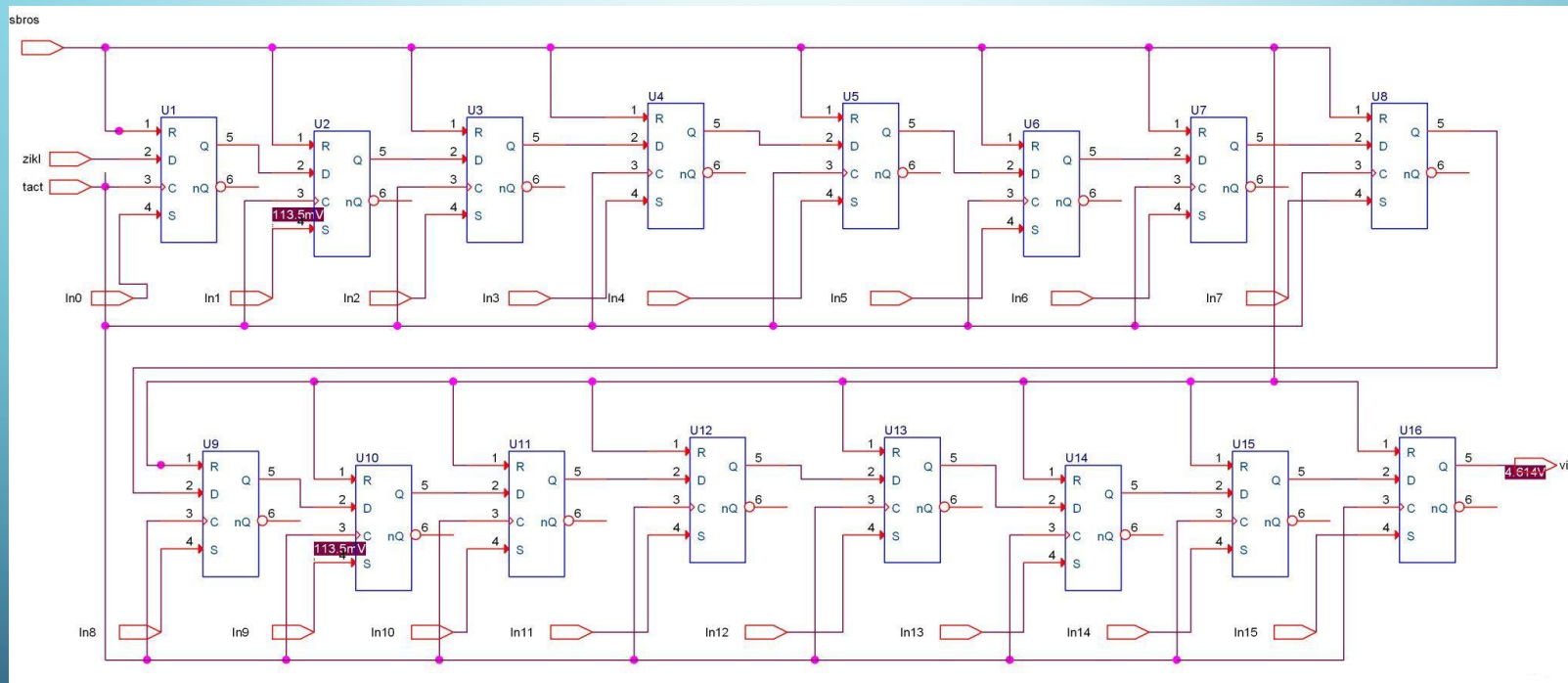
РАЗРАБОТКА ЭЛЕКТРИЧЕСКОЙ СХЕМЫ БАЗОВОГО ЭЛЕМЕНТА.

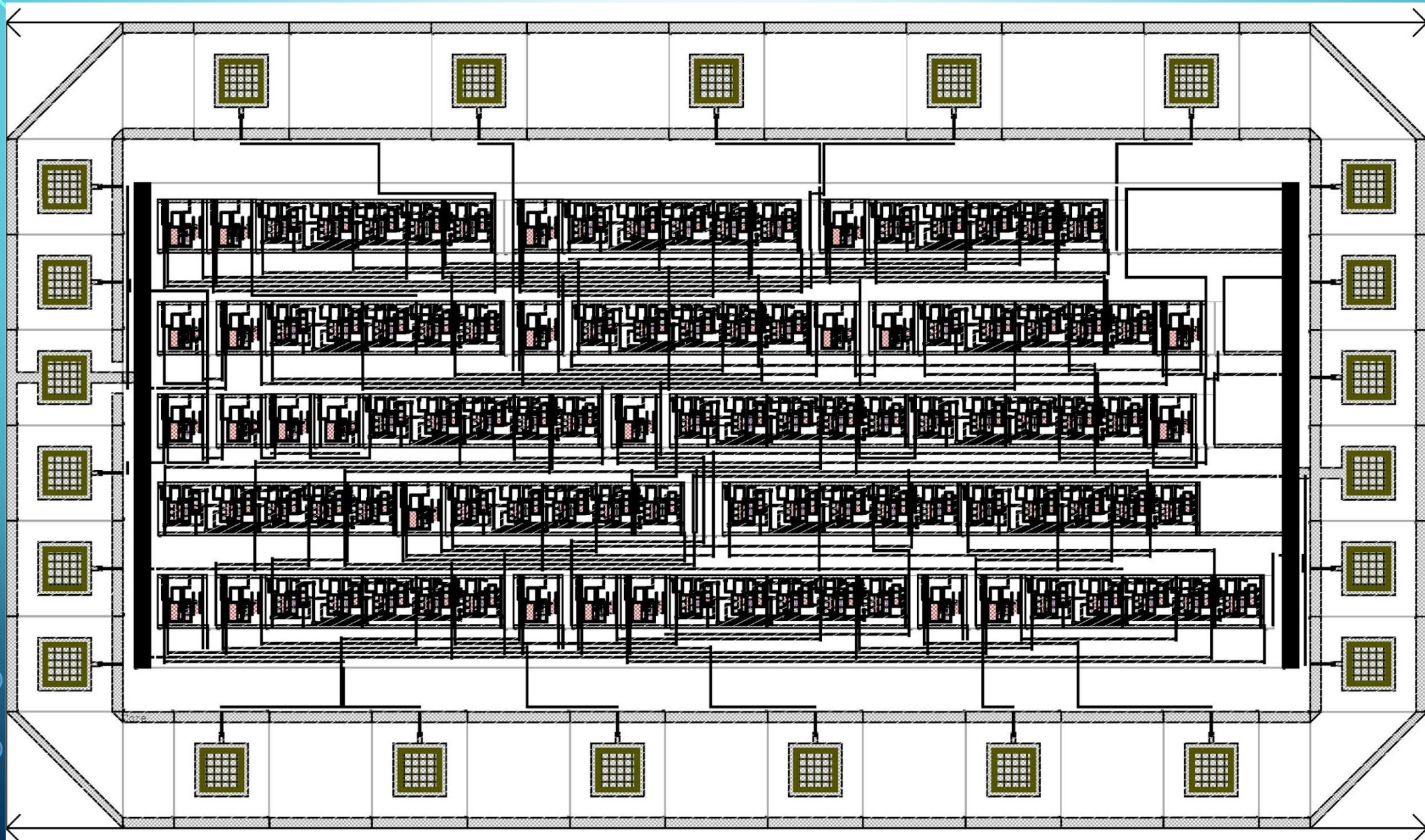


РАЗРАБОТКА ТОПОЛОГИИ БАЗОВОГО ЛОГИЧЕСКОГО ЭЛЕМЕНТА



РАЗРАБОТКА ТОПОЛОГИИ БАЗОВОГО ЛОГИЧЕСКОГО ЭЛЕМЕНТА





СПАСИБО ЗА ВНИМАНИЕ !!!

27.06.2016, Москва