

МИКРОСХЕМЫ С ПРОГРАММИРУЕМОЙ СТРУКТУРОЙ

Начальные сведения о ПЛИС

ПЛИС (**P**rogrammable **L**ogic **D**eVICES) представляют собой новую электронную компонентную базу, на основе которой проектируются и изготавливаются современные цифровые устройства различного назначения. Несомненными достоинствами ПЛИС являются возможность размещения на одном кристалле нескольких цифровых устройств и возможность перепрограммирования (переконфигурирования) с целью получения схем с новыми функциональными параметрами.

ПЛИС предоставляют возможности быстрого создания цифровых устройств с задаваемой пользователем внутренней структурой.

ПЛИС представляют собой интегральные схемы с программируемой пользователем структурой (ИСПС), которые, в свою очередь, относятся к специализированным интегральным схемам.

Классификация ПЛИС по архитектуре в общей классификации микросхем с программируемой структурой приведена на следующем слайде.

Важным видом БИС/СБИС сейчас стали и "системы на кристалле" (SOPC, System On Programmable Chip), которые не указаны в классификации на рис. 1, поскольку они в нее непосредственно не встраиваются. К "системам на кристалле" относятся схемы, объединяющие в себе все основные функциональные элементы конечного продукта (процессор, память, аппаратные быстродействующие блоки разного функционального назначения, интерфейсные схемы и т. д.). Термин "системы на кристалле" появился после выпуска ПЛИС, содержащих сотни тысяч или даже миллионы эквивалентных вентиляей.

Классификация микросхем с программируемой структурой

Среди программируемых пользователем логических (цифровых) схем выделены простые (SPLD), представляющие первое поколение схем с программируемой структурой в число которых входят микросхемы ПЛМ и ПМЛ, более сложные программируемые логические устройства (CPLD) и программируемые пользователем вентиляльные матрицы (FPGA), отличающиеся максимальной сложностью структуры и максимальными функциональными возможностями. К микросхемам, программируемым изготовителем (точнее с его участием), относятся полузаказные и заказные ИС. В число полузаказных ИС входят так называемые базовые матричные кристаллы БМК, среди которых выделены стандартные и появившиеся в последнее время структурированные варианты. Полностью заказные схемы отличаются наилучшими техническими характеристиками, но и самым дорогостоящим проектированием.

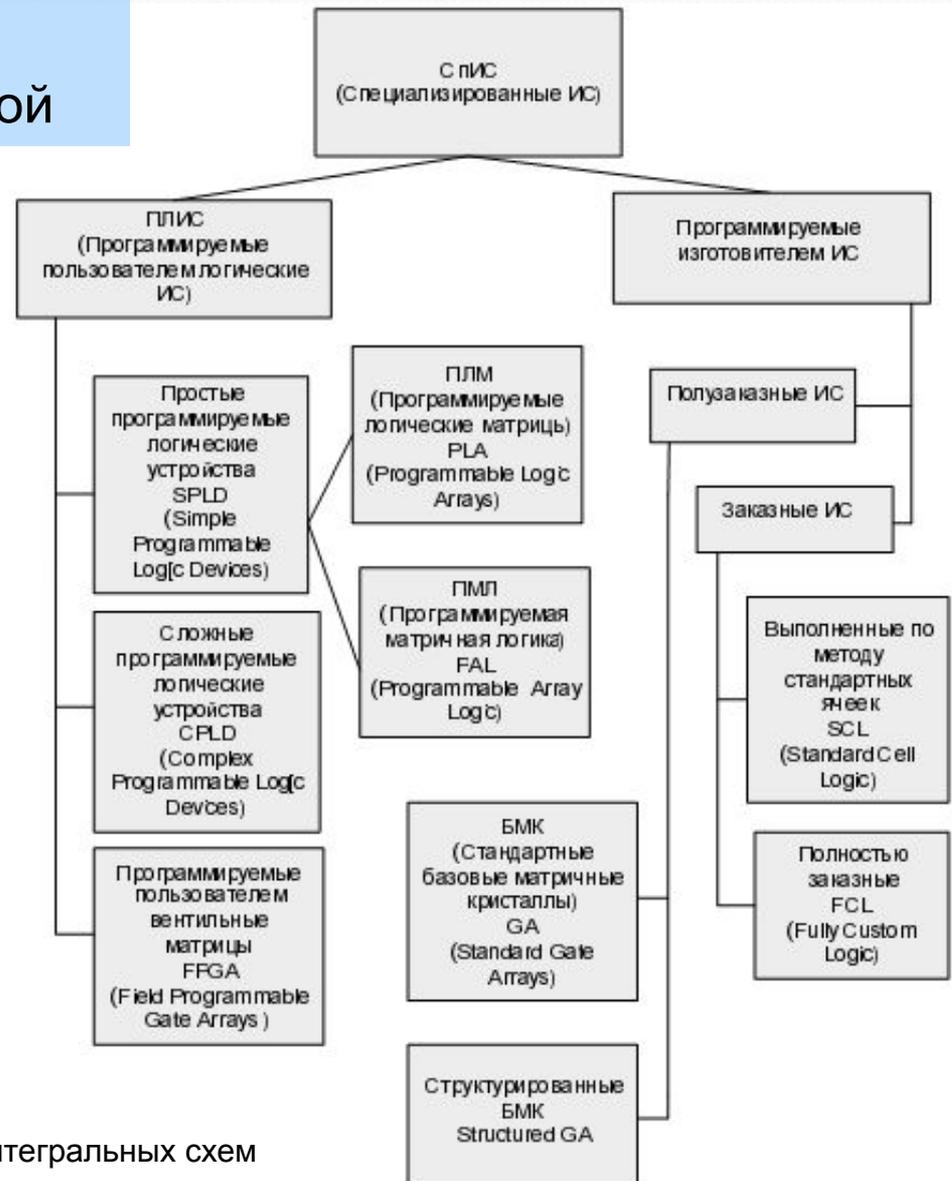


Рис. 1 Классификация специализированных интегральных схем

Программируемые логические матрицы (ПЛМ)

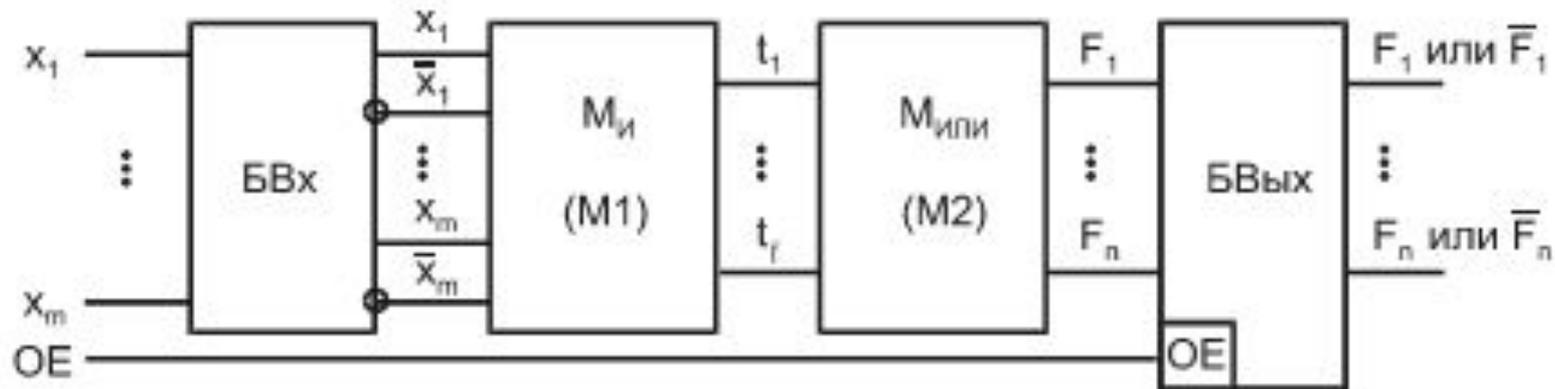


Рис. 2 Базовая структура ПЛМ

БВх – входные буферы, преобразующие однофазные входные сигналы в парафазные.
Ми – матрица элементов И (конъюнкторов), на выходе которой формируются λ термов.
Мили – матрица элементов ИЛИ (дизъюнкторы), формирующая n выходных функций.

Программируемые логические матрицы (ПЛМ)

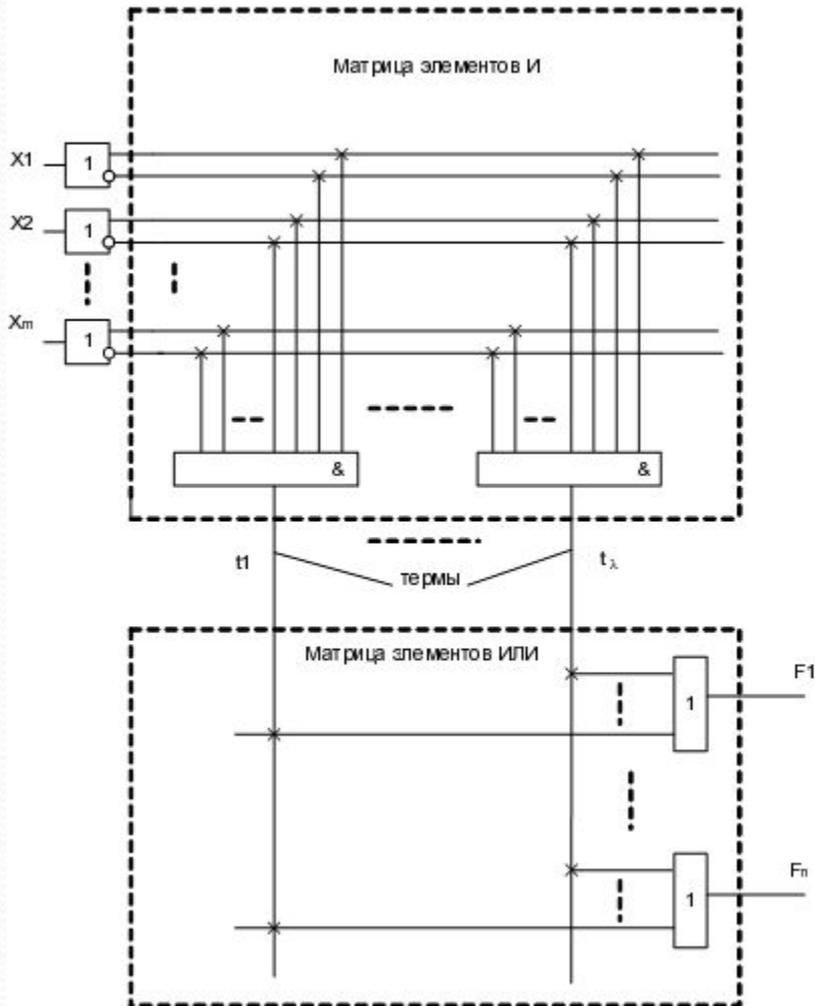


Рис. 3 Схема ПЛМ на вентиляльном уровне

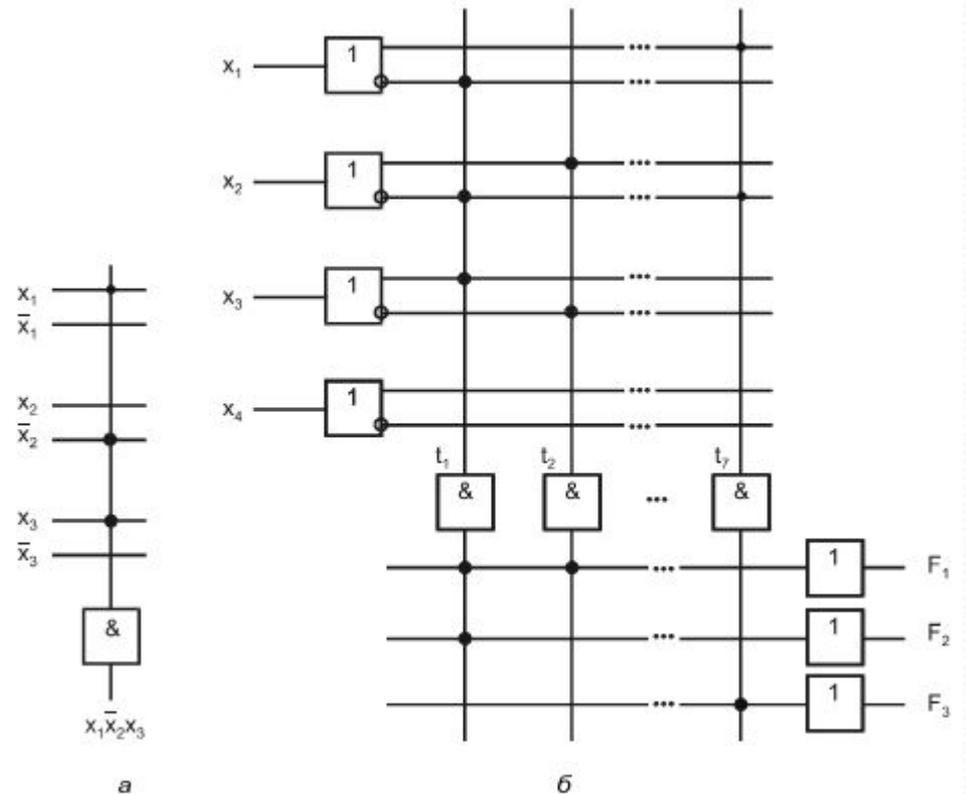


Рис. 4 Упрощенное изображение схемы многовходового ЛЭ (а) и ПЛМ (б)

ПЛМ с матрицами элементов ИЛИ-НЕ

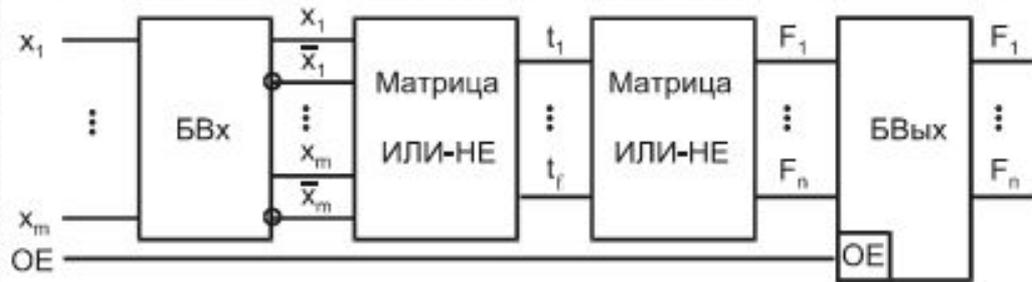


Рис. 5 Структура ПЛМ на элементах ИЛИ-НЕ

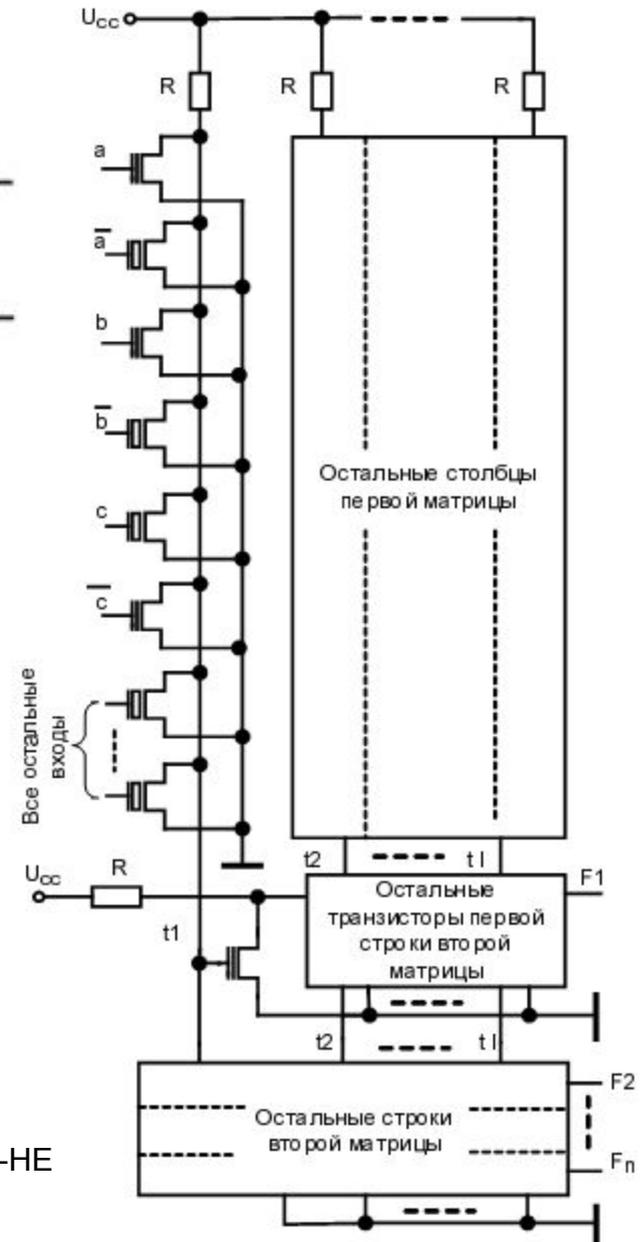
Пусть требуется получить терм $\bar{a}bc$

Воспользовавшись правилом де Моргана получим $\bar{a}bc = \overline{a \vee b \vee c}$

Формирование функции из термов будет выполняться согласно формуле $t_1 \vee t_2 \vee \dots \vee t_\lambda$

Отечественные ПЛМ — серия К556 (микросхемы РТ1, РТ2 схемотехнологии ТТЛШ с программированием прожиганием перемычек). Их размерность 16 входов, 48 термов, 8 выходов, задержка около 50 нс. Микросхема РТ1 имеет выходы с открытым коллектором, а РТ2 — с тремя состояниями.

Рис. 6 Схемная реализация ПЛМ с матрицами ИЛИ-НЕ



Программируемая матричная логика (ПМЛ)

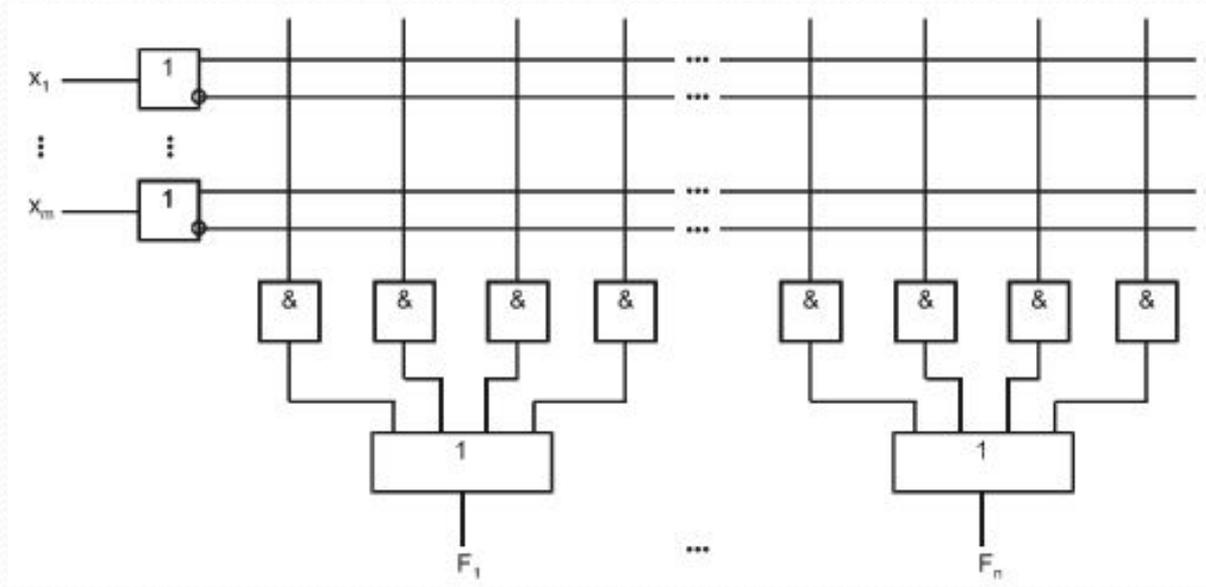


Рис. 7 Базовая структура ПМЛ

В сравнении с ПЛМ схемы ПМЛ имеют меньшую функциональную гибкость, т. к. в них матрица ИЛИ фиксирована, но их изготовление и использование проще. Преимущества ПМЛ особенно проявляются при проектировании несложных устройств. Продукция класса SPLD, выпускаемая несколькими крупными фирмами, почти исключительно представлена микросхемами ПМЛ (PAL, GAL). Структуры ПЛМ (PLA) типичны для схем формирования управляющих сигналов в машинных циклах микропроцессорных систем и других подобных применений, где они проектируются как часть систем, а не являются автономными микросхемами.

Обогащение функциональных возможностей ПЛМ и

ПМЛ

Программирование выходных буферов

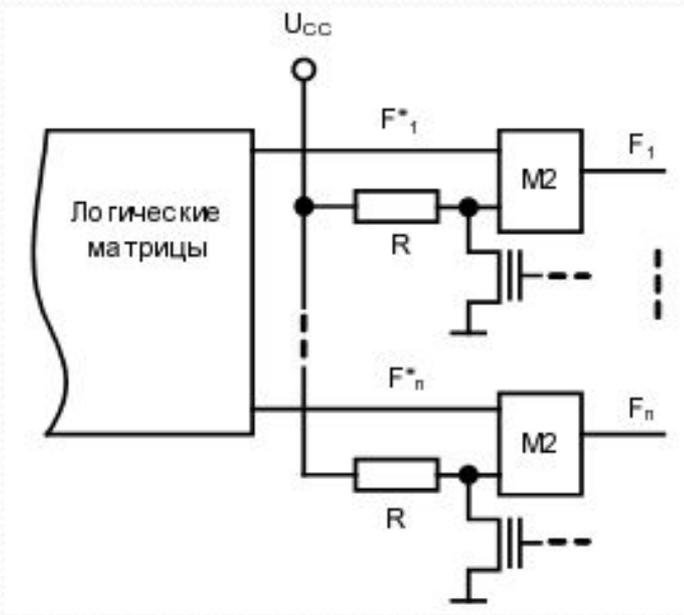


Рис. 8 Схема программируемого выходного буфера

Программируемый буфер дает дополнительные возможности для минимизации числа термов в реализуемой системе. В исходной системе можно заменять функции их инверсиями, если это приводит к уменьшению числа термов.

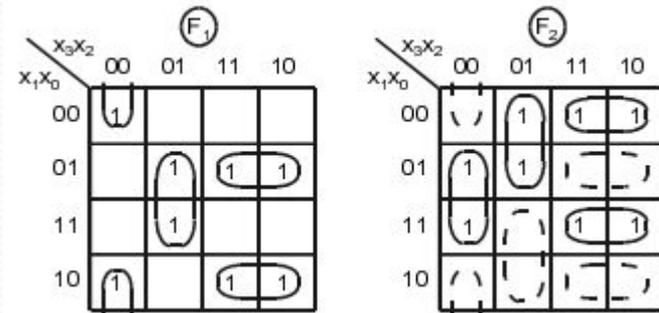
Пример

Пусть нужно воспроизвести систему из двух функций:

$$F_1 = \bar{x}_3\bar{x}_2\bar{x}_0 \vee \bar{x}_3x_2x_0 \vee x_3\bar{x}_1x_0 \vee x_3x_1\bar{x}_0;$$

$$F_2 = \bar{x}_3\bar{x}_2x_0 \vee \bar{x}_3x_2\bar{x}_1 \vee x_3\bar{x}_1\bar{x}_0 \vee x_3x_1x_0.$$

Карты Карно для этих функций показывают контуры, соответствующие 8 различным термам системы:



$$t_1 = \bar{x}_3\bar{x}_2\bar{x}_0, t_2 = \bar{x}_3x_2x_0, t_3 = x_3\bar{x}_1x_0, t_4 = x_3x_1\bar{x}_0;$$

$$t_5 = \bar{x}_3\bar{x}_2x_0, t_6 = \bar{x}_3x_2\bar{x}_1, t_7 = x_3\bar{x}_1\bar{x}_0, t_8 = x_3x_1x_0.$$

При инвертировании, например, функции F_2 получим карту с контурами, показанными штриховыми линиями, и систему функций:

$$F_1 = \bar{x}_3\bar{x}_2\bar{x}_0 \vee \bar{x}_3x_2x_0 \vee x_3\bar{x}_1x_0 \vee x_3x_1\bar{x}_0 = t_1 \vee t_2 \vee t_3 \vee t_4,$$

$$\bar{F}_2 = \bar{x}_3\bar{x}_2\bar{x}_0 \vee \bar{x}_3x_2\bar{x}_1 \vee x_3\bar{x}_1x_0 \vee x_3x_1\bar{x}_0 = t_1 \vee t_5 \vee t_3 \vee t_4,$$

в которой всего пять различных термов. Возврат от инверсной функции к исходной функции осуществляется введением заряда в плавающий затвор транзистора в линии F_2 .

Обогащение функциональных возможностей ПЛМ и

ПМЛ

Введение элементов памяти

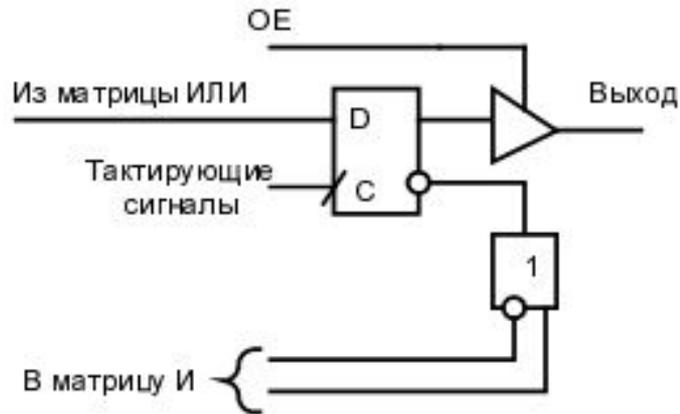


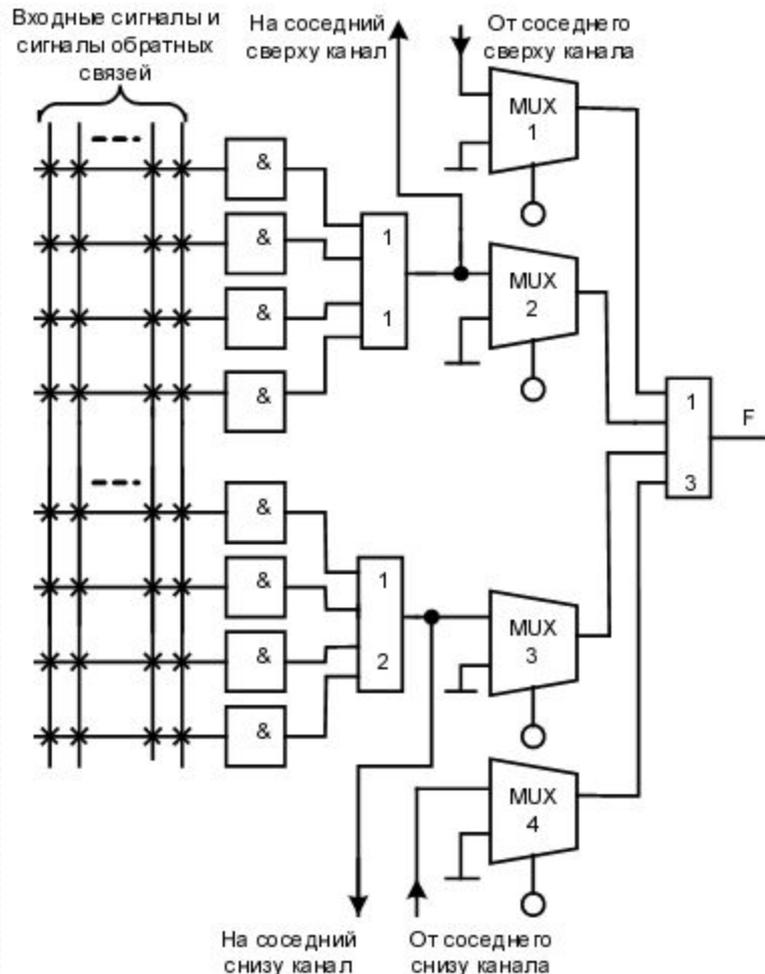
Рис. 10 Включение элементов памяти

Для построения автоматов нужны элементы памяти (триггеры). Триггер D включается в выходную цепь матрицы ИЛИ. Через управляемый буфер с третьим состоянием выход триггера соединен с выходом соответствующего канала ПЛМ или ПМЛ. Выходы триггера подаются обратно в матрицу И в виде парафазных сигналов. При показанном включении триггера реализуется типовое функционирование элемента памяти в схеме автомата. Функция возбуждения триггера вырабатывается логическими ресурсами комбинационной части ПЛМ или ПМЛ, а выход триггера подается в эту часть, поскольку функции возбуждения триггеров зависят не только от входных переменных, но и от внутреннего состояния автомата. Сигнал OE разрешает или запрещает передачу выходного сигнала триггера на выход канала ПЛМ или ПМЛ.

Обогащение функциональных возможностей ПЛМ и

ПМЛ

Использование разделяемых конъюнкторов в схемах ПМЛ



"Разделяемость" здесь означает "возможность использования как одним, так и другим каналом", при которой одни и те же конъюнкторы могут быть отданы тому или иному выходу схемы. В таких схемах сложные функции с большим числом термов могут воспроизводиться за счет заимствования термов от каналов выработки простых функций, где имеются избыточные термы.

Столбец из четырех программируемых мультиплексов реализует разделяемость термов, позволяя данному макроэлементу использовать не только термы от своих конъюнкторов, но и получать термы от соседних каналов (при программировании мультиплексов 1 и 4 на передачу данных от верхних входов) и отдавать свои термы соседям с выходов дизъюнкторов 1 и 2. Программирование мультиплекса на передачу данных от нижнего входа исключает поступающие на него термы из формируемого набора. Окончательный набор термов формируется дизъюнктором 3, на входы которого поступают выходные сигналы мультиплексов. Выработанная функция F может содержать до 16 термов.

Рис. 11 Разделение термов в ПМЛ

Примеры отечественных ПМЛ

В серию КР1556 отечественных ПМЛ входят микросхемы ХЛ8, ХП4, ХП6, ХП8. Буквой Л отмечаются ПМЛ чисто логического типа (без элементов памяти), а буквой П — ПМЛ с триггерами.

В микросхеме ХЛ8 (рис. 12) число входов может изменяться от 10 (входы, показанные с левой стороны матрицы) до 16, если все двунаправленные выходы В2...В7 запрограммированы как входы. Число выходов изменяется от 2 до 8. Суммарное число входов и выходов не может превышать 18.

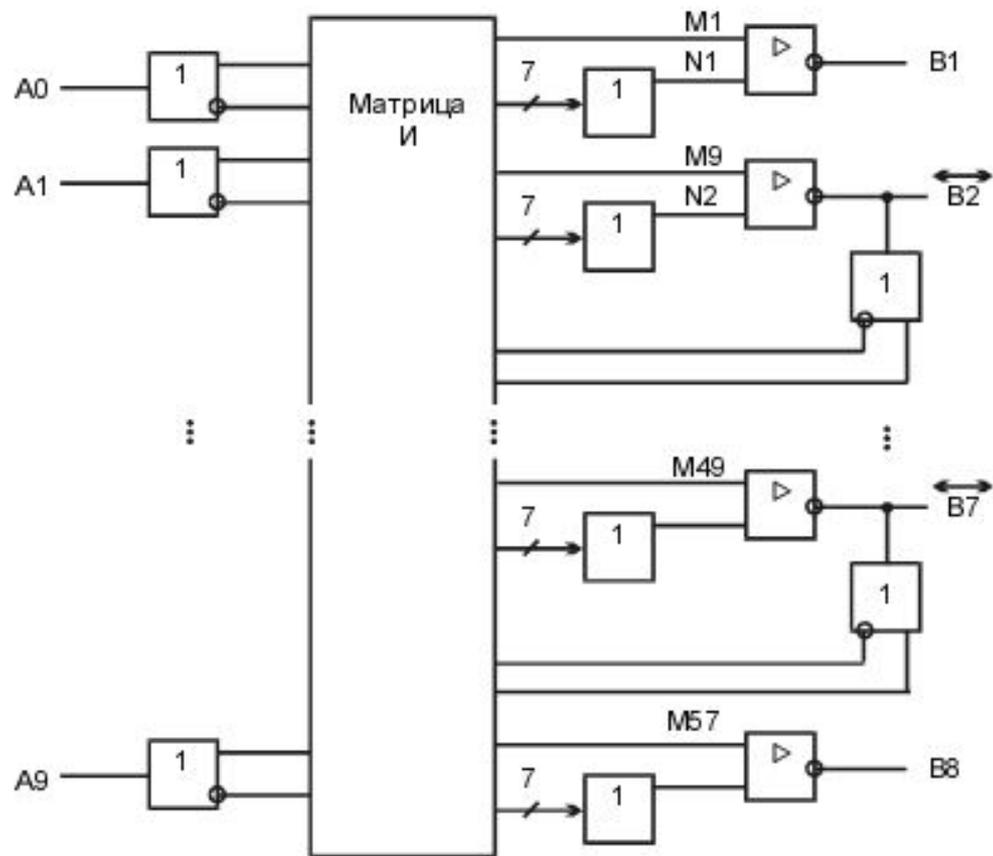


Рис. 12 ПМЛ без элементов памяти ПМЛ КР1556ХЛ8

Примеры отечественных ПМЛ

Структура ИС ХП4 (рис. 13) имеет первый уровень логики, на котором образуются термы входных переменных, второй уровень — матрица ИЛИ, состоящая из 8 дизъюнкторов (четырёх 7-входовых и четырёх 8-входовых). Выходные усилители выполнены по схеме с тремя состояниями. Четыре D-триггера имеют управление от положительного фронта внешнего синхросигнала С. Сигнал ОЕ управляет буферами, подключенными к выходам триггеров.

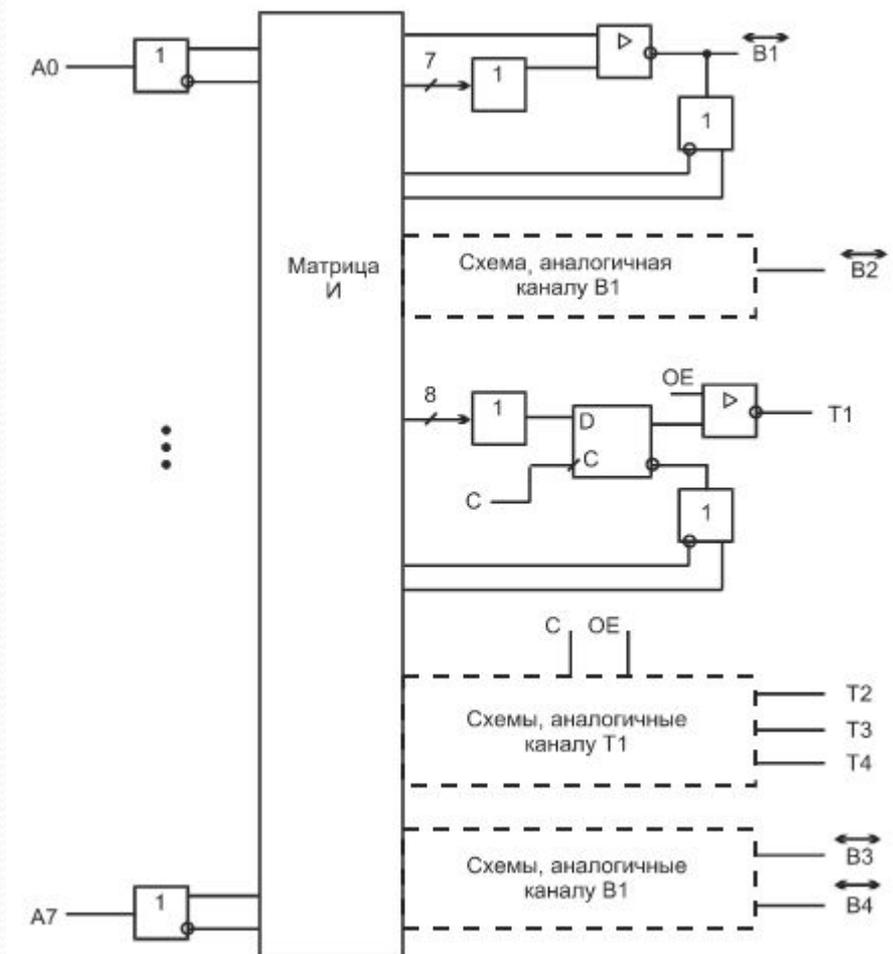


Рис. 13 ПМЛ с элементами памяти ПМЛ КР1556ХП4

Пример решения задачи на ПМЛ

Пусть на ПМЛ КР1556ХП4 требуется реализовать 4-разрядный синхронный счетчик, выполняющий помимо счета также операцию параллельной асинхронной загрузки. Для реализации счетчика нужно определить функции возбуждения триггеров всех его разрядов. В нашем распоряжении имеются триггеры типа D, для которых функции возбуждения совпадают с состояниями, которые должны принять триггеры в следующем такте. Найдем выражения для этих состояний.

Обозначим выходы разрядов счетчика, начиная с младшего, через Q_0 , Q_1 , Q_2 , Q_3 . Сигнал асинхронной загрузки обозначим как LE (Load Enable). Загружаемое слово — $A_3 A_2 A_1 A_0$. Функции возбуждения триггеров принимают вид («н» - новое состояние выходов триггеров):

$$Q_{0H} = \overline{LE} \overline{Q_0} \vee LE A_0,$$

$$Q_{1H} = \overline{LE} \overline{Q_1} Q_0 \vee \overline{LE} Q_1 \overline{Q_0} \vee LE A_1,$$

$$Q_{2H} = \overline{LE} \overline{Q_2} Q_1 Q_0 \vee \overline{LE} Q_2 \overline{Q_1} \vee \overline{LE} Q_2 \overline{Q_0} \vee LE A_2,$$

$$Q_{3H} = \overline{LE} \overline{Q_3} Q_2 Q_1 Q_0 \vee \overline{LE} Q_3 \overline{Q_2} \vee \overline{LE} Q_3 \overline{Q_1} \vee \overline{LE} Q_3 \overline{Q_0} \vee LE A_3$$

СПАСИБО ЗА ВНИМАНИЕ