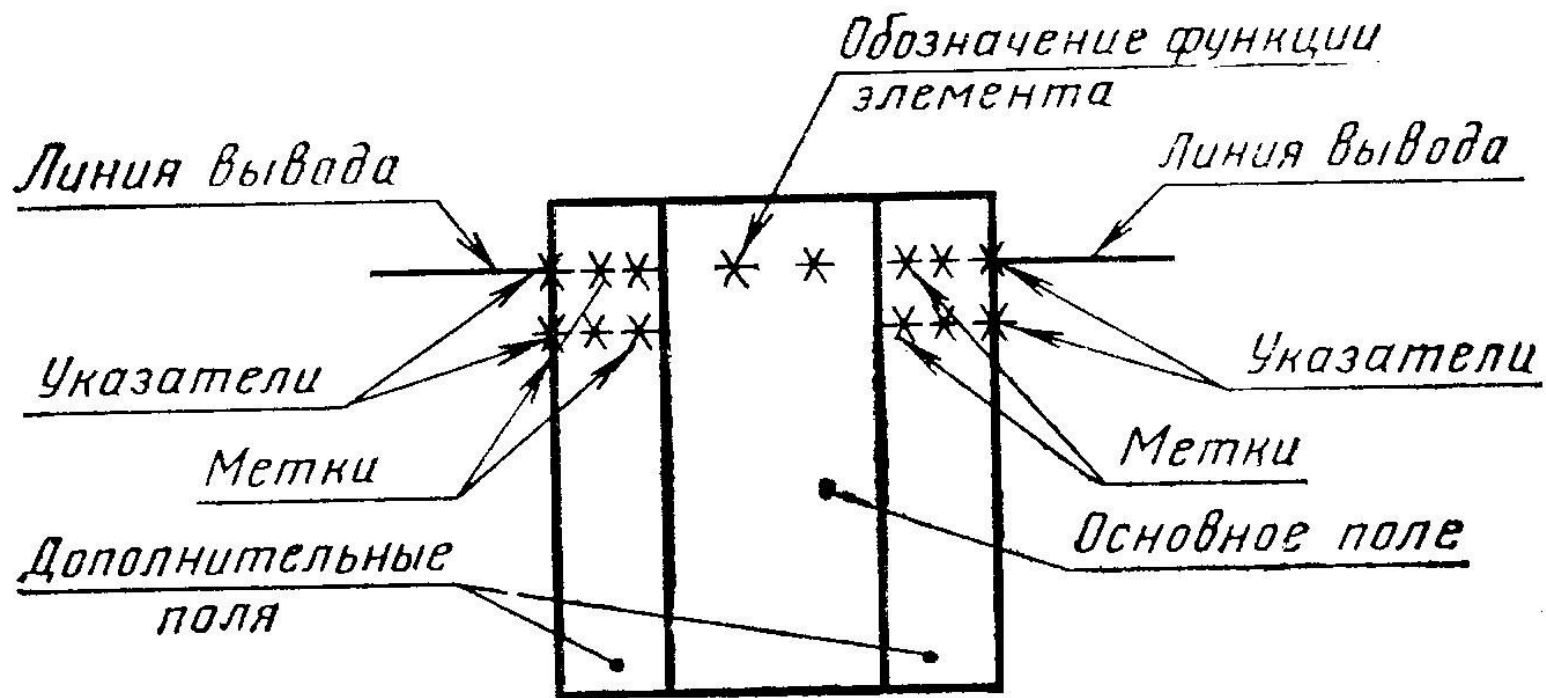
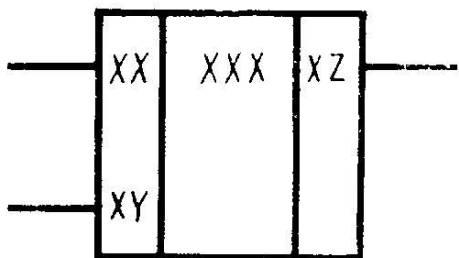


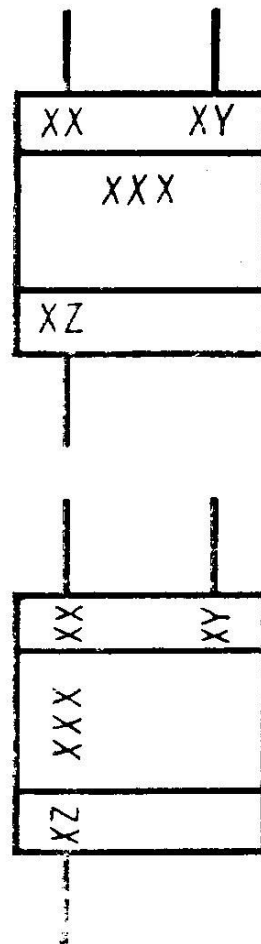
Изображение элемента и обозначение полей



Разрешенные варианты расположения элемента в схеме



≡

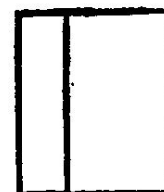


Изображение полей микросхем

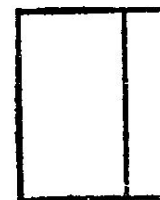
1. Основное поле



2. Основное поле с левым дополнительным полем

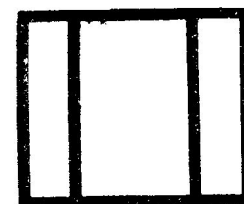


3. Основное поле с правым дополнительным полем



Изображение полей микросхем

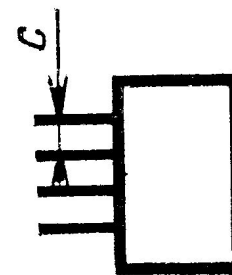
Основное поле с левым и правым дополнительными полями



Основное поле с дополнительными полями, разделенными на зоны. Количество зон не ограничено



Входы элемента



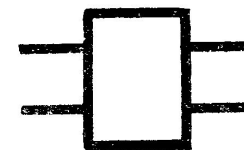
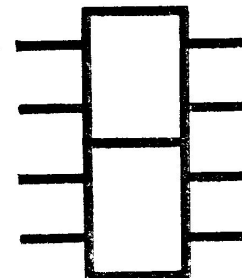
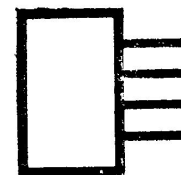
Группы элементов в одной колонке

Выходы элемента

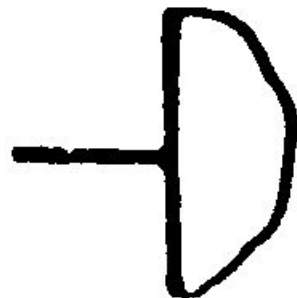
Изображение группы элементов в одной колонке:

совмещено

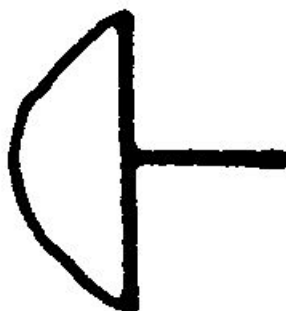
несовмещено



Изображение статических входа и выхода

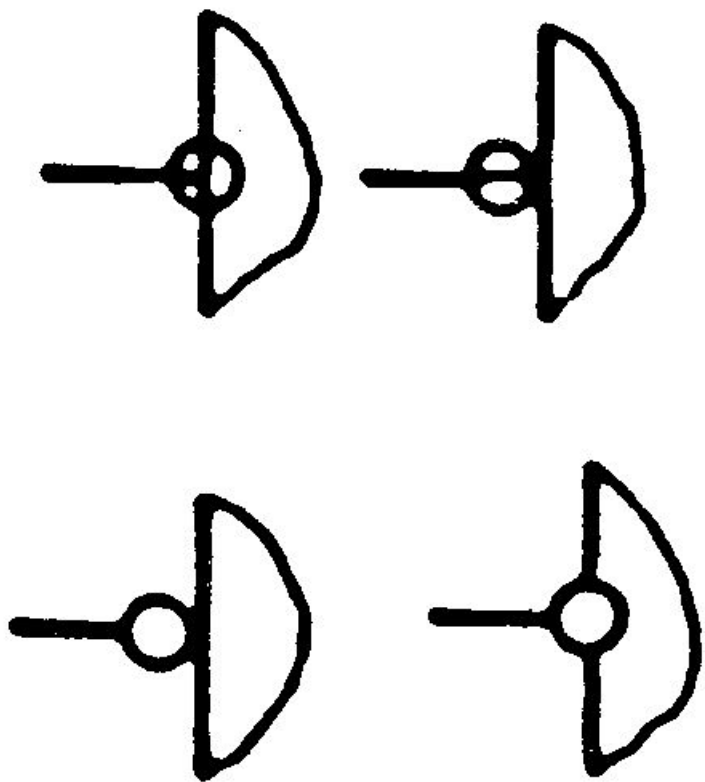


Прямой статический вход

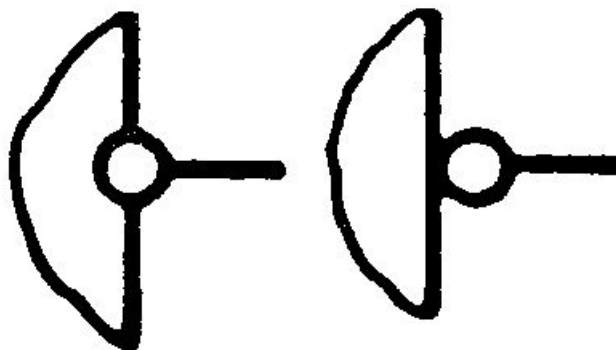
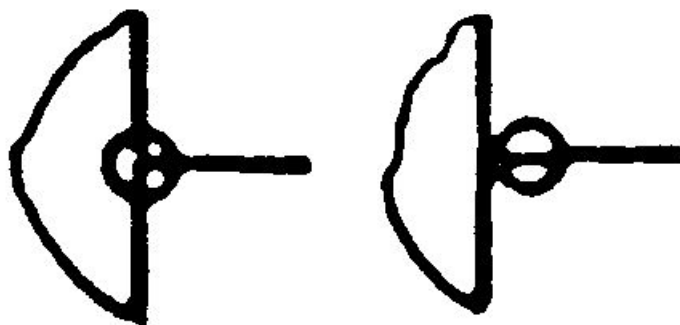


Прямой статический выход

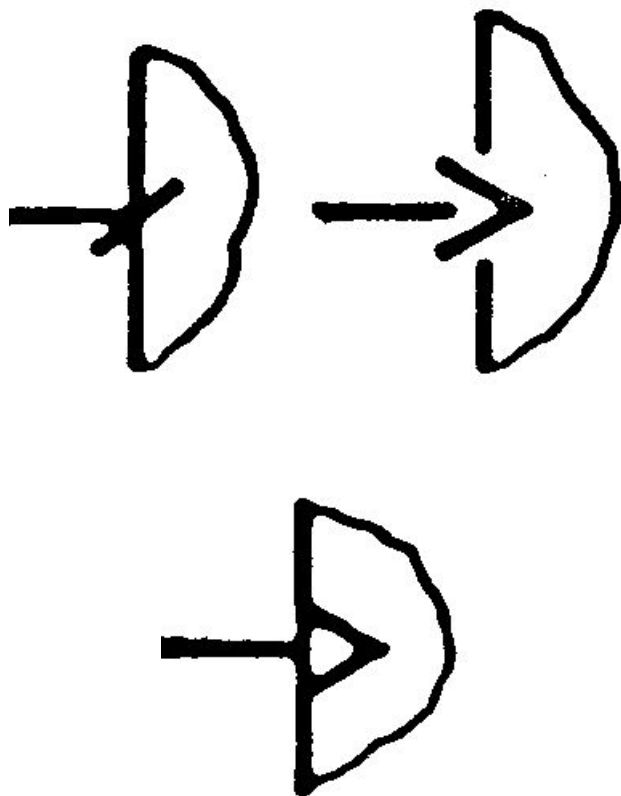
Изображение инверсного статического входа



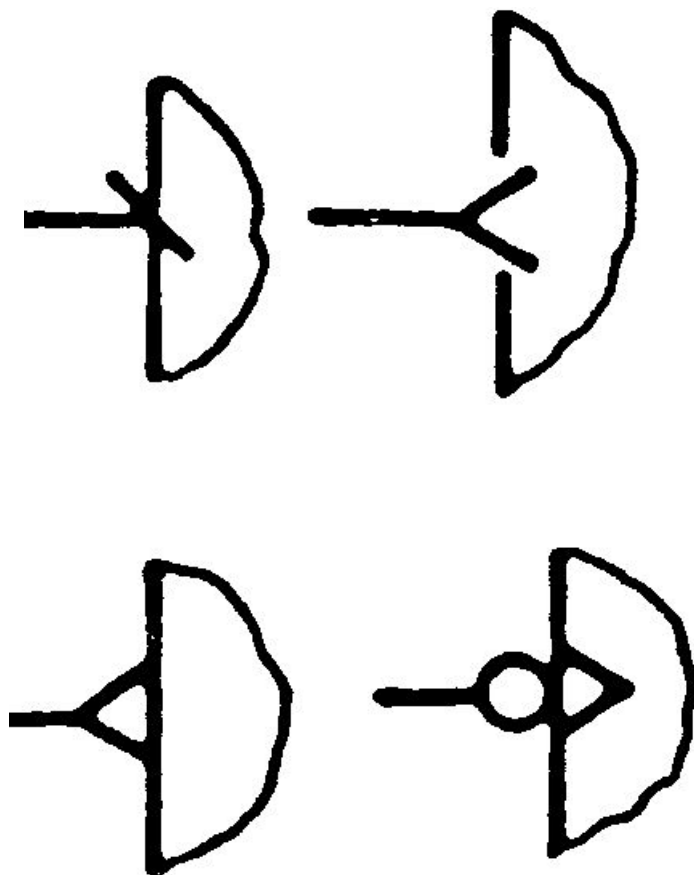
Изображение инверсного статического выхода



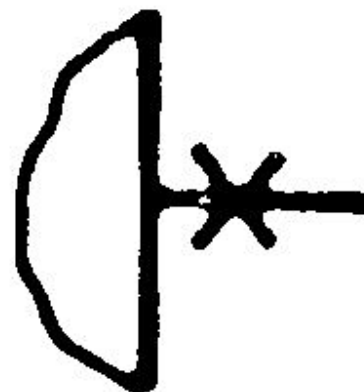
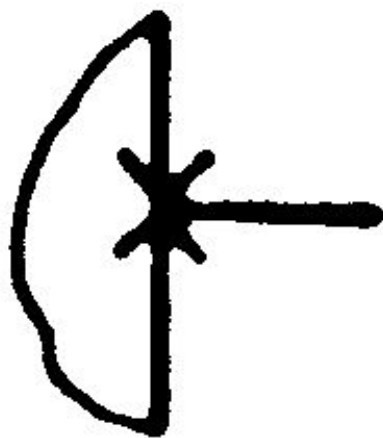
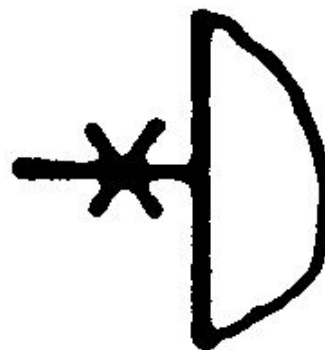
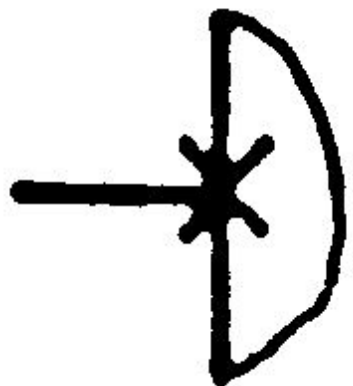
Изображение прямого динамического входа



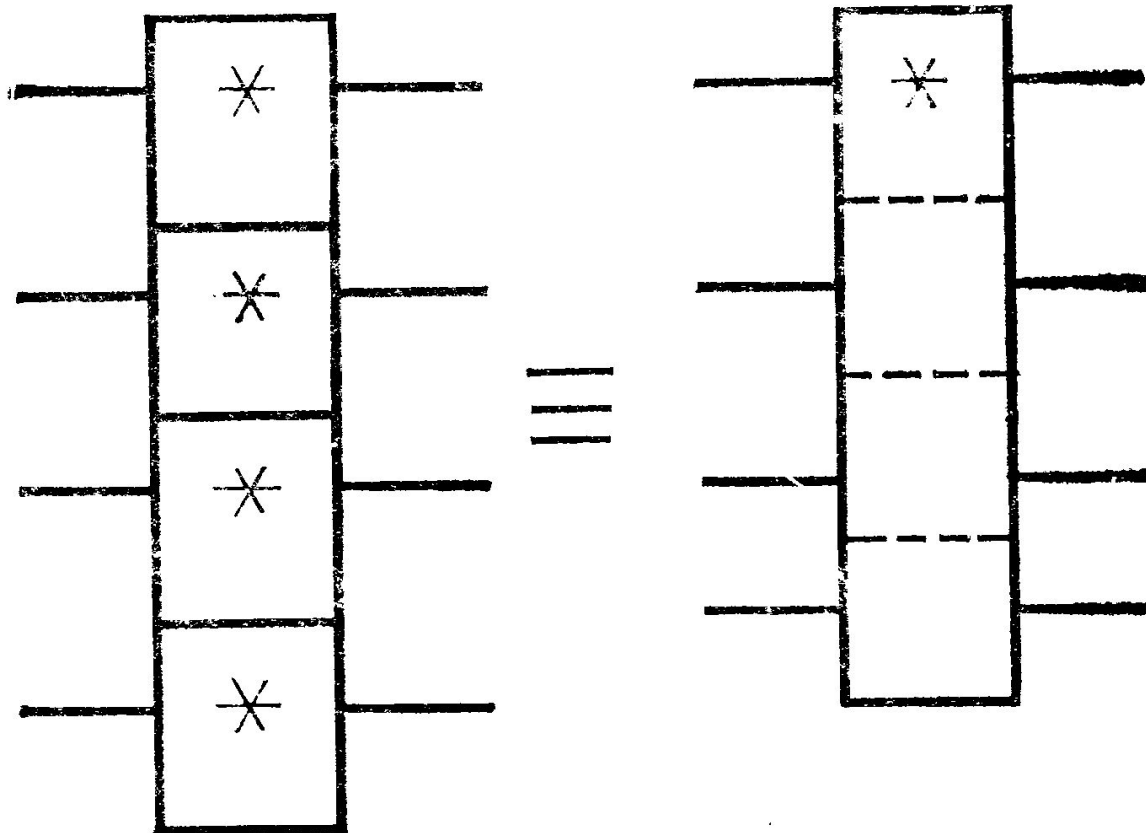
Изображение инверсного динамического входа



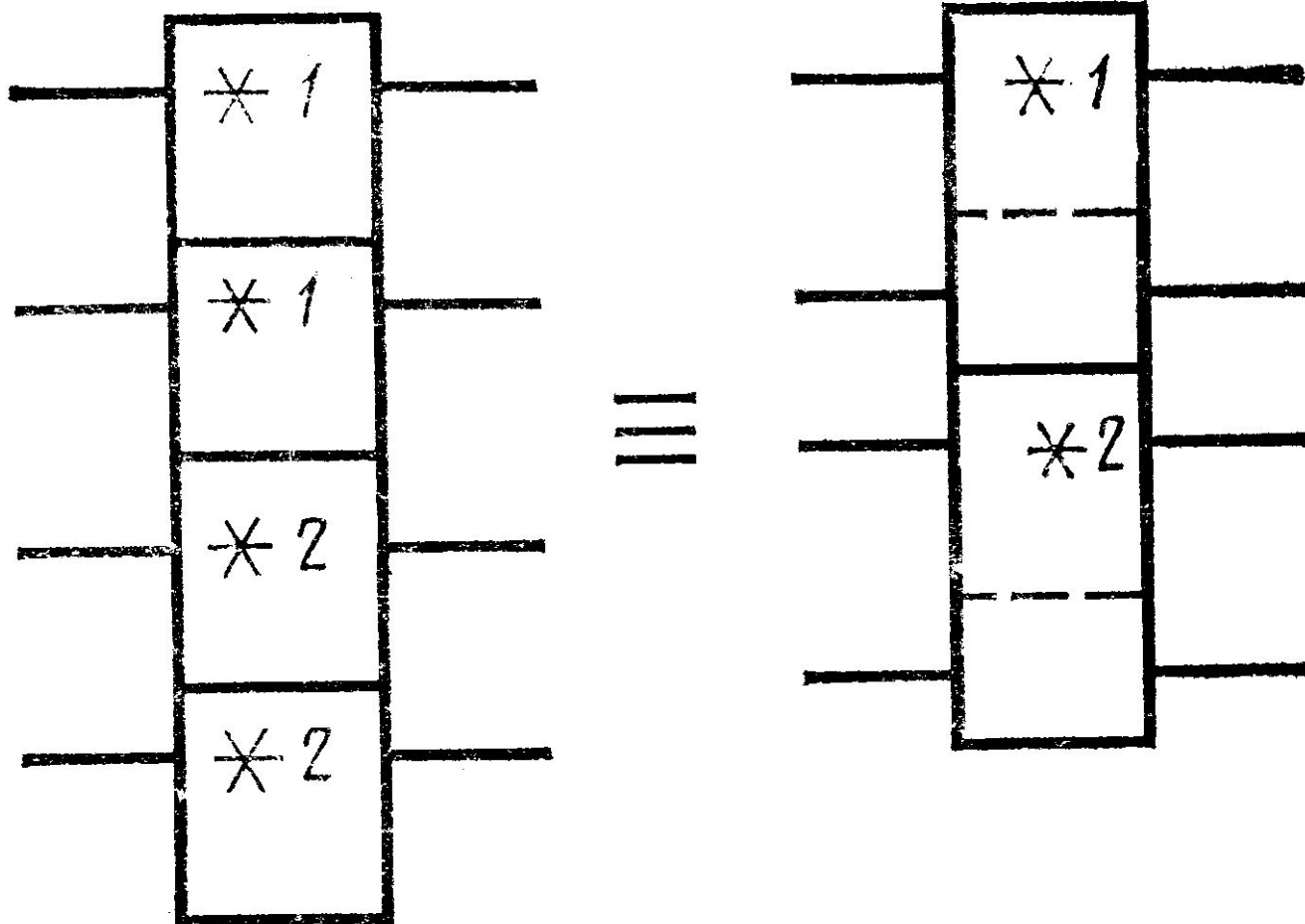
Изображение выводов, не несущих логической информации



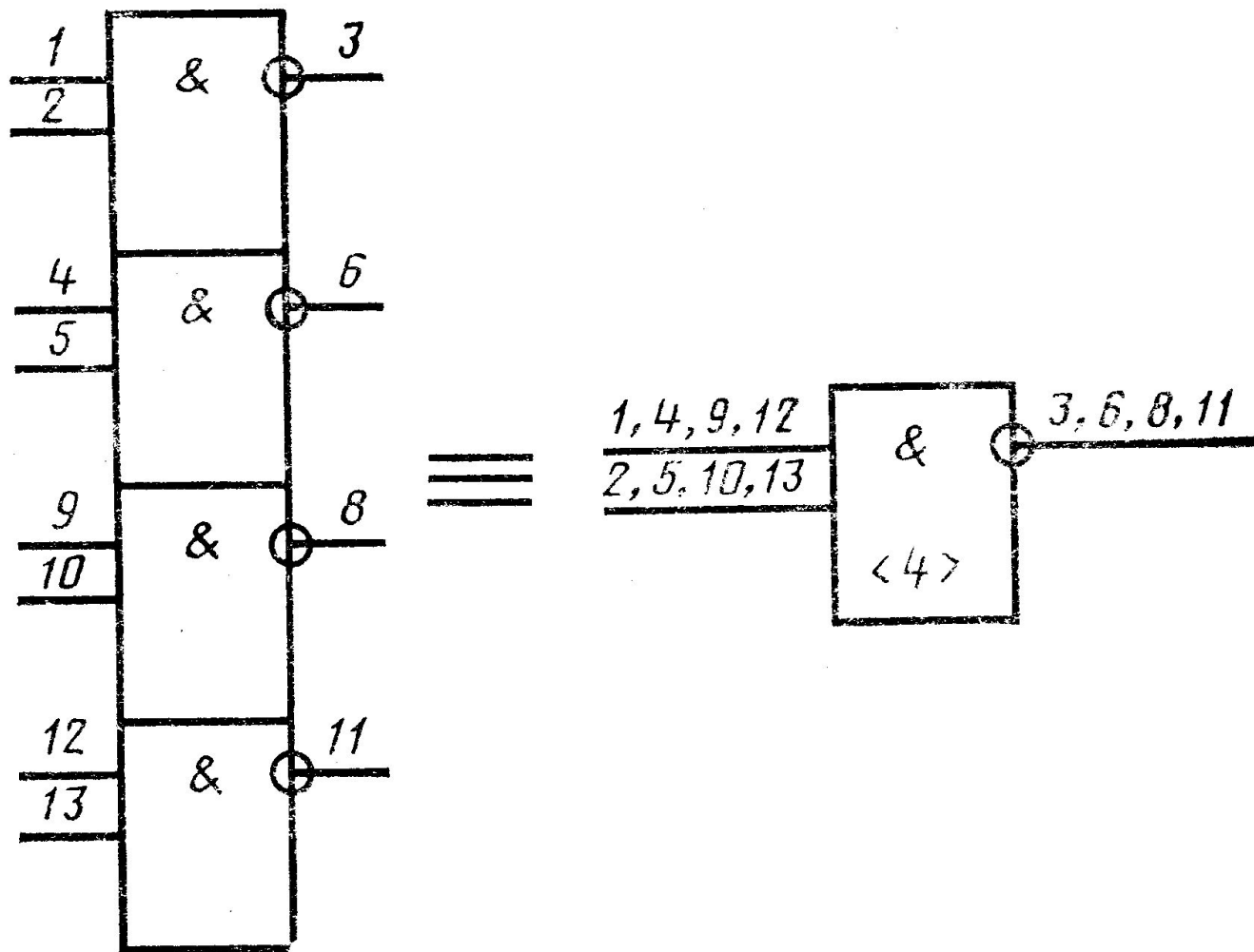
Изображение группы совмещенных элементов и содержащих одинаковую информацию



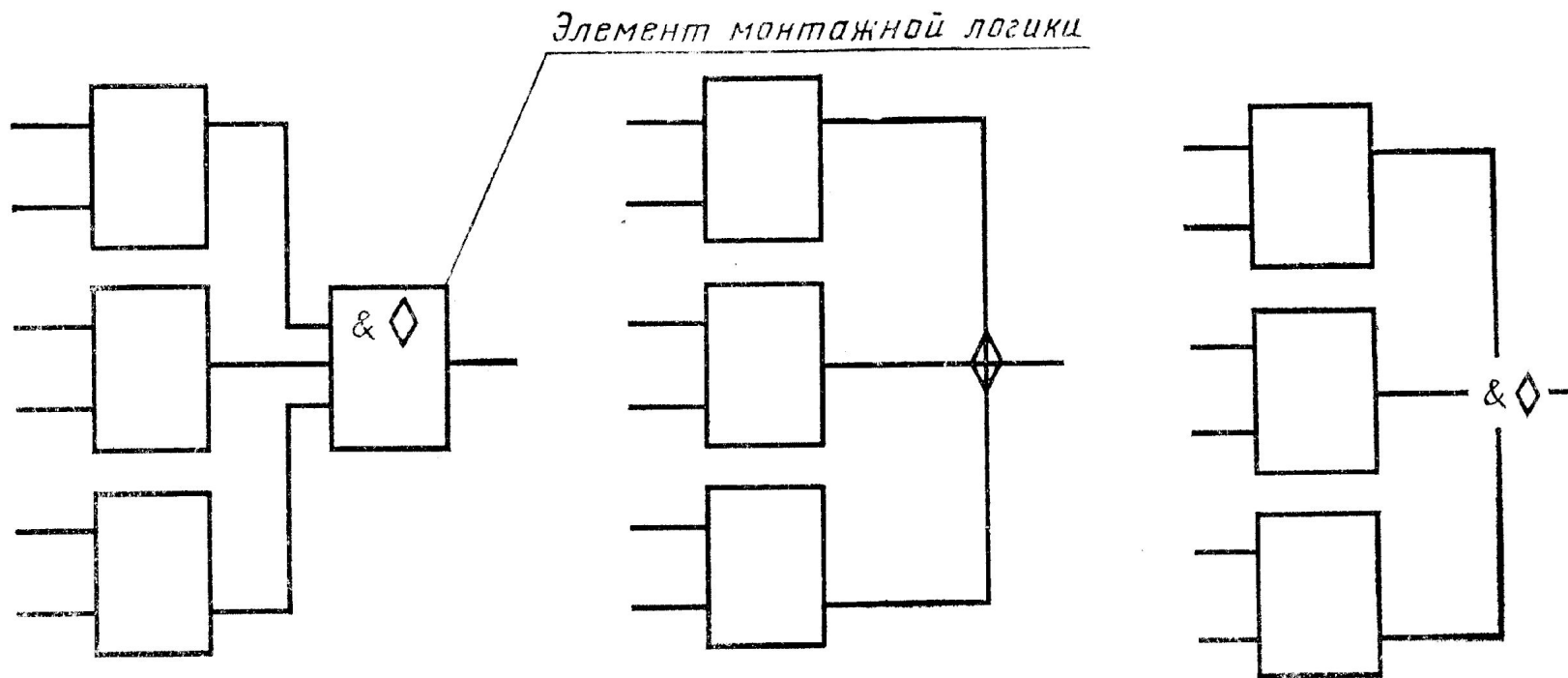
Изображение группы совмещенных элементов и содержащих одинаковую информацию



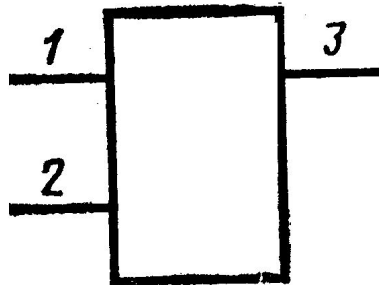
Изображение группы совмещенных элементов и содержащих одинаковую информацию



Упрощение изображения элемента монтажной логики



Логический элемент с таблицей истинности



1	2	3
L	L	H
L	H	H
H	L	H
H	H	L

Возможные варианты реализации таблицы истинности

в положительной логике:

2И — НЕ

2НЕ — ИЛИ

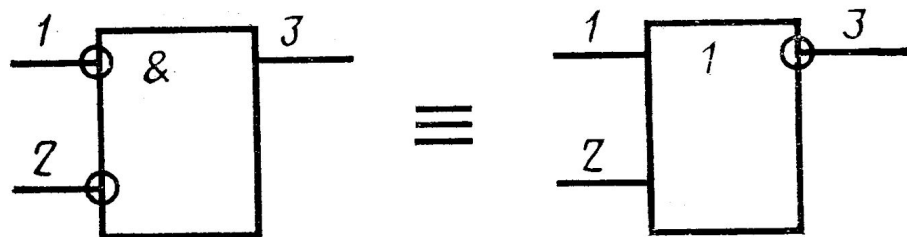


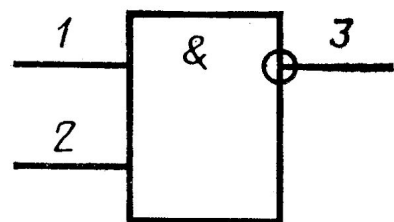
Таблица истинности

1	2	3
0	0	1
0	1	1
1	0	1
1	1	0

Возможные варианты реализации таблицы истинности

в отрицательной логике:
2НЕ — И

2ИЛИ — НЕ



≡

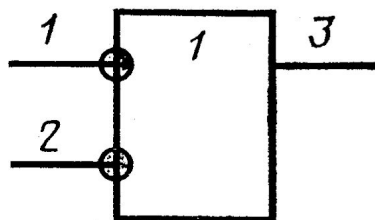
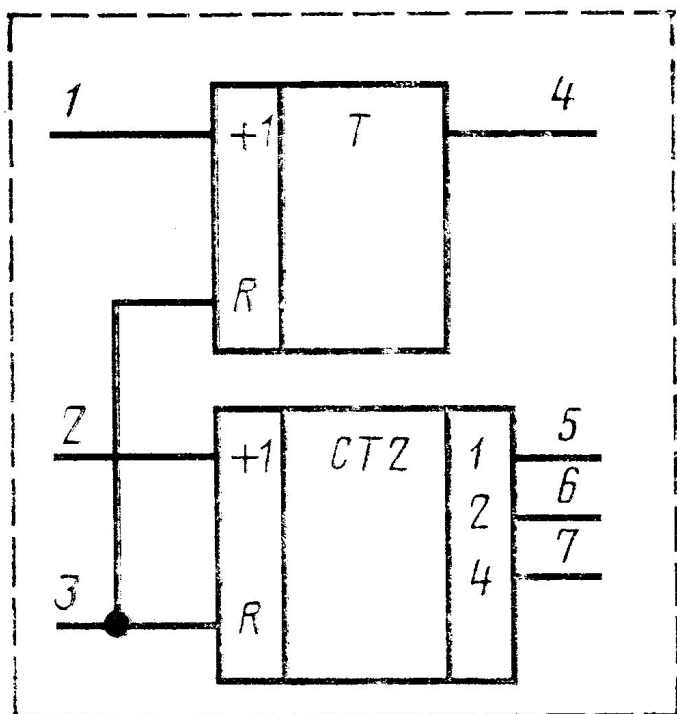


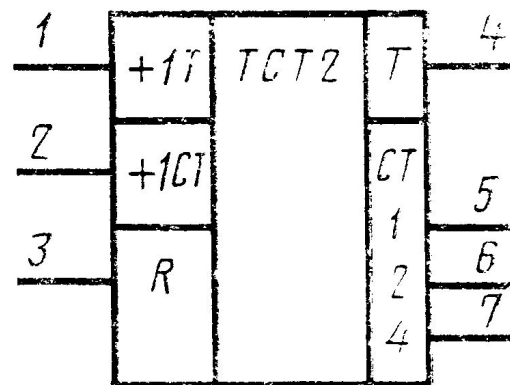
Таблица истинности

1	2	3
1	1	0
1	0	0
0	1	1
0	0	1

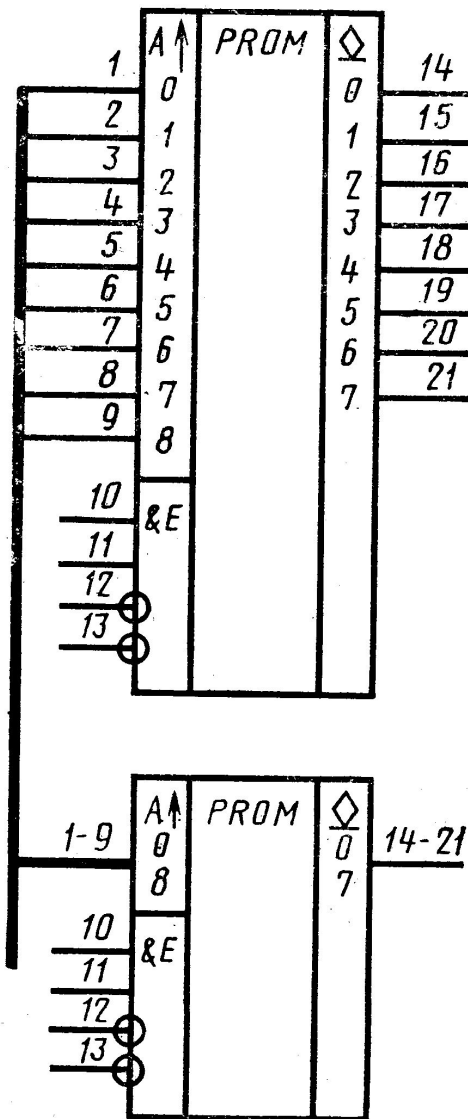
Упрощение изображений схемы за счет учета взаимосвязи выводов



≡

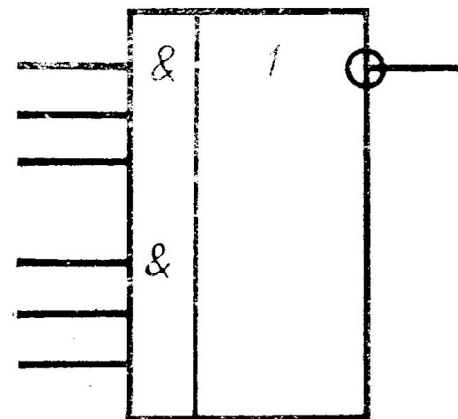


Упрощение изображения элементов и связей



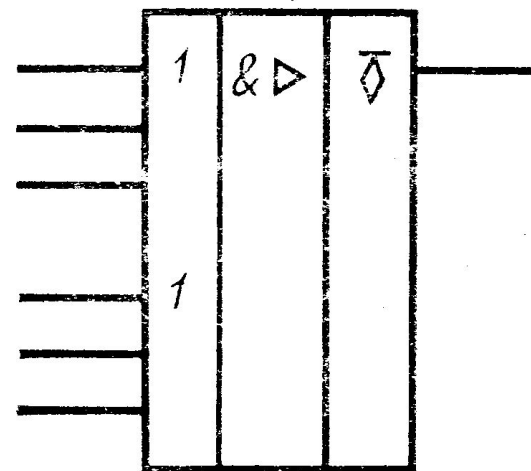
УГО сложной цифровой логики

И — ИЛИ — НЕ



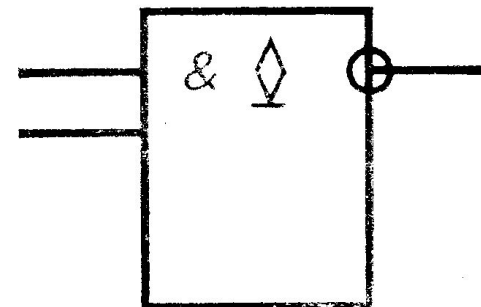
УГО сложной цифровой логики

ИЛИ — И с мощным открытым эмиттерным выходом (структура *NPN*)



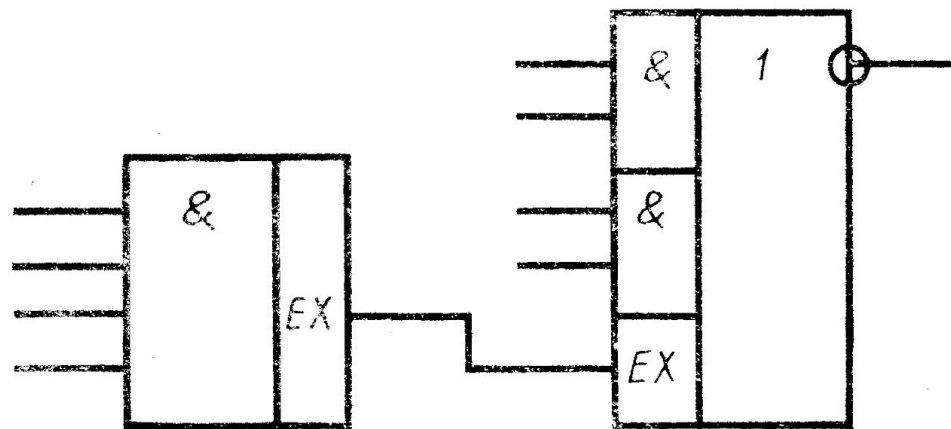
УГО сложной цифровой логики

И — НЕ с открытым коллекторным выходом (структура *NPN*)



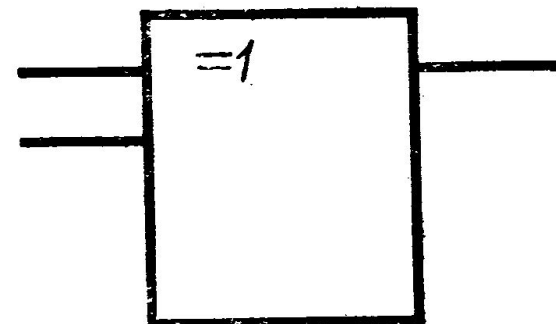
УГО сложной цифровой логики

Расширитель И функциональный для расширения по ИЛИ



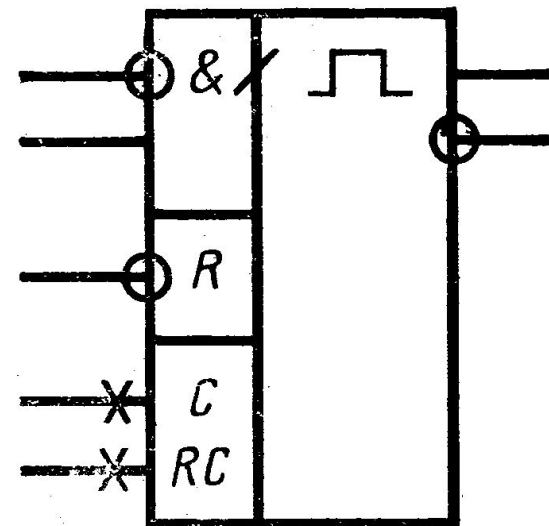
УГО сложной цифровой логики

Двухвходовый элемент (исключающее ИЛИ)



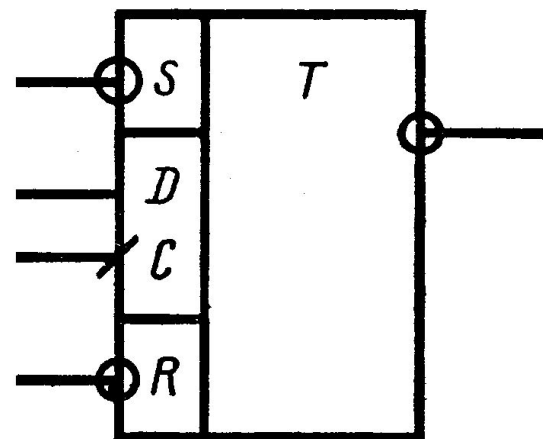
УГО сложной цифровой функциональной микросхемы

Одновибратор, имеющий входы «Запуск» по схеме «И», вход «Сброс» и выходы для подключения времязадающих элементов C , R



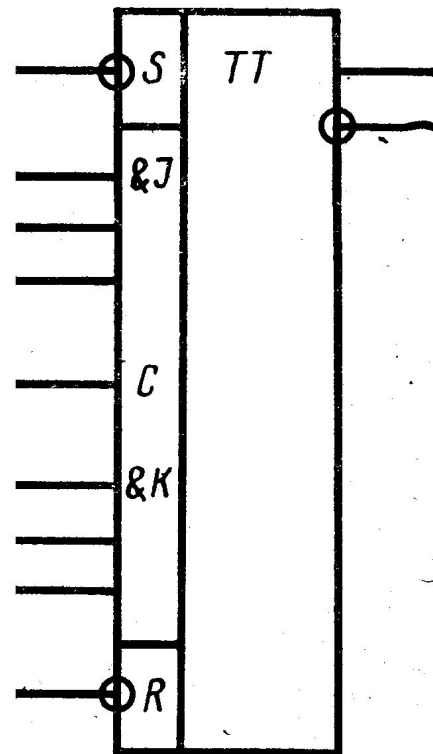
УГО сложной цифровой функциональной микросхемы

D-триггер с установкой по инверсным входам *R* и *S*, с динамическим входом *C*, реагирующим на изменение сигнала из состояния «логический 0» в состояние «логическая 1»



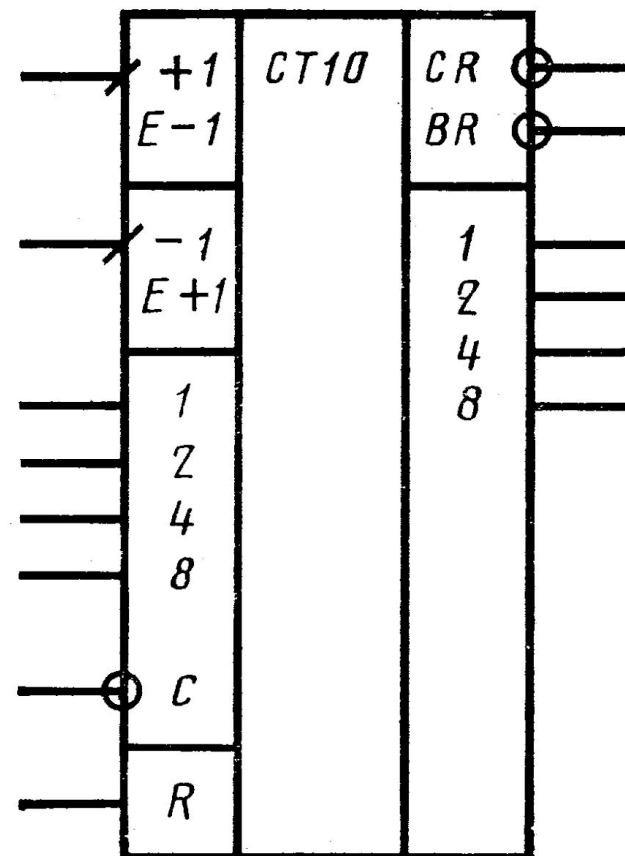
УГО сложной цифровой функциональной микросхемы

JK-триггер двухступенчатый, с установкой по инверсным входам *R* и *S*.



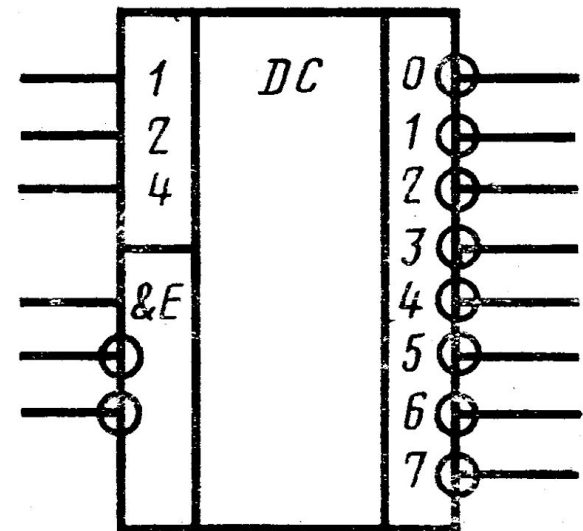
УГО сложной цифровой функциональной микросхемы

Счетчик реверсивный четырёхразрядный двоично-десятичный



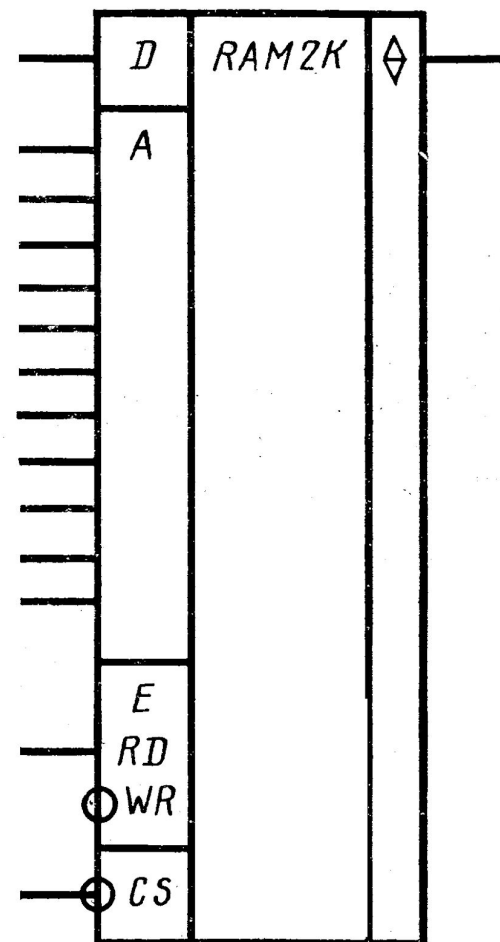
УГО сложной цифровой функциональной микросхемы

Дешифратор с управлением, преобразующий три разряда двоичного кода в восемь разрядов позиционного кода

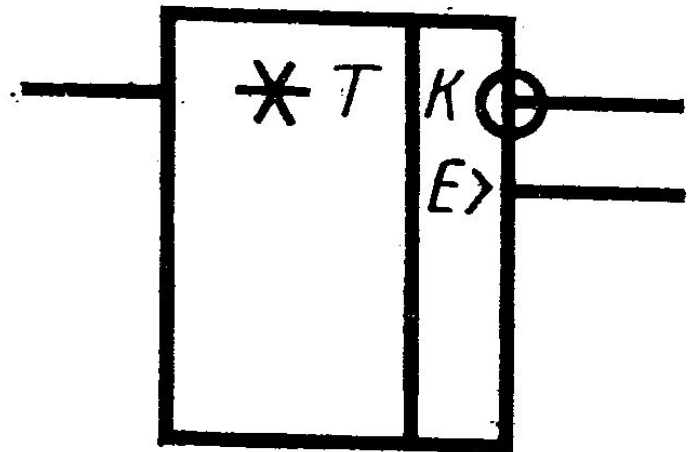
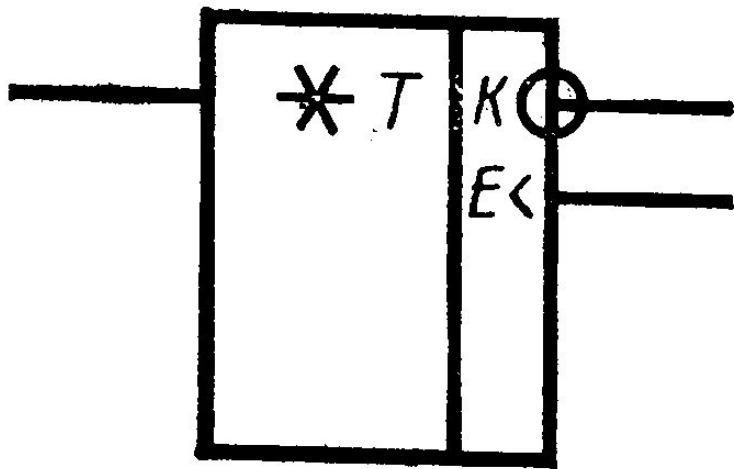


УГО сложной цифровой функциональной микросхемы

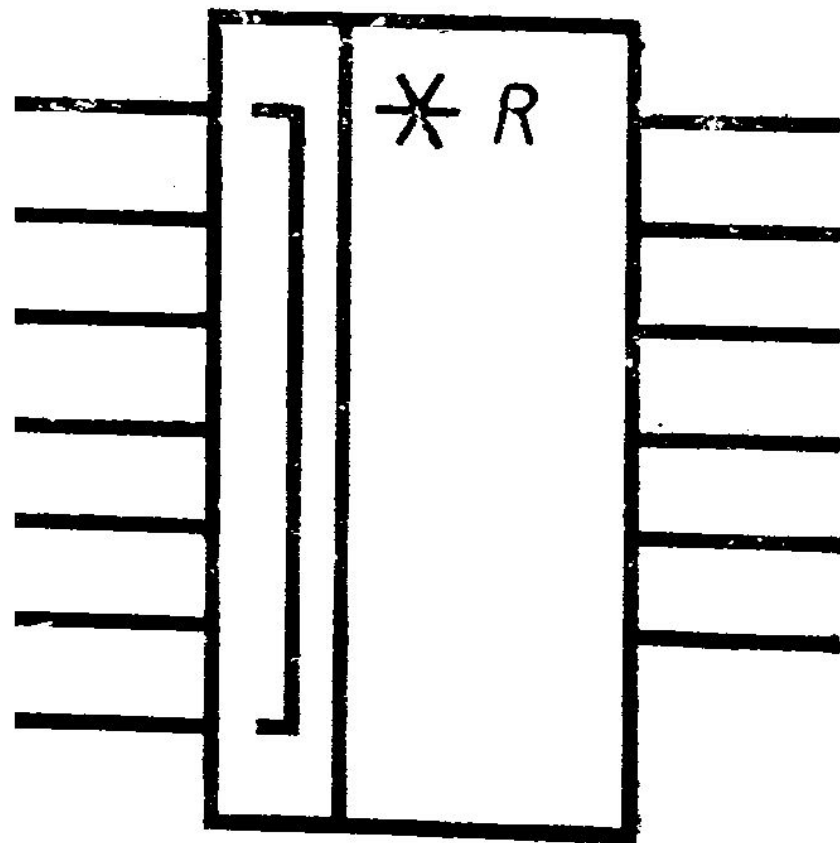
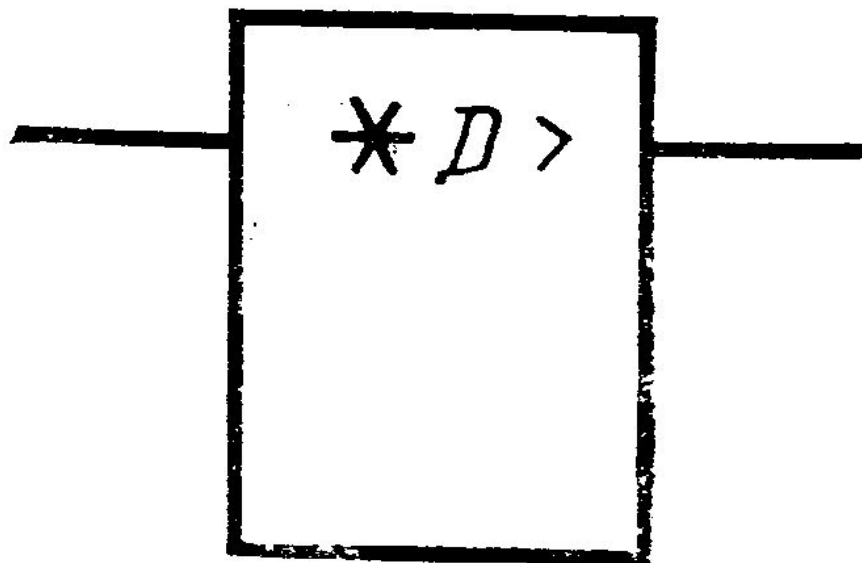
Устройство оперативное
запоминающее, статического ти-
па, информационная емкость 2К



УГО набора нелогических элементов (транзисторов) структуры PNP и NPN



УГО набора нелогических элементов: диодов (прямая полярность) и резисторов

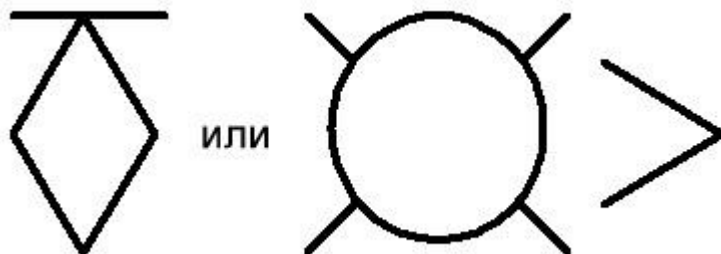


Обозначение открытых выводов



Общее обозначение открытого вывода

Обозначение открытых выводов



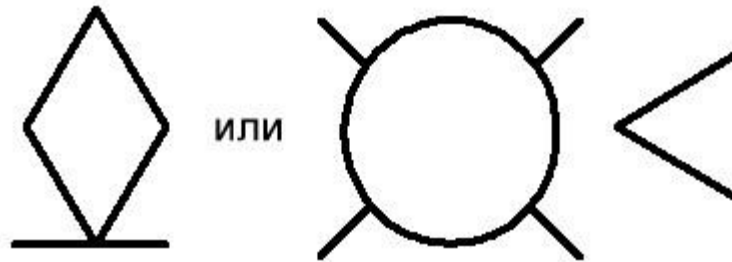
Открытый коллектор PNP транзистора

Открытый эмиттер NPN транзистора

Открытый сток полевого транзистора с P каналом

Открытый исток полевого транзистора с N каналом

Обозначение открытых ВЫВОДОВ



Открытый коллектор NPN транзистора

Открытый эмиттер PNP транзистора

Открытый сток полевого транзистора с N каналом

Открытый исток полевого транзистора с P каналом