

Bramki logiczne

W układach fizycznych napięcie elektryczne może reprezentować stany logiczne.

Bramką nazywamy prosty obwód elektroniczny realizujący funkcję logiczną.

Pewien zakres napięcia odpowiada stanowi logicznemu 0, a inny zakres stanowi logicznemu 1.

Zwyczajowo stanowi 0 przypisujemy niższe napięcie niż stanowi 1 dlatego stan logiczny 0 nazywamy stanem logicznym **niskim** i oznaczamy **L** (ang. *low*), a stan logiczny 1 nazywamy stanem logicznym **wysokim** i oznaczamy **H** (ang. *high*)

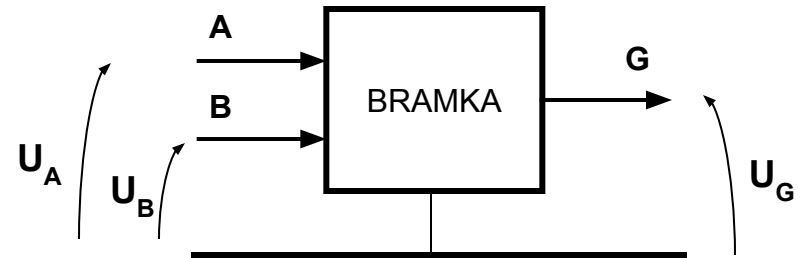
Dopuszczalne poziomy napięć dla wejść i wyjść bramek są rozsunięte dla zapewnienia marginesu zakłóceń.

V_{OH} minimalne napięcie wyjścia w stanie wysokim

V_{OL} maksymalne napięcie wyjścia w stanie niskim

V_{IH} minimalne napięcie wejścia w stanie wysokim

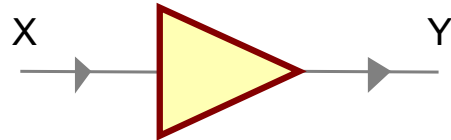
V_{IL} maksymalne napięcie wejścia w stanie niskim



Sterowane mogą być tylko wejścia bramki !

Symbole podstawowych bramek logicznych

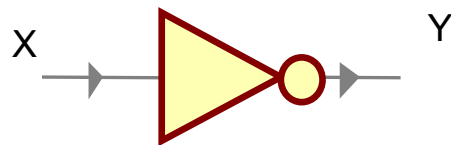
Bramka buforująca: BUF



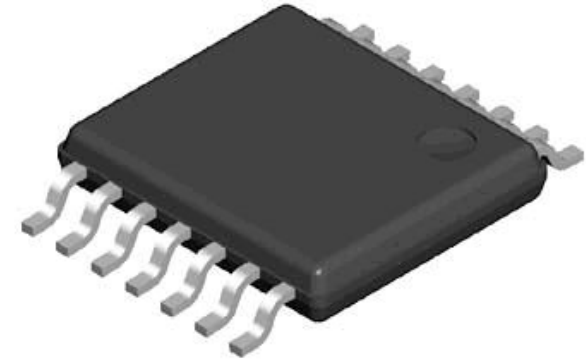
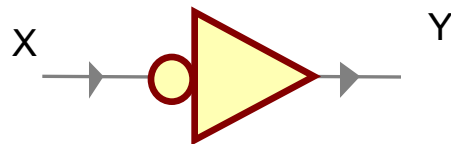
X	Y
0	0
1	1

Bramka negacji: NOT, INV

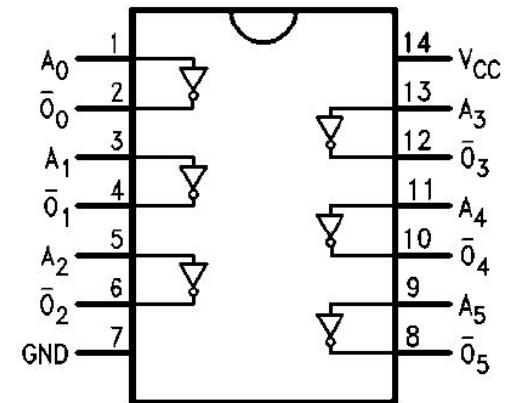
W przyjętej konwencji symboliki bramek kółko na linii sygnałowej oznacza negację zmiennej



X	Y
0	1
1	0



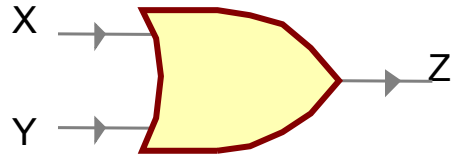
TSSOP



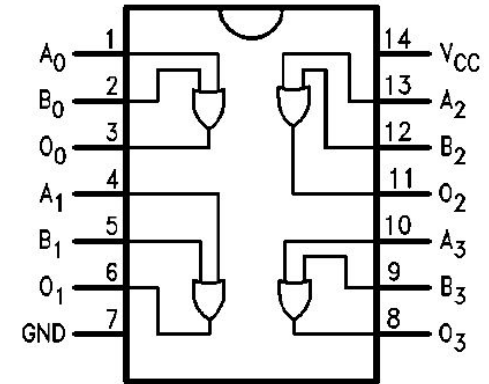
7404

Symbole podstawowych bramek logicznych C.D.

Bramka OR

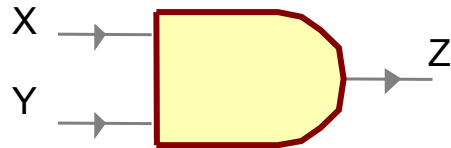


X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	1

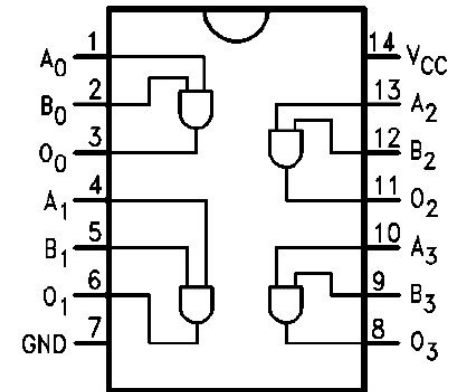


7432

Bramka AND



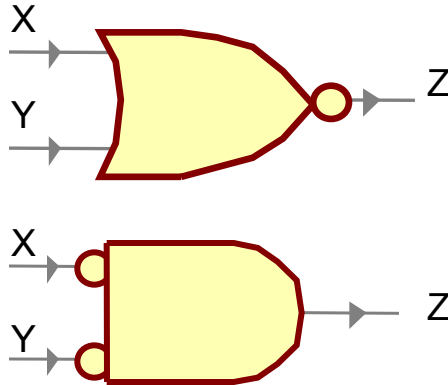
X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1



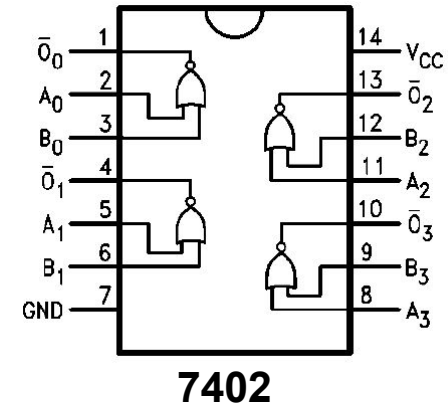
7408

Symbole podstawowych bramek logicznych C.D.

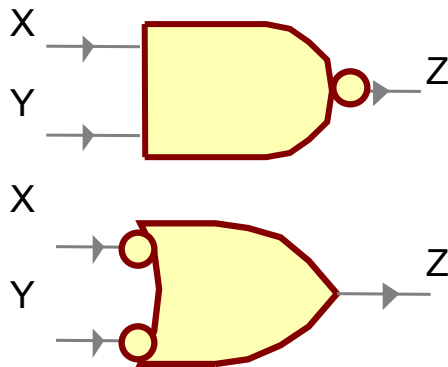
Bramka NOR Konwersja symbolu wg. reguły „bubble pushing”



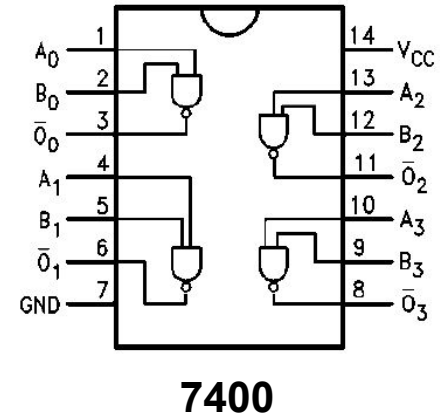
X	Y	Z
0	0	1
0	1	0
1	0	0
1	1	0



Bramka NAND „bubble pushing”

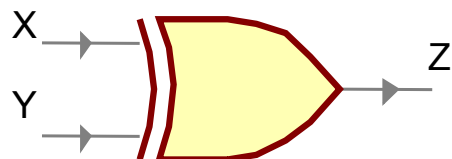


X	Y	Z
0	0	1
0	1	1
1	0	1
1	1	0



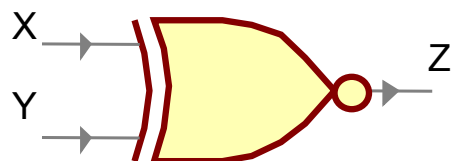
Symbole podstawowych bramek logicznych C.D.

Bramka XOR



X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	0

Bramka XNOR



X	Y	Z
0	0	1
0	1	0
1	0	0
1	1	1

Podstawowe bramki logiczne

Zachowanie bramki logicznej może być zapisane w postaci tablicy prawdy lub opisu słownego

Funkcja	Operator	Opis
NOT, INVERTER	$C=A'$	C jest jeden jeżeli A jest 0
AND	$C=A \cdot B$	C jest jeden jeżeli A i B są jeden
OR	$C=A + B$	C jest jeden jeżeli A lub B są jeden
XOR	$C=A \oplus B$	C jest jeden jeżeli albo A albo B jest jeden.
NAND	$C=A \uparrow B$	C jest jeden jeżeli A lub B są zero
NOR	$C=A \downarrow B$	C jest jeden jeżeli A i B są zero
BUF	$C=A \equiv B$	C jest jeden jeżeli A i B są takie same

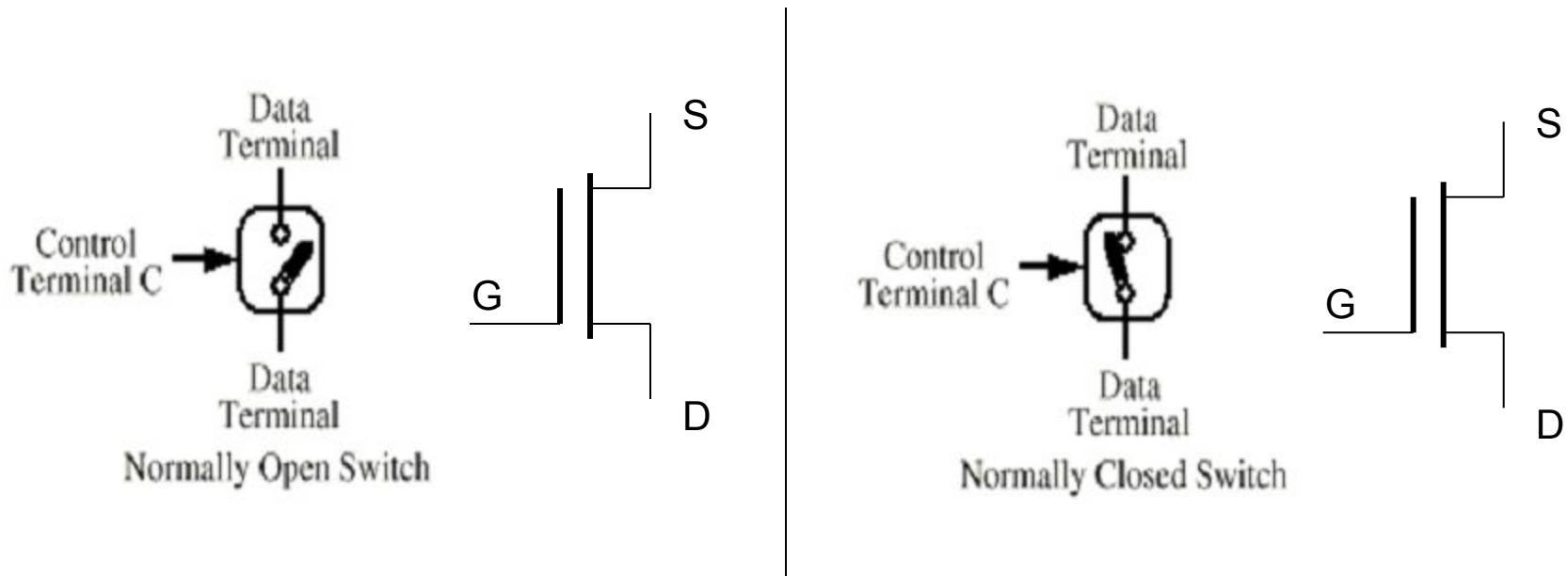
Klucze

Klucz jest elementem trójkońcówkowym składającym się z dwóch równoważnych linii danych A i B i jednego wejścia sterującego **C**

- Kiedy $C=0$ klucz znajduje się w stanie normalnym,
- Kiedy $C=1$ klucz jest aktywny.

Klucz normalnie otwarty w stanie normalnym nie przewodzi. Węzły A i B rozwarte

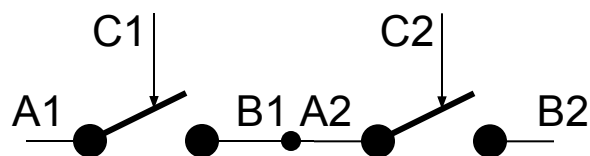
Klucz normalnie zamknięty w stanie normalnym przewodzi. Węzły A i B zwarte



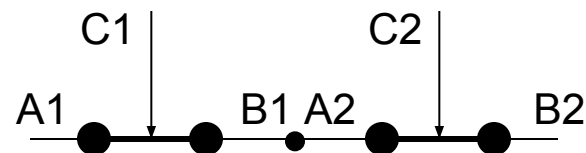
Algebra kluczy

W algebrze kluczy klucz przyjmuje wartość „prawda” jeżeli przewodzi.

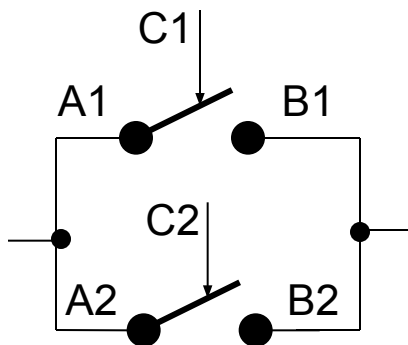
Funkcja AND $C1 \cdot C2$



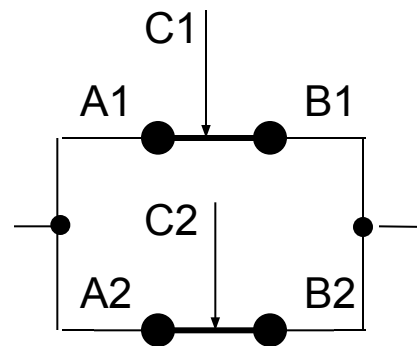
Funkcja NOR $(C1' \cdot C2')$



Funkcja OR $C1 + C2$



Funkcja NAND $C1 \cdot C2 = (C1' + C2')$

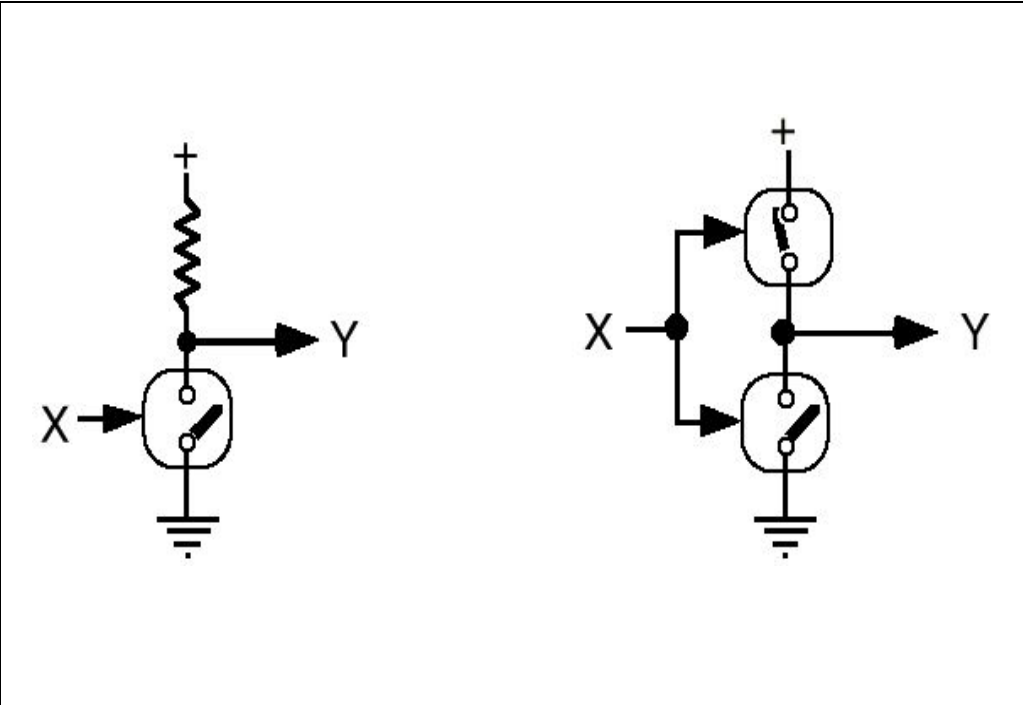


Ćwiczenie

Zrealizować w algebrze kluczy funkcję EXOR

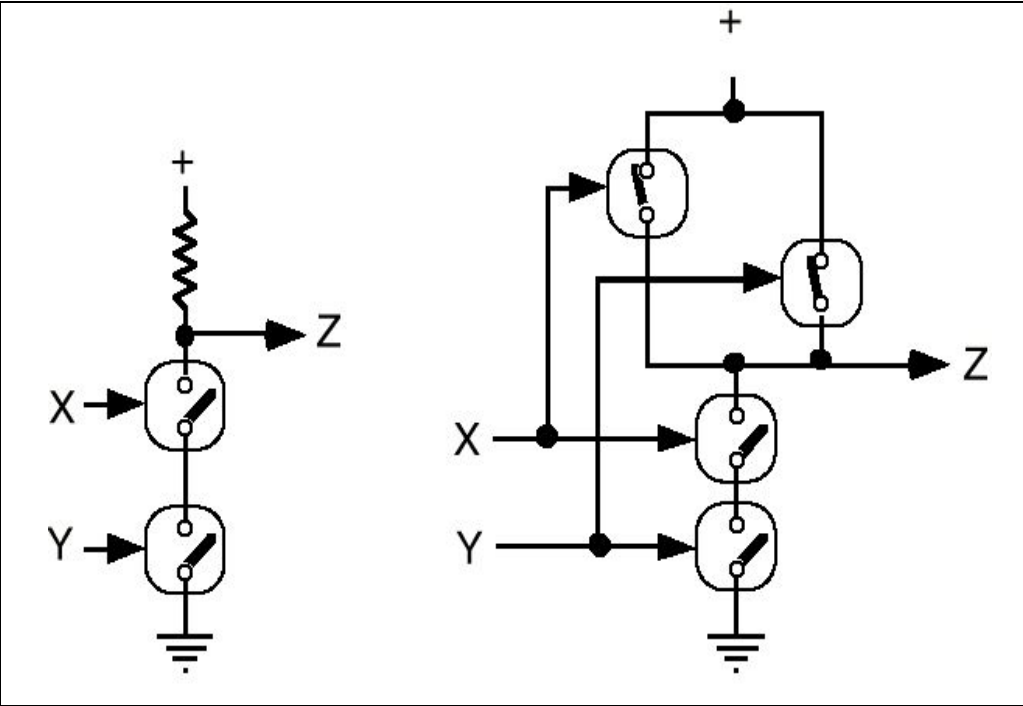
Realizacje bramek logicznych

NOT



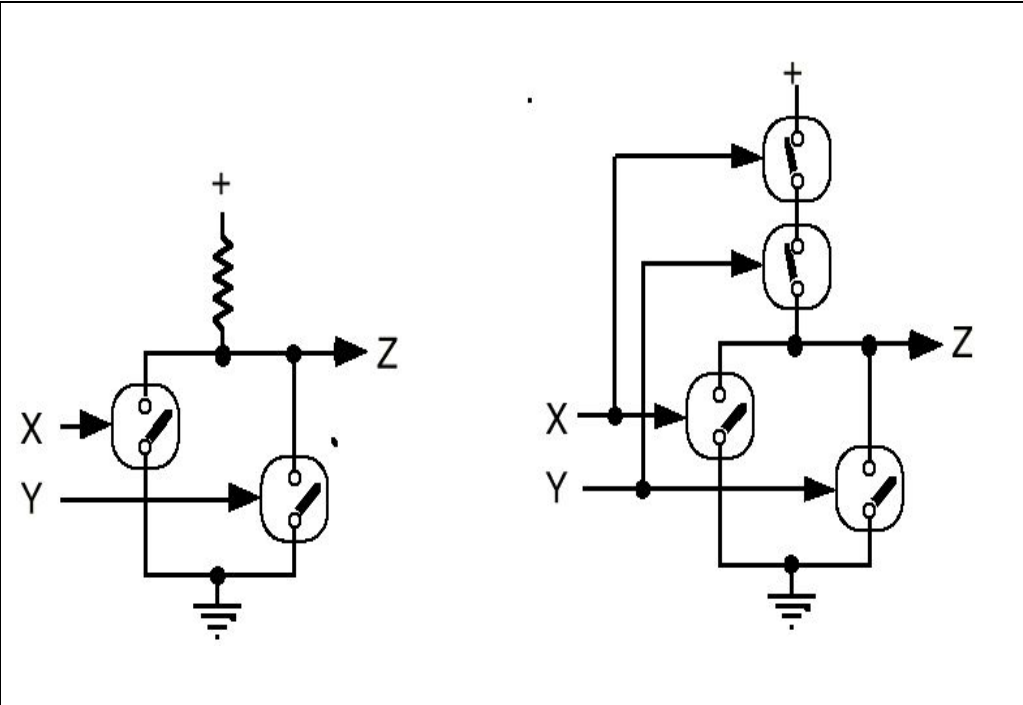
Realizacje bramek logicznych C.D.

NAND



Realizacje bramek logicznych C.D.

NOR



Logika dodatnia i ujemna.

- Jeżeli założymy, że dodatnia wartość napięcia na bramce odpowiada stanowi logicznemu **1** to mówimy że układ pracuje w logice **dodatniej**,
- Jeżeli założymy, że dodatnia wartość napięcia na bramce odpowiada stanowi logicznemu **0** to mówimy że układ pracuje w logice **ujemnej**,
- W praktyce bramki realizuje się w logice dodatniej

Bramka fizyczna



Logika dodatnia



Logika ujemna



A	B	F
low	low	low
low	high	low
high	low	low
high	high	high

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

A	B	F
1	1	1
1	0	1
0	1	1
0	0	0

Ćwiczenie

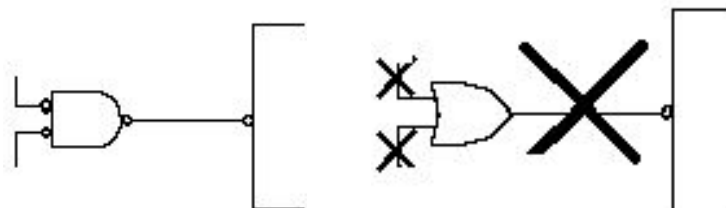
Rozważyć klasyczne bramki NAND i NOR jako elementy działające w logice ujemnej

Logika dodatnia i ujemna C.D.

Często aktywnym poziomem sygnału na wejściu jest niski poziom napięcia. Takie wejścia są oznaczone 'kółkiem'.

Przykład. Chcemy aby urządzenie było załączone jeżeli dwa sygnały sterujące są aktywne.

Uwaga: wszystkie bramki w przykładzie są w logice dodatniej !



Sygnały wejściowe są aktywne stanem wysokim. Sygnał sterujący aktywny stanem wysokim

Sygnały wejściowe są aktywne stanem niskim. Sygnał sterujący aktywny stanem niskim

Aby łatwiej śledzić funkcję sygnałów na schematach sygnały wyjściowe aktywne stanem niskim powinny sterować sygnały wejściowe aktywne stanem niskim. (kółeczko po dwóch stronach przewodu) Formalnie obydwa przykłady są poprawne.