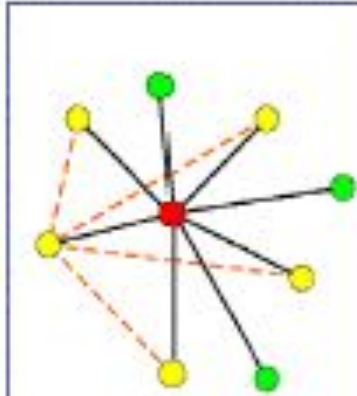


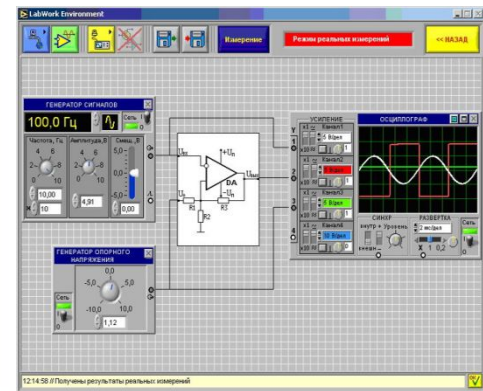
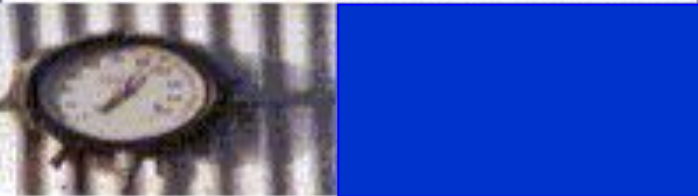
Факультет электроники

7 сентября 2011
Александр Лысенко



Электронно- вычислительные устройства и системы (часть 1)

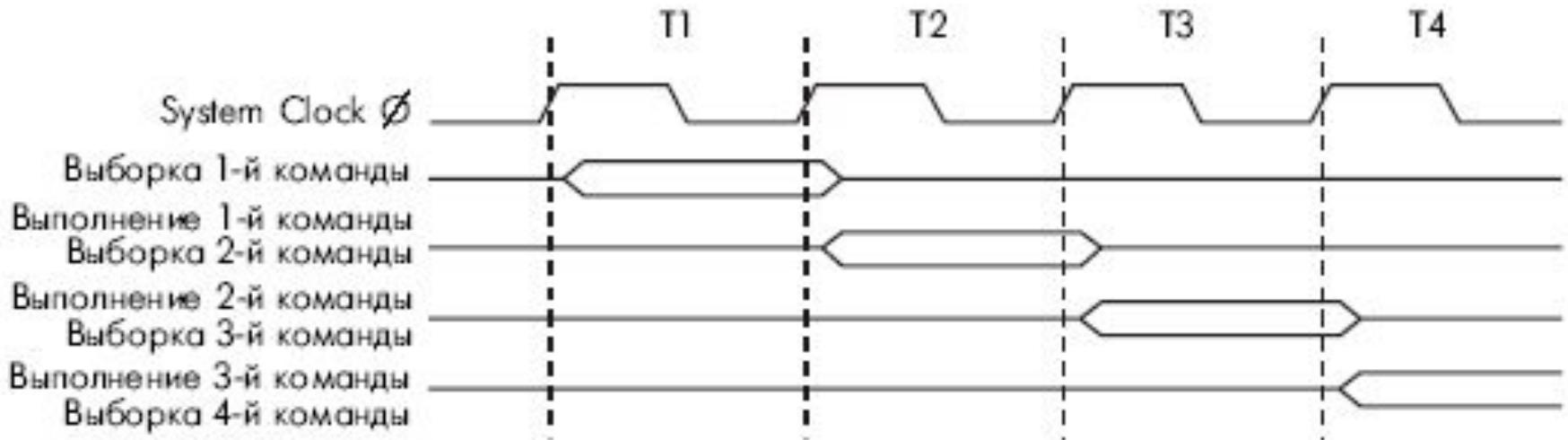
Кафедра КЭВА



- **CISC – Complex Instruction Set Computer**
(архитектура компьютеров со сложным набором команд)
8051
- **RISC – Reduced Instruction Set Computer**
(архитектура компьютера с сокращенным набором команд)
AVR, MSP, PIC и др.

Особенности RISC:

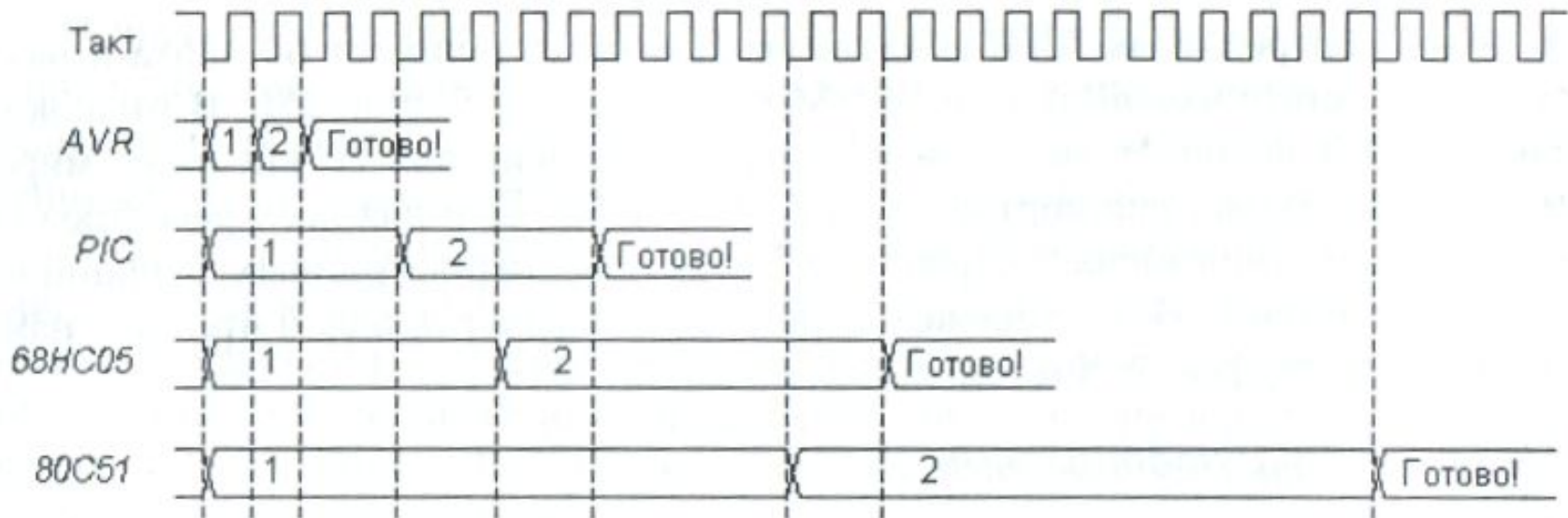
- ограниченное количество эффективных команд (**118**)
- отсутствие аккумулятора (есть **32** равноправных РОН)
- организация памяти по Гарвардской структуре
- обработка почти всех команд в течении **1** такта
- оптимизация АЛУ и системы команд
для программирования на языке **C**



Конвейерная обработка при выборке и выполнении команды в RISC AVR МК

**При частоте 12 МГц длительность такта равна 83,33 нс
Быстродействие – 12 MIPS**

Структура команд базовой серии AVR МК
 118 команд, длина 2 байта
 (за исключением 2 команд прямой адресации
 lds и sts, состоящих из 4 байт)

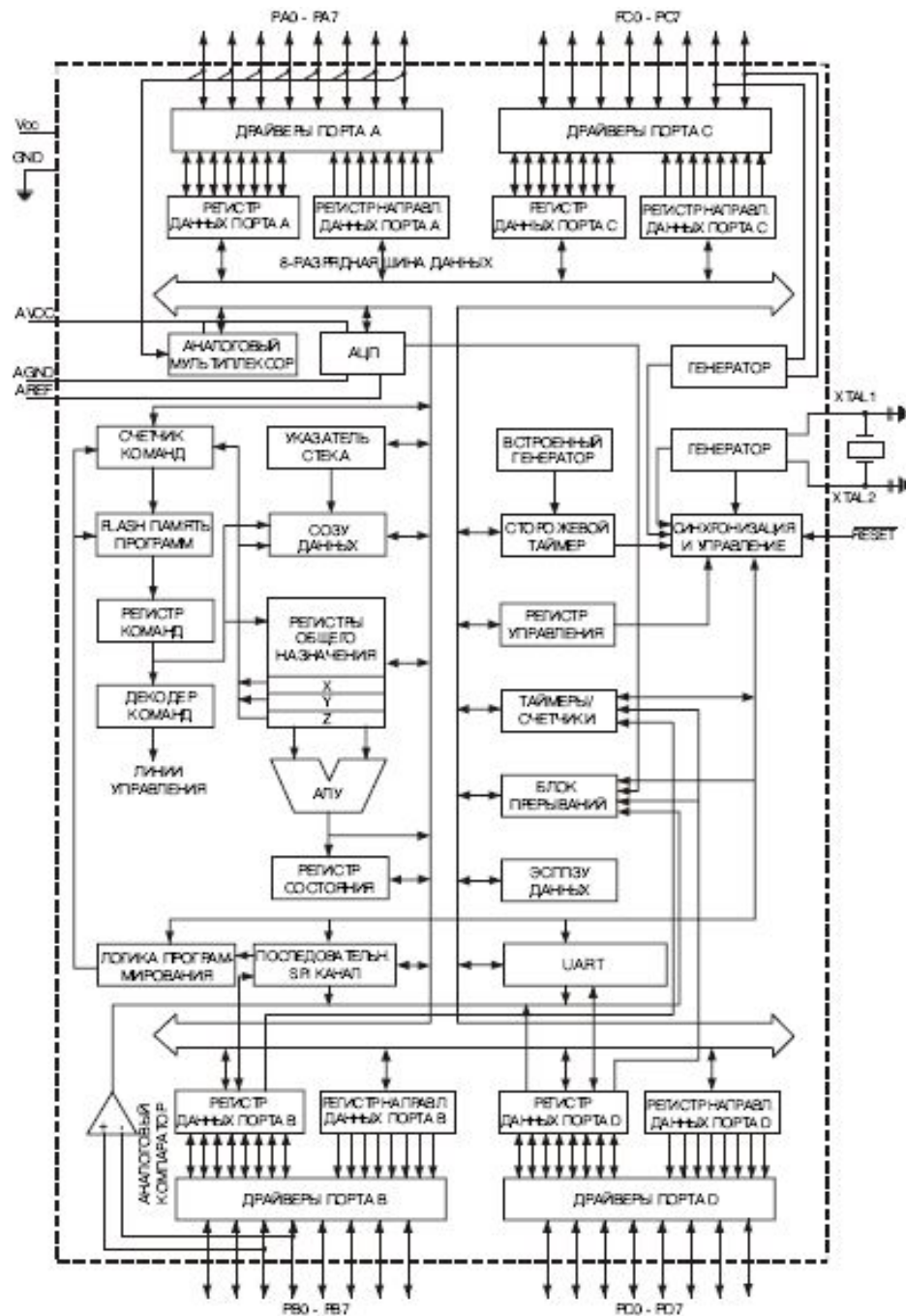


Сравнение времени выполнения команд различными процессорами

8-разрядные RISC AVR МК фирмы ATMEL

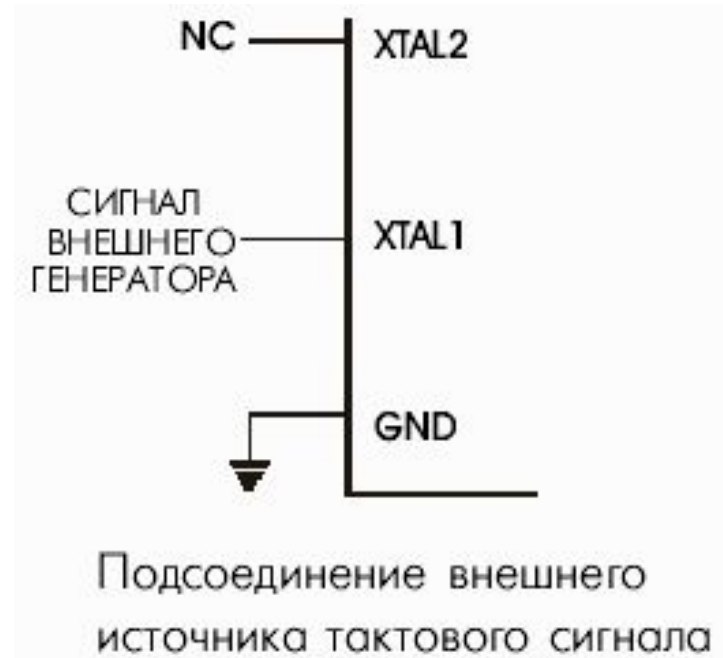
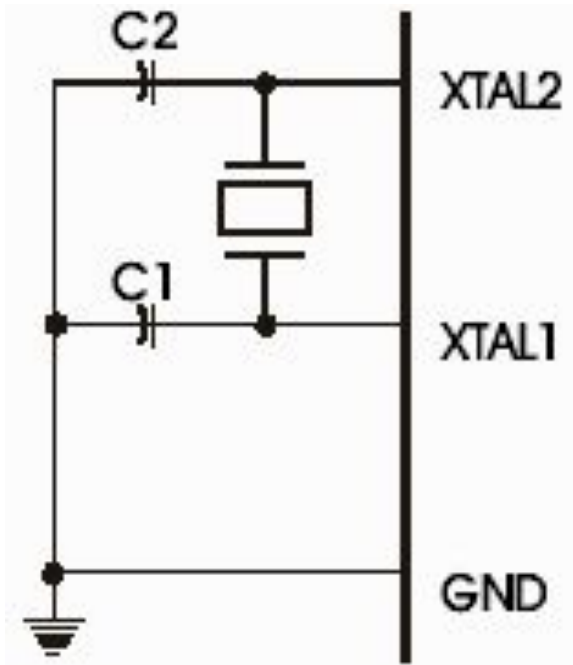
Тип	Питание, В	Частота, МГц	I/O	Flash	EEPROM	SRAM	Интерфейсы	АЦП	Таймеры	ISP	Корпус
AT90LS4433	2.7-6.0	4	20	4K	256	128	UART SPI	6x10bit	1x8bit 1x16bit	I	DIP28 TQFP32
AT90S4433	4.0-6.0	8	20	4K	256	128	UART SPI	6x10bit	1x8bit 1x16bit	I	DIP28 TQFP32
AT90LS8515	2.7-6.0	4	32	8K	512	512	UART SPI	-	2x8bit 1x16bit	I	DIP40 TQFP44 PLCC44
AT90S8515	4.0-6.0	8	32	8K	512	512	UART SPI	-	2x8bit 1x16bit	I	DIP40 TQFP44 PLCC44
ATmega8535L	2.7-6.0	8	32	8K	512	512	UART SPI	8x10bit	2x8bit 1x16bit	I	DIP40 TQFP44 PLCC44
ATmega8535	4.0-6.0	16	32	8K	512	512	UART SPI	8x10bit	2x8bit 1x16bit	I	DIP40 TQFP4 4 PLCC4 4

Параметры некоторых типов классических AVR МК



**Архитектура
RISC
AVR МК
8535
фирмы
ATMEL**

RISC AVR МК 8535 фірми ATMEL

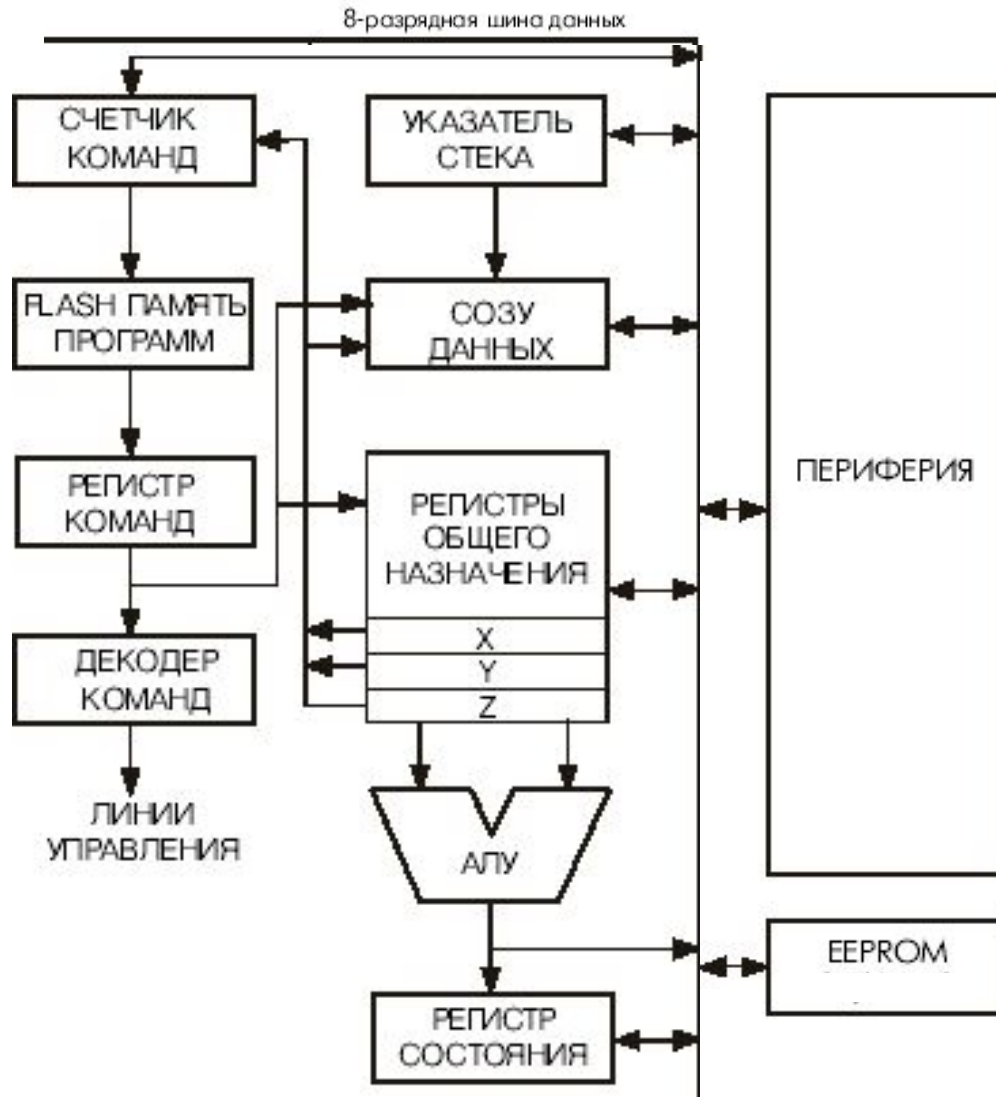


Timer Oscillator

For the Timer Oscillator pins, PC6(TOSC1) and PC7(TOSC2), the crystal is connected directly between the pins. No external capacitors are needed. The oscillator is optimized for use with a 32,768 Hz watch crystal.

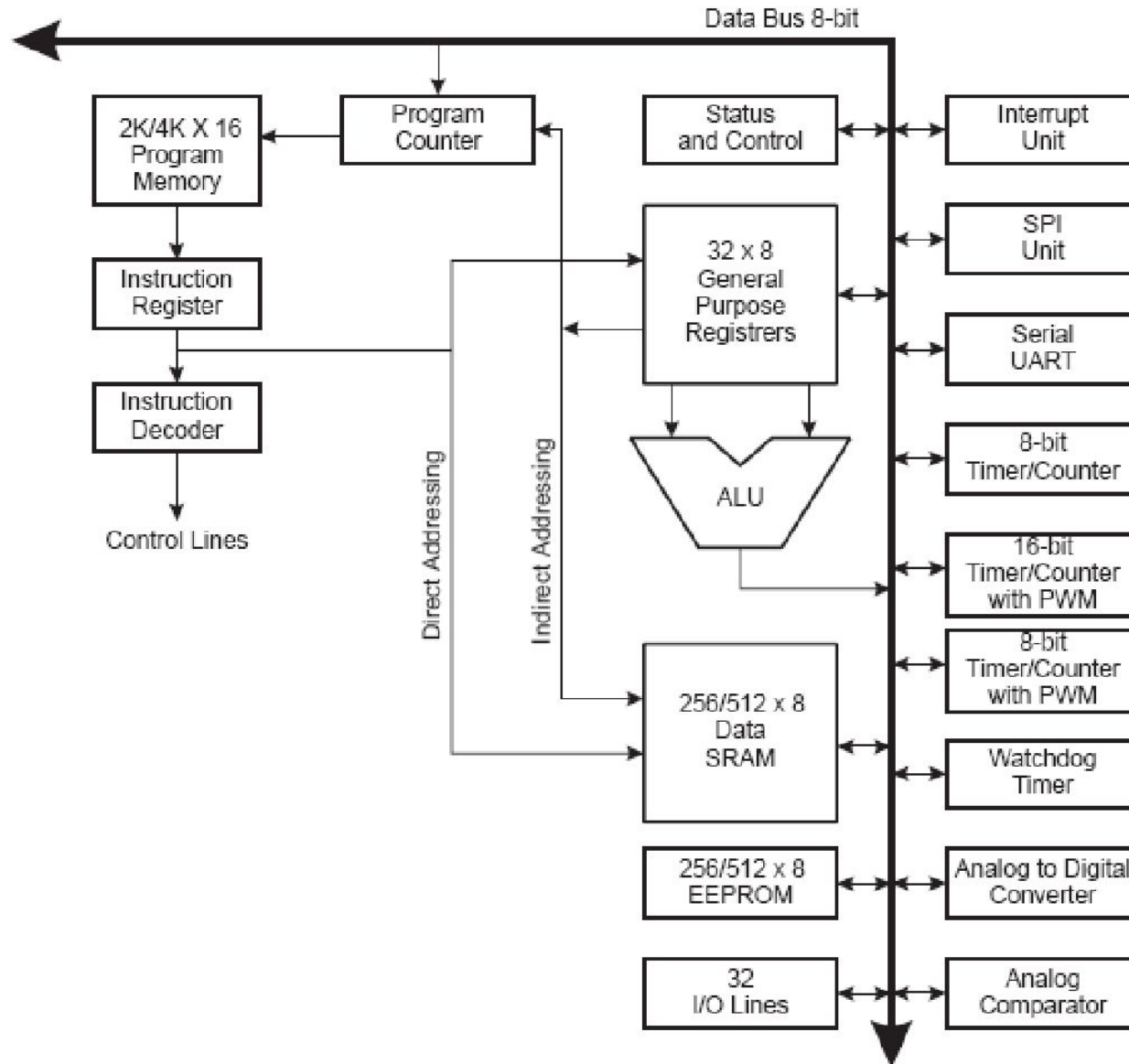
Тактова синхронизация МК

RISC AVR МК 8535 фирмы ATMEL



Структура процессорного ядра МК

RISC AVR МК 8535 фірми ATMEL



Структура процесорного ядра МК

RISC AVR МК 8535 (РОНУ)

	7	0	Addr.		15	0
РЕГИСТРЫ ОБЩЕГО НАЗНАЧЕНИЯ	R0		\$00	регистр X	7	0
	R1		\$01			0
	R2		\$02			7
	...			регистр Y	7	0
	R13		\$0D			0
	R14		\$0E			7
	R15		\$0F	регистр Z	7	0
	R16		\$10			0
	R17		\$11			7
	...					0
	R26		\$1A	Младший байт регистра X		
	R27		\$1B	Старший байт регистра X		
	R28		\$1C	Младший байт регистра Y		
	R29		\$1D	Старший байт регистра Y		
	R30		\$1E	Младший байт регистра Z		
	R31		\$1F	Старший байт регистра Z		

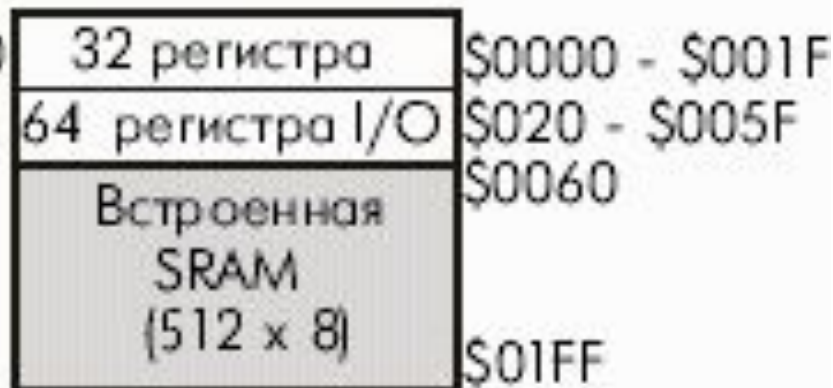
Файл регистров общего назначения МК

RISC AVR МК 8535 (карта памяти)

Память программ

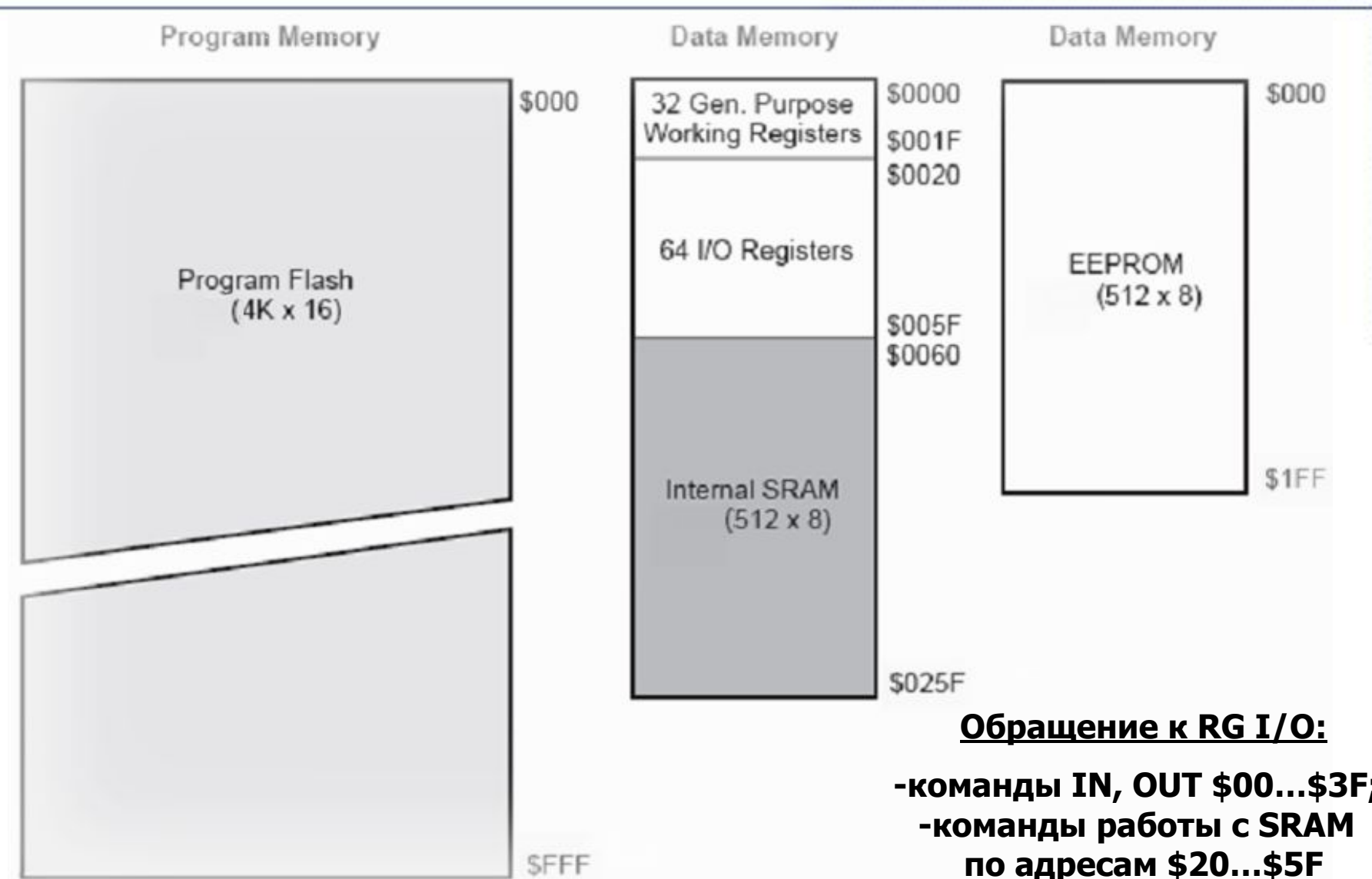


Память данных



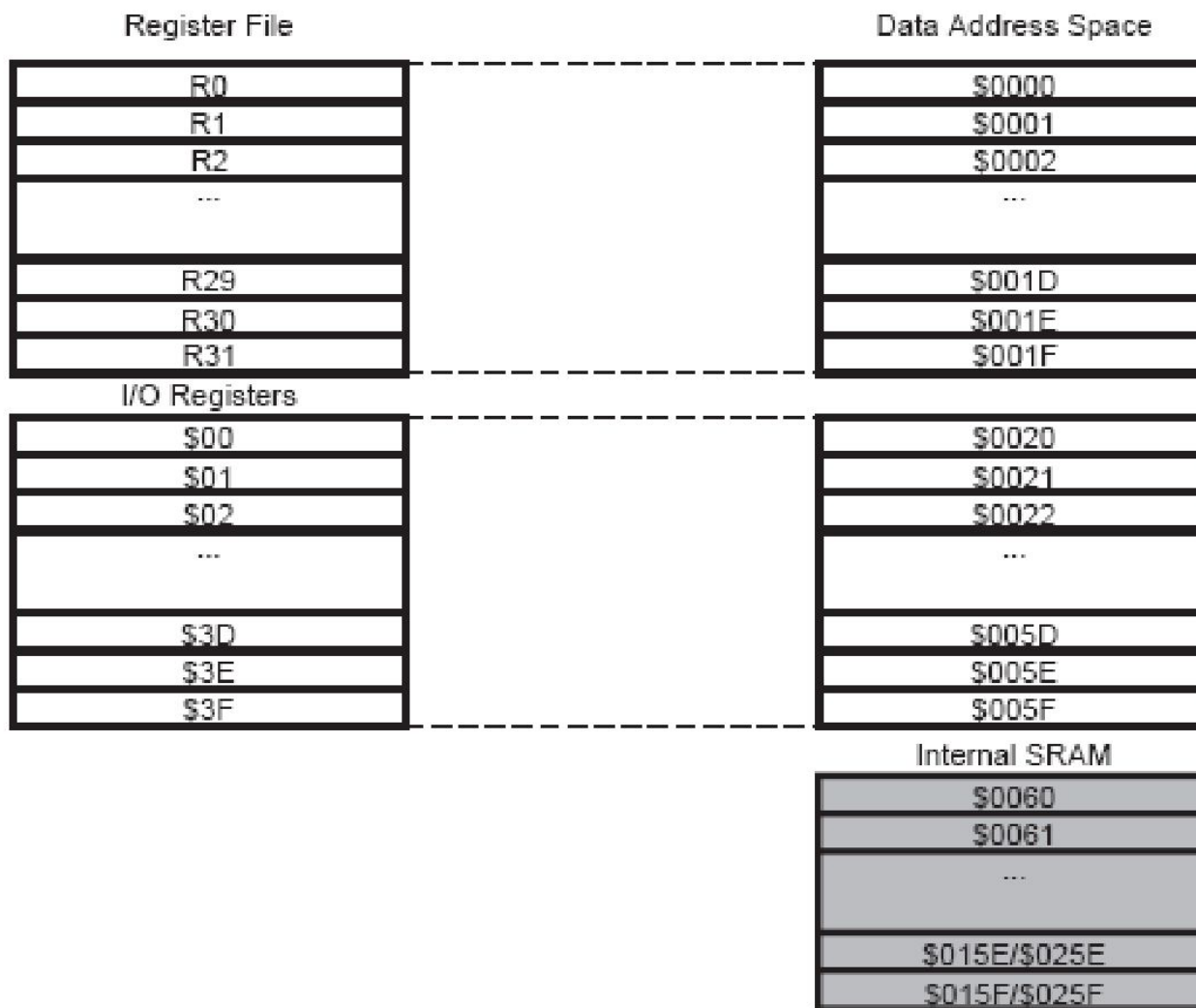
Карта памяти МК (Гарвардская архитектура)

RISC AVR МК 8535 (карта памяти)



Карта памяти МК (Гарвардская архитектура)

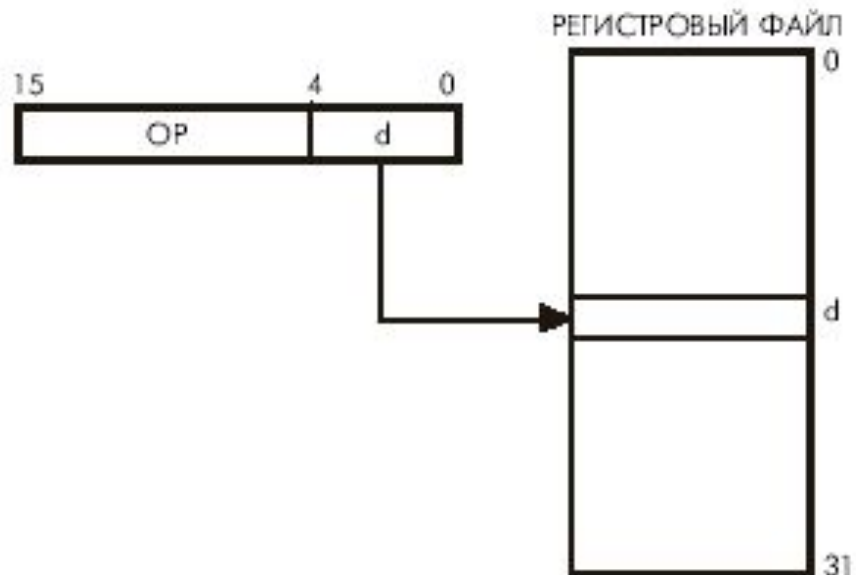
RISC AVR МК 8535 (карта пам'яті)



Організація SRAM (СОЗУ) МК

RISC AVR МК (адресация 1)

НЕПОСРЕДСТВЕННАЯ АДРЕСАЦИЯ, ОДИНОЧНЫЙ РЕГИСТР Rd

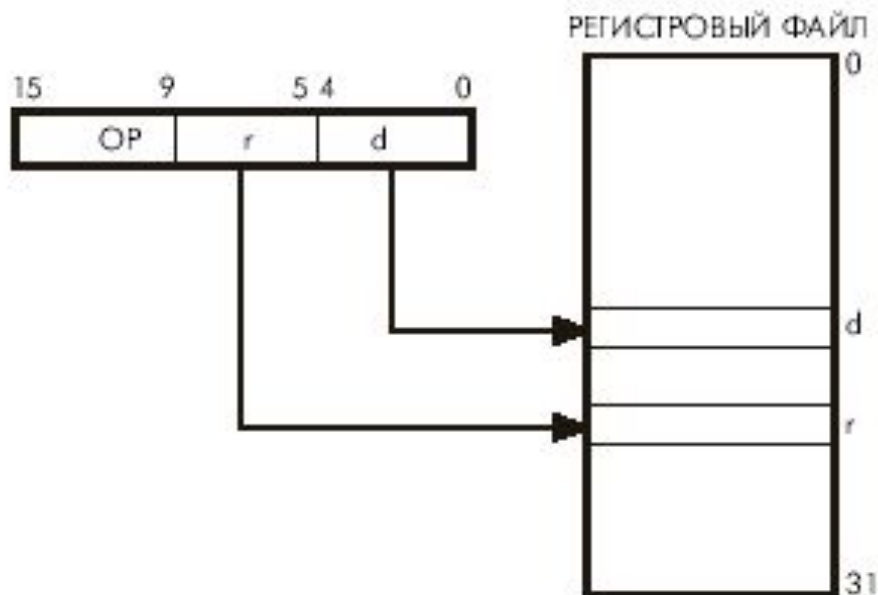


Непосредственная адресация одного регистра.
Операнд содержится в регистре d (Rd).

Режимы адресации памяти программ и данных

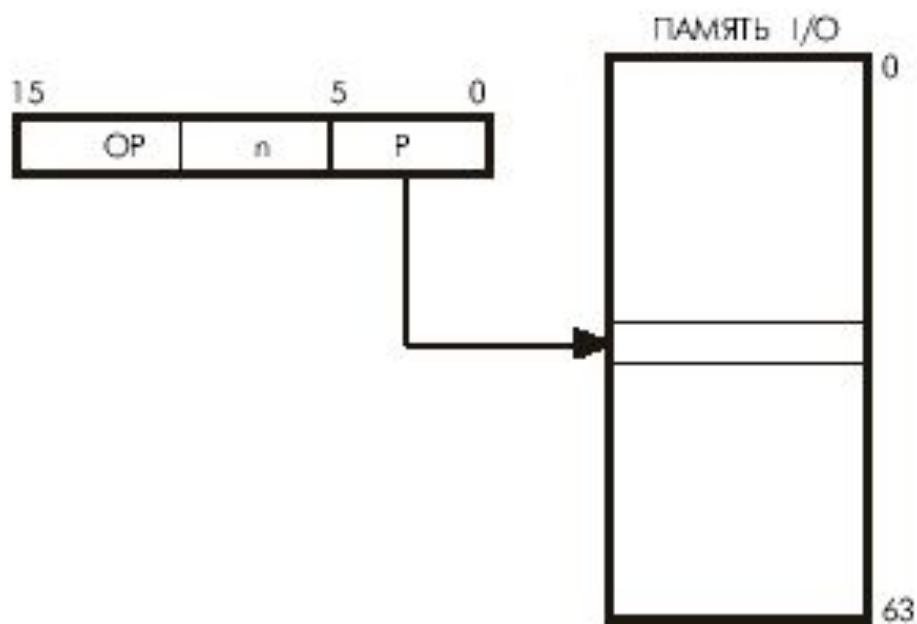
RISC AVR МК (адресация 2)

НЕПОСРЕДСТВЕННАЯ АДРЕСАЦИЯ, ДВА РЕГИСТРА Rd и Rr



Непосредственная регистровая адресация двух регистров.
 Операнды содержатся в регистрах r (Rr) и d (Rd).
 Результат сохраняется в регистре d (Rd).

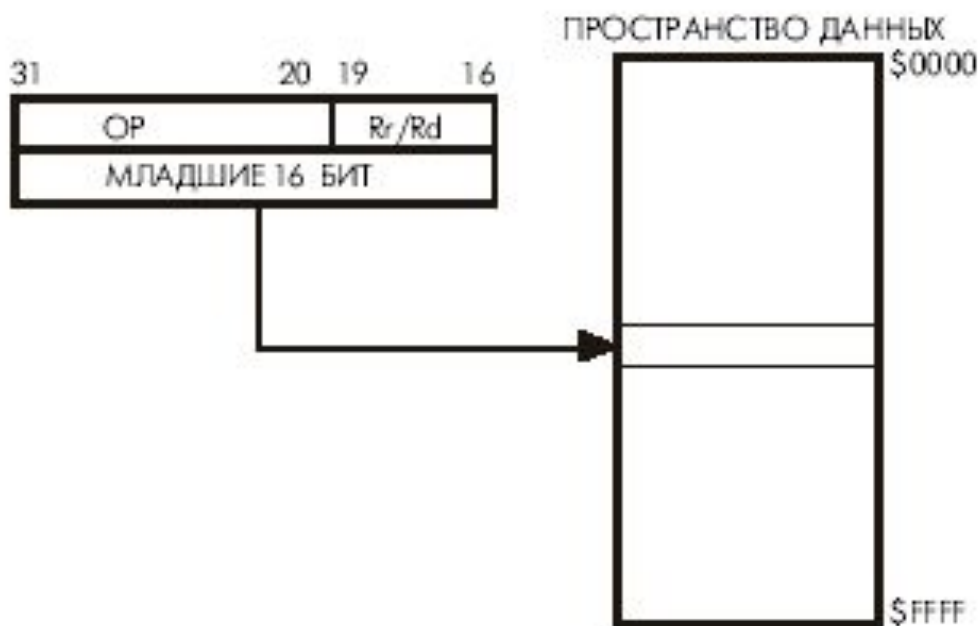
Режимы адресации памяти программ и данных

НЕПОСРЕДСТВЕННАЯ АДРЕСАЦИЯ I/O

Адрес операнда содержится в 6 битах слова команды.
Величина n определяет адрес регистра источника
или регистра назначения.

Режимы адресации памяти программ и данных

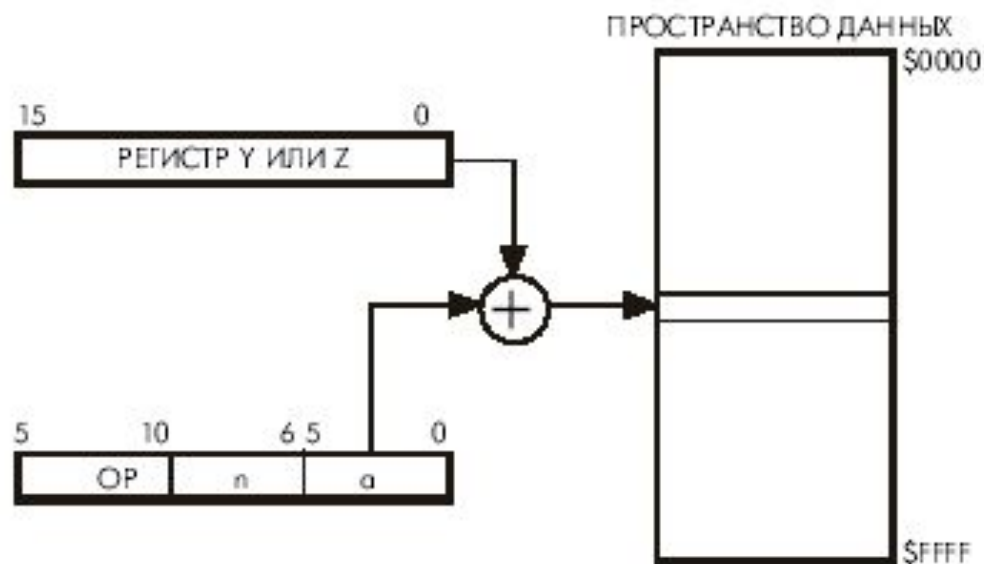
НЕПОСРЕДСТВЕННАЯ АДРЕСАЦИЯ ДАННЫХ



16-разрядный адрес данных содержится в 16 младших разрядах 32-разрядной команды Rr/Rd определяют регистр источник или регистр назначения.

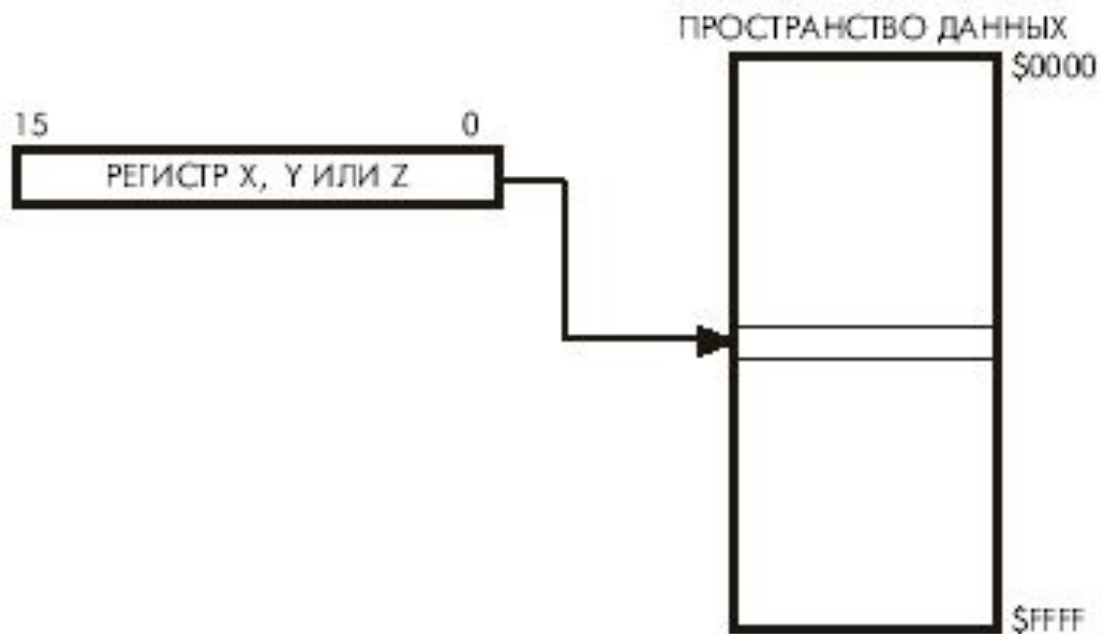
Режимы адресации памяти программ и данных

КОСВЕННАЯ АДРЕСАЦИЯ ДАННЫХ СО СМЕЩЕНИЕМ



Адрес операнда вычисляется суммированием содержимого регистра Y или Z с 6 битами адреса, содержащимися в слове команды.

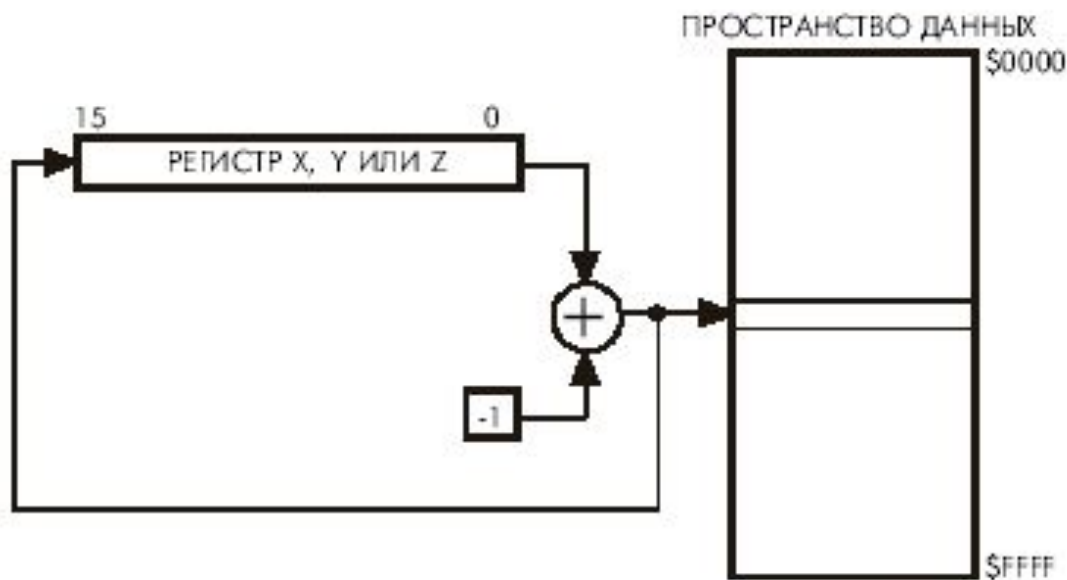
Режимы адресации памяти программ и данных

КОСВЕННАЯ АДРЕСАЦИЯ ДАННЫХ

Адрес операнда содержится в регистре X, Y или Z

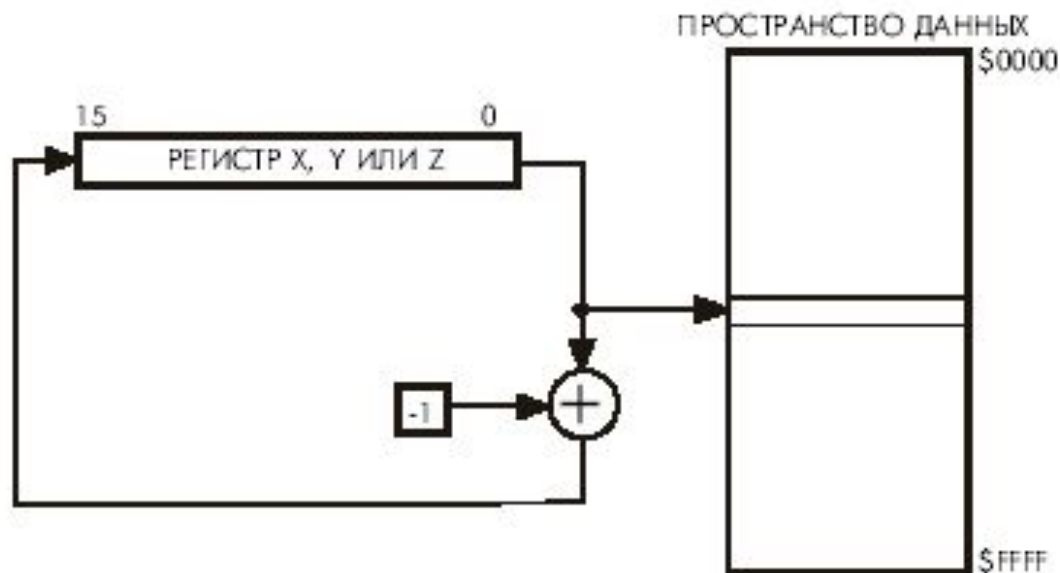
Режимы адресации памяти программ и данных

КОСВЕННАЯ АДРЕСАЦИЯ ДАННЫХ С ПРЕДДЕКРЕМЕНТОМ



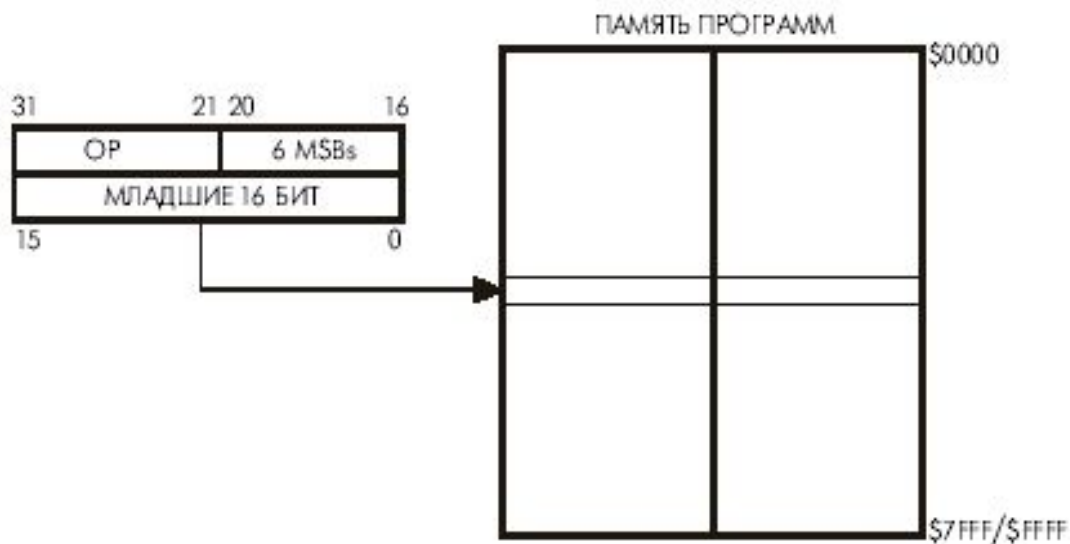
Перед выполнением операции регистр X, Y или Z декрементируется. Декрементированное содержимое регистра X, Y или Z является адресом операнда.

Режимы адресации памяти программ и данных

КОСВЕННАЯ АДРЕСАЦИЯ ДАННЫХ С ПОСТИНКРЕМЕНТОМ

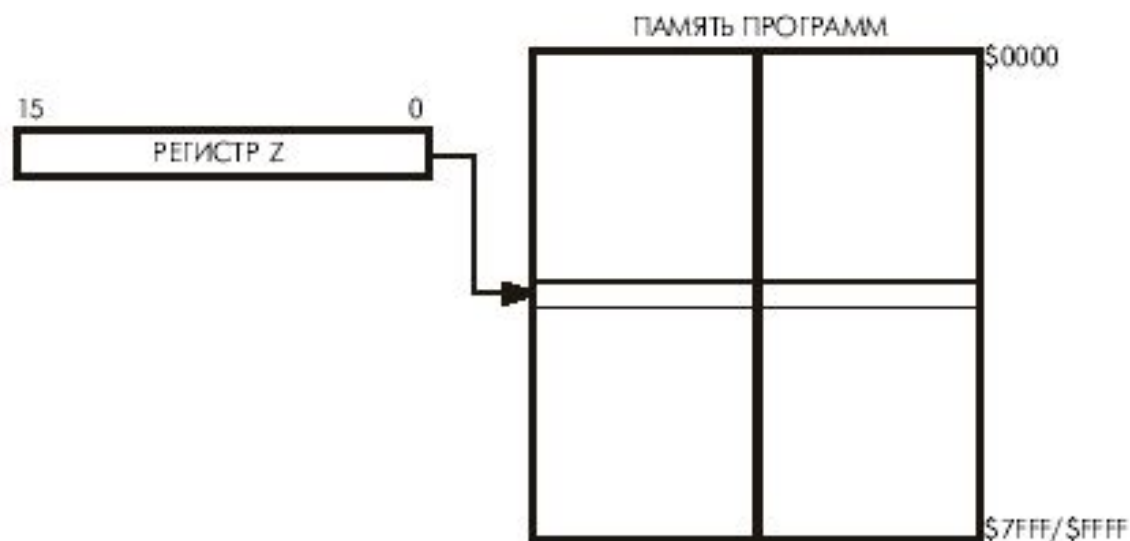
После выполнения операции регистр X, Y или Z инкрементируется.
Адресом операнда является содержимое X, Y или Z регистра предшествовавшее инкрементированию.

Режимы адресации памяти программ и данных

НЕПОСРЕДСТВЕННАЯ АДРЕСАЦИЯ ПАМЯТИ ПРОГРАММ, КОМАНДЫ JMP и CALL

Выполнение программы продолжается с адреса, записанного непосредственно в адресе команды.

Режимы адресации памяти программ и данных

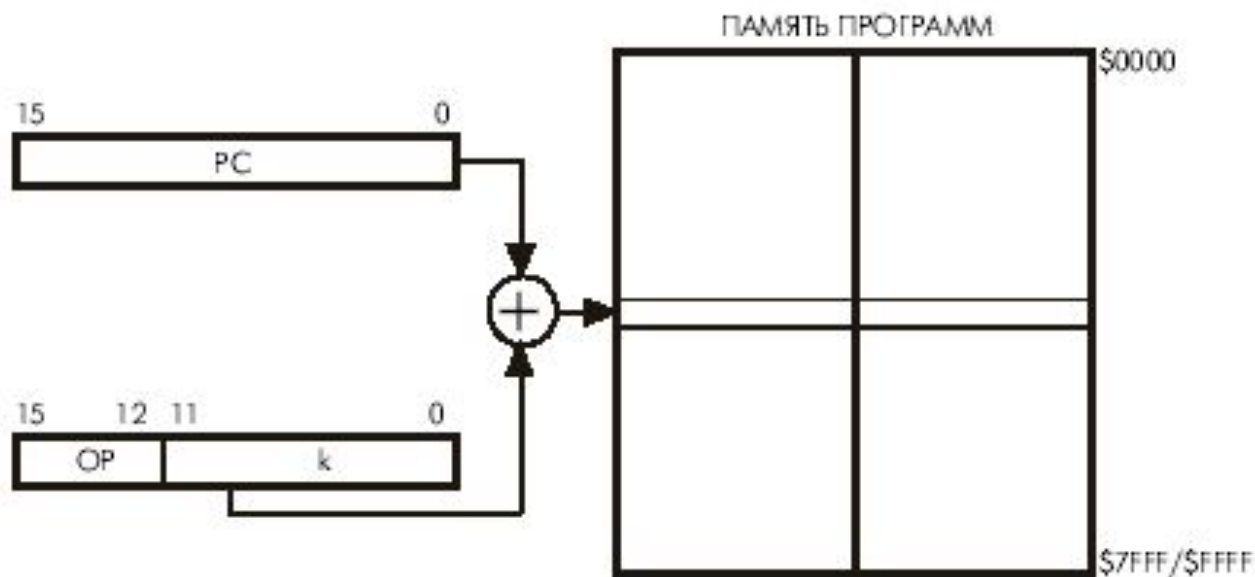
КОСВЕННАЯ АДРЕСАЦИЯ ПАМЯТИ ПРОГРАММ, КОМАНДЫ IJMP и ICALL

Выполнение программы продолжается с адреса, содержащегося в регистре Z (т.е. счетчик команд загружается содержимым регистра Z).

Режимы адресации памяти программ и данных

RISC AVR МК (адресация 11)

ОТНОСИТЕЛЬНАЯ АДРЕСАЦИЯ ПАМЯТИ ПРОГРАММ, КОМАНДЫ RJMP и RCALL



Выполнение программы продолжается с адреса $PC + k + 1$.
Значение относительного адреса может быть от -2048 до 2047.

Режимы адресации памяти программ и данных

RISC AVR МК (область ввода-вывода)

Адрес I/O (адрес SRAM)	Обозначение	Функция
\$3F (\$5F)	SREG	Регистр статуса (Status REGister)
\$3E (\$5E)	SPH	Верхний байт указателя стека (Stack Pointer High)
\$3D (\$5D)	SPL	Нижний байт указателя стека (Stack Pointer Low)
\$3C (\$5C)	XDIV	Регистр управления делением тактовой частоты (XTAL Divide Control Register)
\$3B (\$5B)	RAMPZ	Регистр выбора страницы Z RAM (RAM Page Z Select Register)
\$3A (\$5A)	EICR	Регистр управления внешними прерываниями (External Interrupt Control Register)
\$39 (\$59)	EIMSK	Регистр масок внешних прерываний (External Interrupt MaSK register)
\$38 (\$58)	EIFR	Регистр флагов внешних прерываний (External Interrupt Flag Register)

.....

\$05 (\$25)	ADCH	Старший байт регистра данных ADC (ADC Data Register High)
\$04 (\$24)	ADCL	Младший байт регистра данных ADC (ADC Data Register Low)
\$03 (\$23)	PORTE	Регистр данных порта E (Data Register, Port E)
\$02 (\$22)	DDRE	Регистр направления данных порта E (Data Direction Register, Port E)
\$01 (\$21)	PINE	Выводы входов порта E (Input Pins, Port E)
\$00 (\$20)	PINF	Выводы входов порта F (Input Pins, Port F)

RISC AVR МК 8535 (регістр статусу SREG)

Биты	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	REG
Чтение/Запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальное состояние	0	0	0	0	0	0	0	0	

Разряд 0 – **C** (флаг переноса)

Разряд 1 – **Z** (флаг нулевого результата)

Разряд 2 – **N** (флаг отрицательного результата)

Разряд 3 – **V** (флаг переполнения при вычислениях
в дополнительном коде)

Разряд 4 – **S = N ⊕ V** (флаг знака)

Разряд 5 – **H** (флаг половинного переноса)

Разряд 6 – **T** (флаг копирования)

Разряд 7 – **I** (флаг глобального разрешения прерывания)

RISC AVR МК 8535 (указатель стека SP)

Биты	15	14	13	12	11	10	9	8	
\$3E (\$5E)	-	-	-	-	-	-	SP9	SP8	SPH
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
	7	6	5	4	3	2	1	0	
Чтение/Запись	R	R	R	R	R	R	R/W	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальное состояние	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

RISC AVR МК 8535 (регістр управління MCU)

Bit	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	SE	SM1	SM0	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial value	0	0	0	0	0	0	0	0	

- **Bit 7 - Res: Reserved bit**
- **Bit 6 - SE: Sleep Enable**
- **Bits 5,4 - SM1/SM0: Sleep Mode Select bits 1 and 0**

Table . Sleep Mode Select

SM1	SM0	Sleep Mode
0	0	Idle Mode
0	1	Reserved
1	0	Power Down
1	1	Power Save

RISC AVR МК 8535 (регістр управління MCU)

- **Bits 3, 2 - ISC11, ISC10: Interrupt Sense Control 1 bit 1 and bit 0**

Table . Interrupt 1 Sense Control **Вывод PD3**

ISC11	ISC10	Description
0	0	The low level of INT1 generates an interrupt request.
0	1	Reserved
1	0	The falling edge of INT1 generates an interrupt request.
1	1	The rising edge of INT1 generates an interrupt request.

- **Bit 1, 0 - ISC01, ISC00: Interrupt Sense Control 0 bit 1 and bit 0**

Table . Interrupt 0 Sense Control **Вывод PD2**

ISC01	ISC00	Description
0	0	The low level of INT0 generates an interrupt request.
0	1	Reserved
1	0	The falling edge of INT0 generates an interrupt request.
1	1	The rising edge of INT0 generates an interrupt request.

AVR МК 8535 (сброс и вектора прерываний)

Table 3. Reset and Interrupt Vectors

Vector No.	Program Address	Source	Interrupt Definition
1	\$000	RESET	Hardware Pin, Power-On Reset and Watchdog Reset
2	\$001	INT0	External Interrupt Request 0
3	\$002	INT1	External Interrupt Request 1
4	\$003	TIMER2 COMP	Timer/Counter2 Compare Match
5	\$004	TIMER2 OVF	Timer/Counter2 Overflow
6	\$005	TIMER1 CAPT	Timer/Counter1 Capture Event
7	\$006	TIMER1 COMPA	Timer/Counter1 Compare Match A
8	\$007	TIMER1 COMPB	Timer/Counter1 Compare Match B
9	\$008	TIMER1 OVF	Timer/Counter1 Overflow
10	\$009	TIMER0 OVF	Timer/Counter0 Overflow
11	\$00A	SPI, STC	SPI Serial Transfer Complete
12	\$00B	UART, RX	UART, Rx Complete
13	\$00C	UART, UDRE	UART Data Register Empty
14	\$00D	UART, TX	UART, Tx Complete
15	\$00E	ADC	ADC Conversion Complete
16	\$00F	EE_RDY	EEPROM Ready
17	\$010	ANA_COMP	Analog Comparator

AVR МК 8535 (сброс и вектора прерываний)

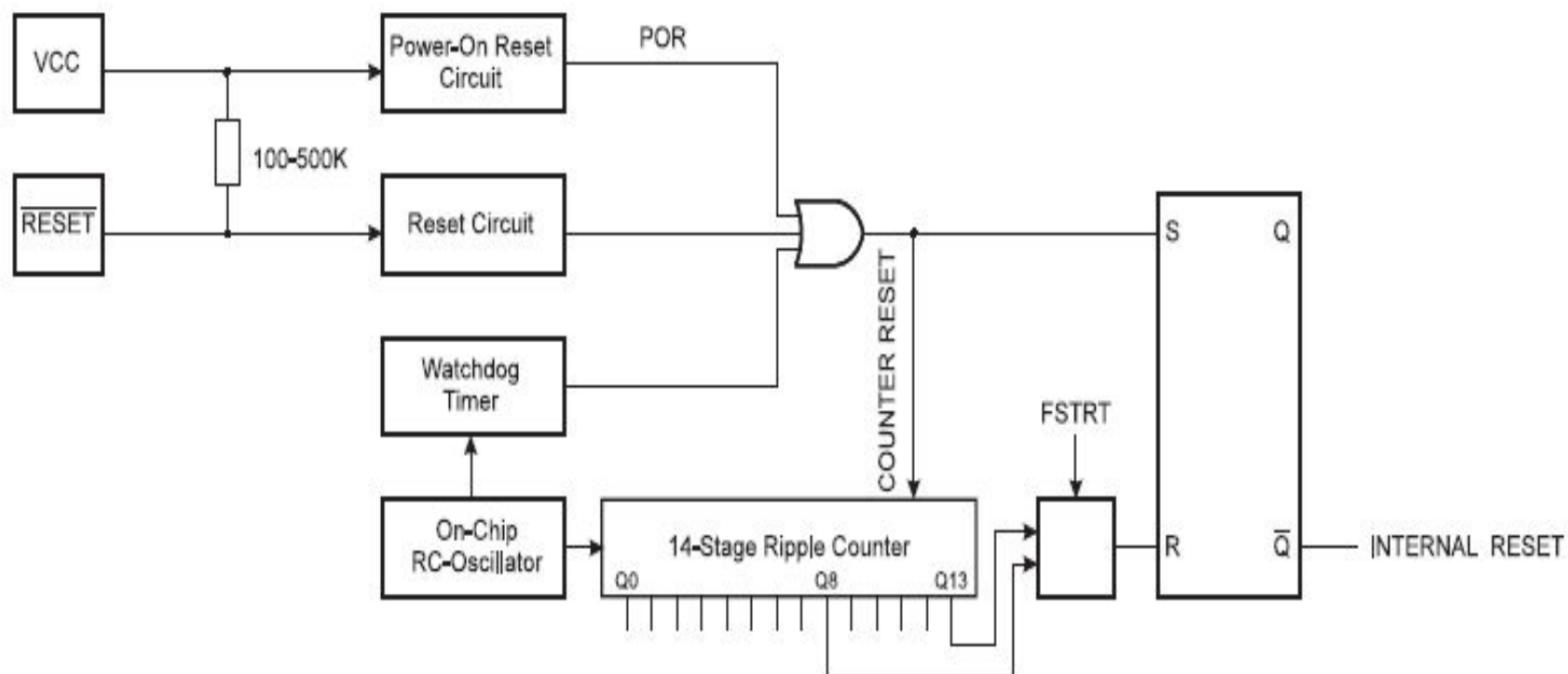
Address	Labels	Code	Comments
\$000		rjmp RESET	; Reset Handler
\$001		rjmp EXT_INT0	; IRQ0 Handler
\$002		rjmp EXT_INT1	; IRQ1 Handler
\$003		rjmp TIM2_COMP	; Timer2 Compare Handler
\$004		rjmp TIM2_OVF	; Timer2 Overflow Handler
\$005		rjmp TIM1_CAPT	; Timer1 Capture Handler
\$006		rjmp TIM1_COMPA	; Timer1 CompareA Handler
\$007		rjmp TIM1_COMPB	; Timer1 CompareB Handler
\$008		rjmp TIM1_OVF	; Timer1 Overflow Handler
\$009		rjmp TIM0_OVF	; Timer0 Overflow Handler
\$00a		rjmp SPI_STC;	; SPI Transfer Complete Handler
\$00b		rjmp UART_RXC	; UART RX Complete Handler
\$00c		rjmp UART_DRE	; UDR Empty Handler
\$00d		rjmp UART_TXC	; UART TX Complete Handler
\$00e		rjmp ADC	; ADC Conversion Complete Interrupt Handler
\$00f		rjmp EE_RDY	; EEPROM Ready Handler
\$010		rjmp ANA_COMP	; Analog Comparator Handler
\$011	MAIN:	ldi r16, high(RAMBEND);	Main program start
\$012		out SPH, r16	

Пример типовой программы начальной работы МК

AVR МК 8535 (сброс)

Лекція

Figure 23. Reset Logic

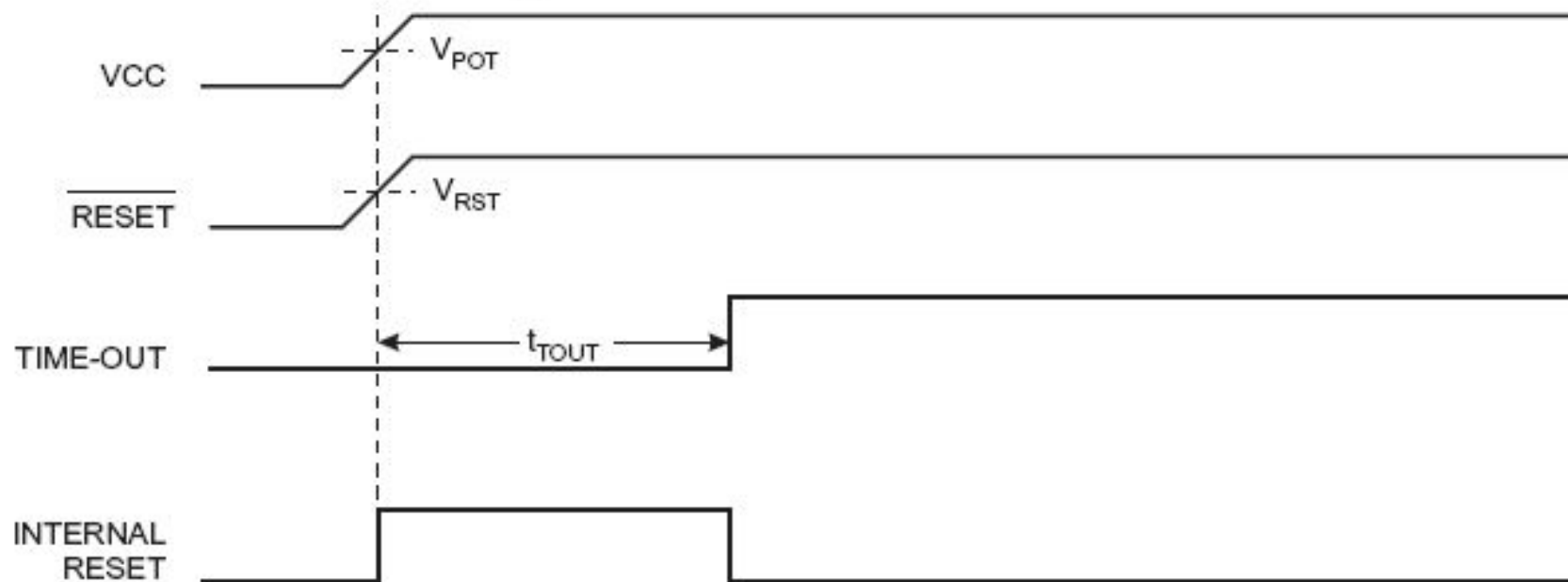


Реализация логики сброса МК

AVR МК 8535 (сброс)

Лекция

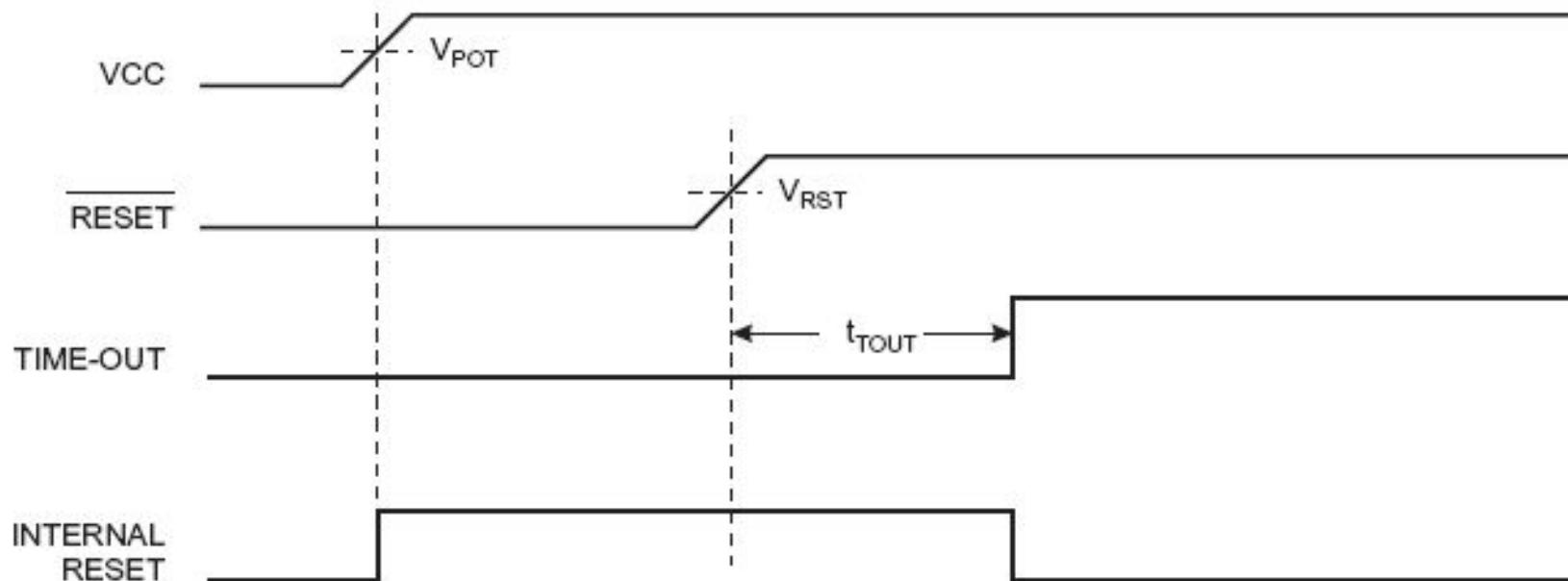
MCU Start-Up, $\overline{\text{RESET}}$ Tied to V_{CC} .



1. Внутренний сброс МК ($t_{TOUT} = 1,1 \text{ ms}$ или 16 ms)

AVR МК 8535 (сброс)

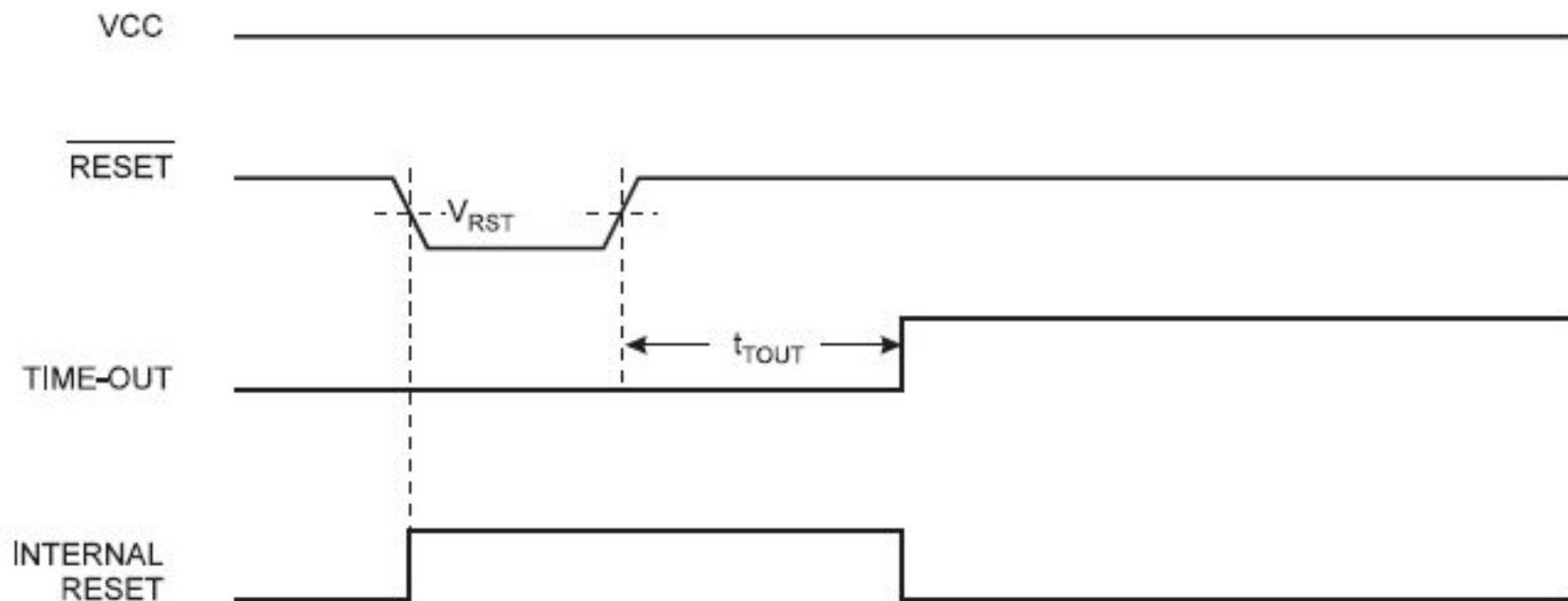
MCU Start-Up, $\overline{\text{RESET}}$ Controlled Externally



2.1. Внешний сброс МК ($t_{TOUT} = 1,1 \text{ ms}$ или 16 ms)

AVR МК 8535 (сброс)

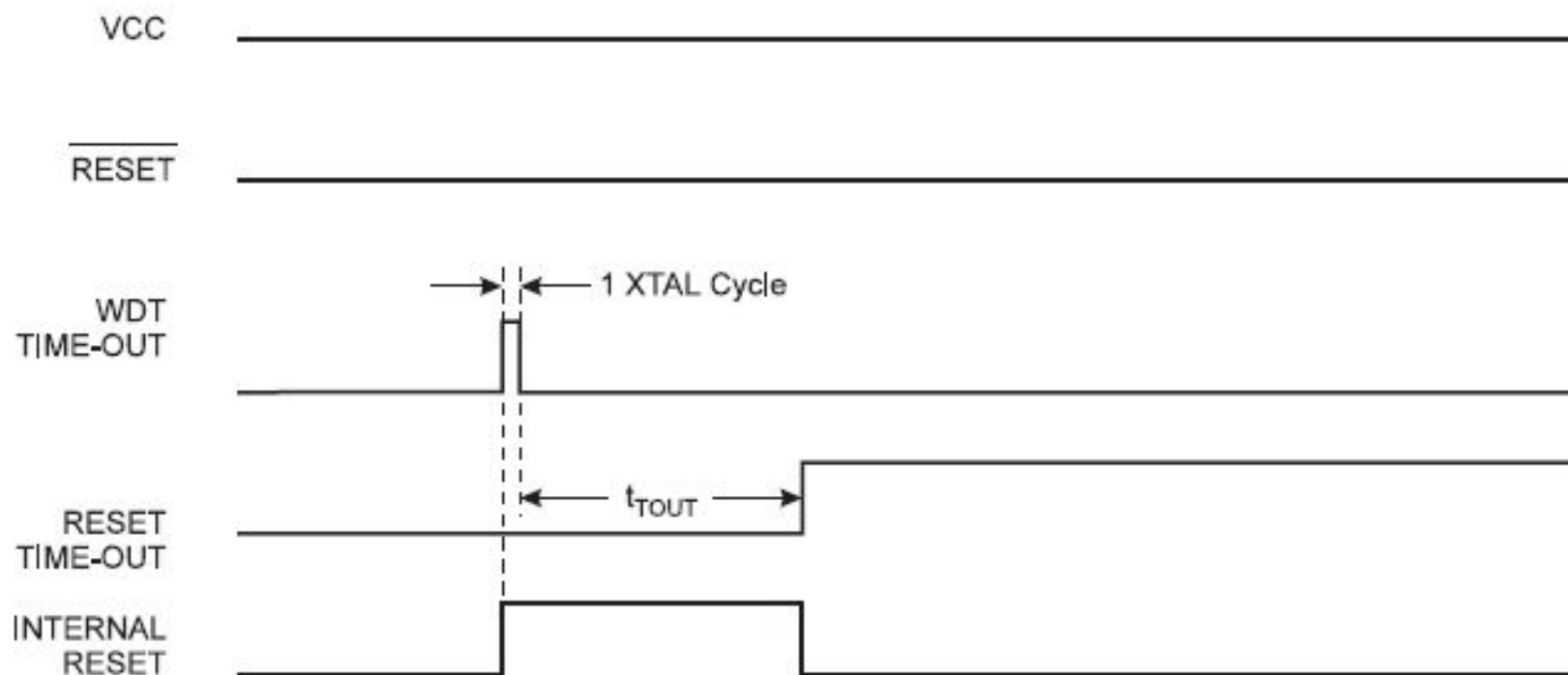
External Reset During Operation



2.2. Внешний сброс МК ($t_{TOUT} = 1,1 \text{ ms}$ или 16 ms)

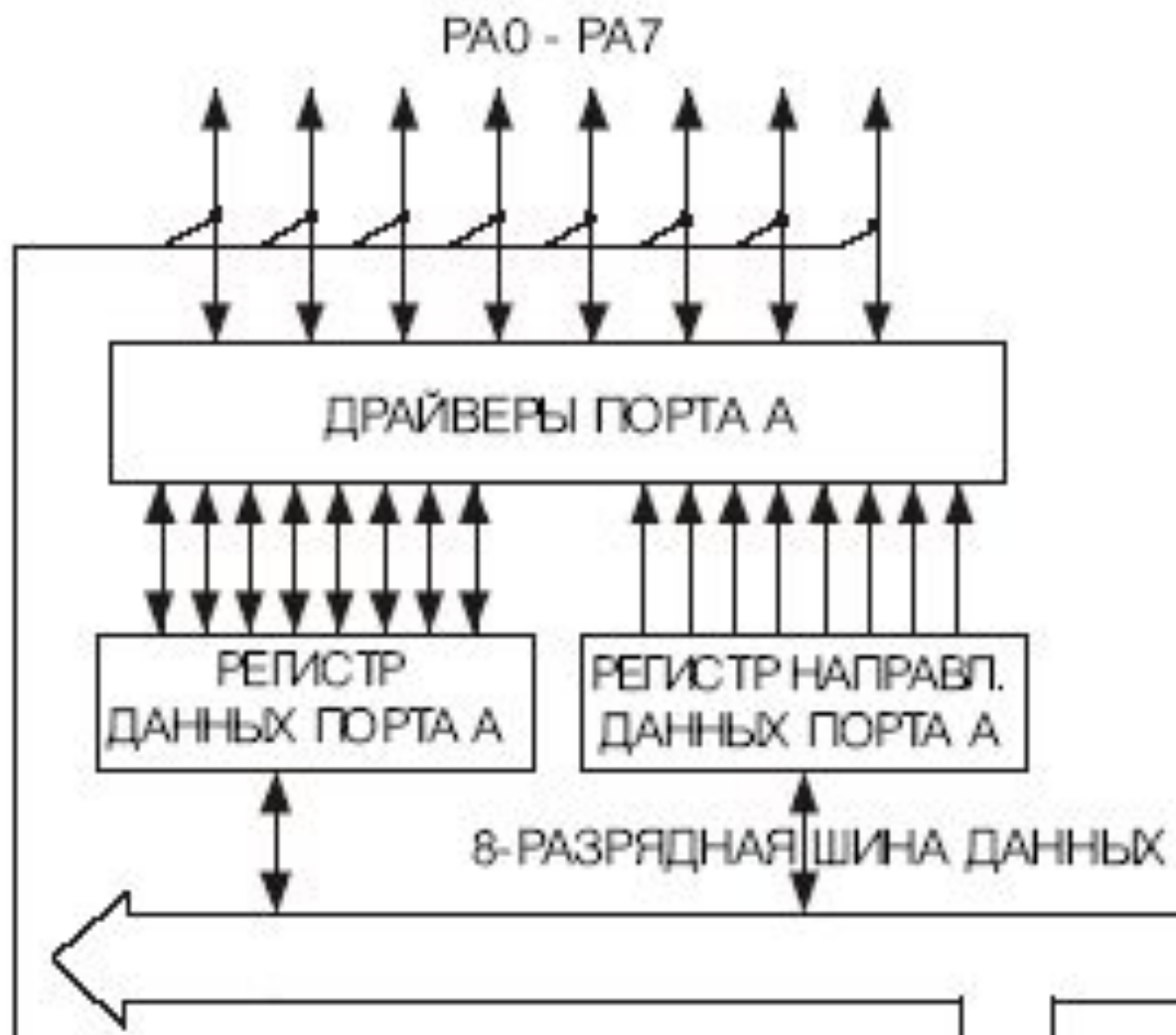
AVR МК 8535 (сброс)

Watchdog Reset During Operation



3. Сброс МК по сторожевому таймеру ($t_{\text{TOUIT}} = 1,1 \text{ ms}$ или 16 ms)

AVR МК 8535 (каналы ввода-вывода А,В,С,Д)



Канал А параллельного ввода-вывода МК

AVR МК 8535 (каналы ввода-вывода A,B,C,D)

Port A Data Register - PORTA

Bit	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7 PORTA6 PORTA5 PORTA4 PORTA3 PORTA2 PORTA1 PORTA0								PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial value	0	0	0	0	0	0	0	0	

Port A Data Direction Register - DDRA

1 – вывод, 0 – ввод

Bit	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7 DDA6 DDA5 DDA4 DDA3 DDA2 DDA1 DDA0								DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial value	0	0	0	0	0	0	0	0	

Port A Input Pins Address - PINA

Bit	7	6	5	4	3	2	1	0	
\$19 (\$39)	PINA7 PINA6 PINA5 PINA4 PINA3 PINA2 PINA1 PINA0								PINA
Read/Write	R	R	R	R	R	R	R	R	
Initial value	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	

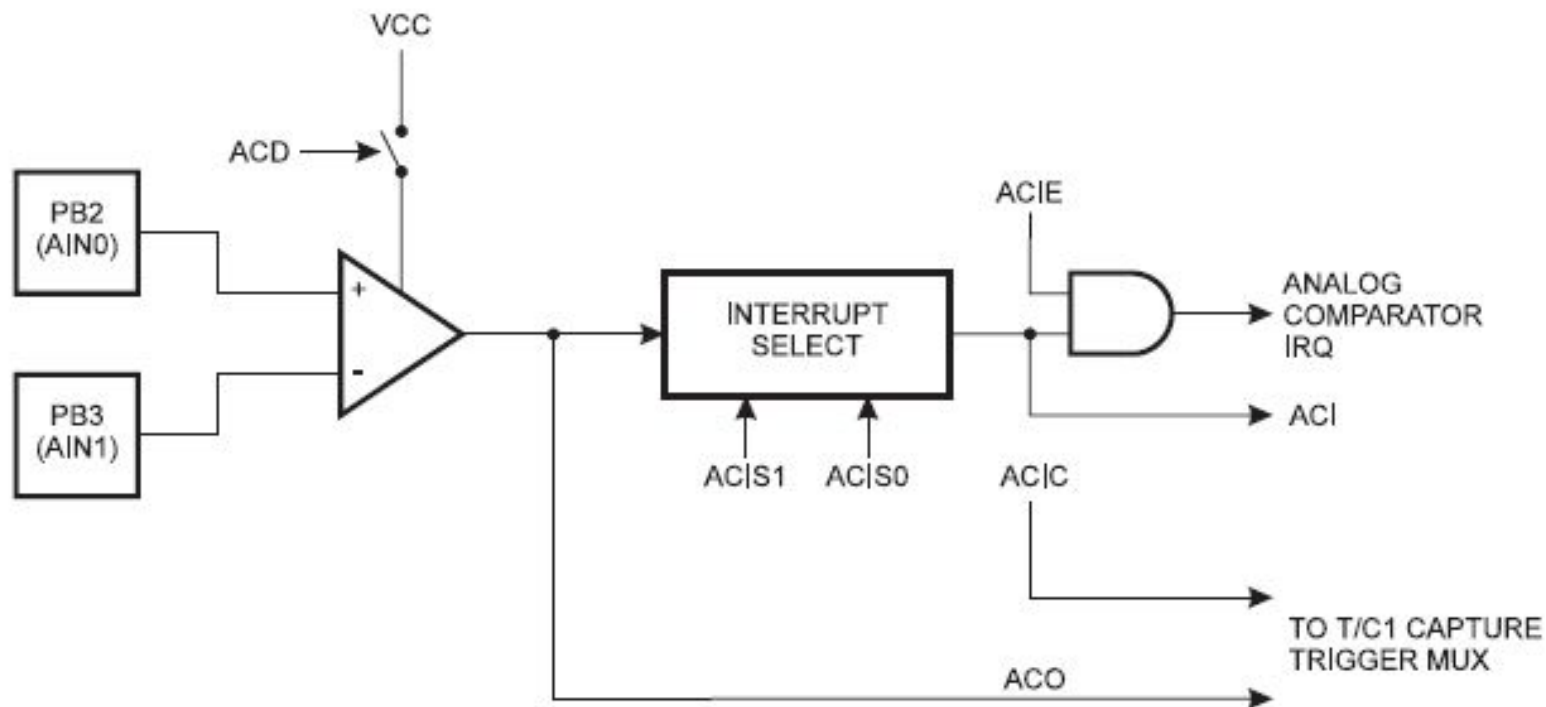
Регистры данных и управления канала A

Примеры: *out DDRA, r16* ; запись управл. слова в порт A
In r18, PIND ; читать порт D
out PORTA, r15 ; запись в порт A

AVR МК 8535 (аналоговый компаратор)

Лекция

Analog Comparator Block Diagram



Структура модуля аналогового компаратора МК

AVR МК 8535 (аналоговый компаратор)

Analog Comparator Control And Status Register - ACSR

Bit	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
Initial value	0	0	0	0	0	0	0	0	

- **Bit 7 - ACD: Analog Comparator Disable - Запрет аналогового компаратора**
- **Bit 6 - Res: Reserved bit - Зарезервированный бит**
- **Bit 5 - ACO: Analog Comparator Output - Выход аналогового компаратора**
- **Bit 4 - ACI: Analog Comparator Interrupt Flag - Флаг прерывания по аналоговому компаратору**
- **Bit 3 - ACIE: Analog Comparator Interrupt Enable - Разрешение прерывания по аналоговому компаратору**
- **Bit 2 - ACIC: Analog Comparator Input Capture enable - Разрешение входа захвата аналогового компаратора**
- **Bits 1,0 - ACIS1, ACIS0: Analog Comparator Interrupt Mode Select - Выбор режима прерывания по аналоговому компаратору**

Регистр управления аналогового компаратора МК