

**Базовые логические  
элементы. Дешифратор.  
Мультиплексор.  
Сумматор.**

к.ф.-м.н. Юсупов К.М.

# Типовые комбинационные функциональные узлы

В настоящее время при проектировании цифровой аппаратуры наряду с отдельными логическими элементами (И, ИЛИ, И-НЕ и др.) широко используются готовые типовые функциональные узлы, реализующие часто повторяющиеся в цифровых устройствах операции обработки и преобразования информации. Типовые функциональные узлы, как правило, изготавливаются как единое целое в виде интегральных микросхем (ИМС) среднего и высокого уровня интеграции. Применение таких готовых узлов не только упрощает разработку схем, но и позволяет снизить аппаратные затраты, так как готовый узел на одной ИМС заменяет устройство, собираемое из множества логических элементов, размещаемых в нескольких корпусах.

## Сумматоры: определения, классификация, уравнения, структуры и применение

Основной элементарной операцией, выполняемой над кодами чисел в цифровых устройствах, является арифметическое сложение.

**Сумматор** — логический операционный узел, выполняющий арифметическое сложение кодов двух чисел. При арифметическом сложении выполняются и другие дополнительные операции: учёт знаков чисел, выравнивание порядков слагаемых и тому подобное. Указанные операции выполняются в арифметическо-логических устройствах (АЛУ) или процессорных элементах, ядром которых являются сумматоры.

Сумматоры классифицируют по различным признакам.

**В зависимости от системы счисления различают:**

- двоичные;
- двоично-десятичные (в общем случае двоично-кодированные);
- десятичные;
- прочие (например, амплитудные).

**По количеству одновременно обрабатываемых разрядов складываемых чисел:**

- одноразрядные,
- многоразрядные.

### По числу входов и выходов одноразрядных двоичных сумматоров:

- четвертьсумматоры (элементы “сумма по модулю 2”; элементы “исключающее ИЛИ”), характеризующиеся наличием двух входов, на которые подаются два одноразрядных числа, и одним выходом, на котором реализуется их арифметическая сумма;
- полусумматоры, характеризующиеся наличием двух входов, на которые подаются одноимённые разряды двух чисел, и двух выходов: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд);
- полные одноразрядные двоичные сумматоры, характеризующиеся наличием трёх входов, на которые подаются одноимённые разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда, и двумя выходами: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд).

### По способу представления и обработки складываемых чисел многоразрядные сумматоры подразделяются на:

- последовательные, в которых обработка чисел ведётся поочерёдно, разряд за разрядом на одном и том же оборудовании;
- параллельные, в которых слагаемые складываются одновременно по всем разрядам, и для каждого разряда имеется своё оборудование.

Параллельный сумматор в простейшем случае представляет собой  $n$  одноразрядных сумматоров, последовательно (от младших разрядов к старшим) соединённых цепями переноса. Однако такая схема сумматора характеризуется сравнительно невысоким быстродействием, так как формирование сигналов суммы и переноса в каждом  $i$ -ом разряде производится лишь после того, как поступит сигнал переноса с  $(i-1)$ -го разряда. **Таким образом, быстродействие сумматора определяется временем распространения сигнала по цепи переноса. Уменьшение этого времени — основная задача при построении параллельных сумматоров.**

Для уменьшения времени распространения сигнала переноса применяют: **конструктивные решения**, когда используют в цепи переноса наиболее быстродействующие элементы; тщательно выполняют монтаж без длинных проводников и паразитных ёмкостных составляющих нагрузки и (наиболее часто) структурные методы ускорения прохождения сигнала переноса.

По способу организации межразрядных переносов параллельные сумматоры, реализующие структурные методы, делят на сумматоры:

- с последовательным переносом;
- с параллельным переносом;
- с групповой структурой;
- со специальной организацией цепей переноса.

Три первых структуры будут подробно рассмотрены в последующих статьях. Среди сумматоров со специальной организацией цепей переноса можно указать:

- сумматоры со сквозным переносом, в которых между входом и выходом переноса одноразрядного сумматора оказывается наименьшее число логических уровней [1];
- сумматоры с двухпроводной передачей сигналов переноса [1, 2];
- сумматоры с условным переносом (вариант сумматора с групповой структурой, позволяющий уменьшить время суммирования в 2 раза при увеличении оборудования в 1,5 раза) [3];
- асинхронные сумматоры, вырабатывающие признак завершения операции суммирования, при этом среднее время суммирования уменьшается, поскольку оно существенно меньше максимального.

Сумматоры, которые имеют постоянное время, отводимое для суммирования, независимое от значений слагаемых, называют **синхронными**.

По способу выполнения операции сложения и возможности сохранения результата сложения можно выделить три основных вида сумматоров:

- комбинационный, выполняющий микрооперацию " $S = A$  плюс  $B$ ", в котором результат выдаётся по мере его образования (это комбинационная схема в общепринятом смысле слова);
- сумматор с сохранением результата " $S = A$  плюс  $B$ ";
- накапливающий, выполняющий микрооперацию " $S = S$  плюс  $B$ ".

Последние две структуры строятся либо на счётных триггерах (сейчас практически не используются), либо по структуре "комбинационный сумматор – регистр хранения" (сейчас наиболее употребляемая схема).

## Четвертьсумматор

Простейшим двоичным суммирующим элементом является четвертьсумматор. Происхождение названия этого элемента следует из того, что он имеет в два раза меньше выходов и в два раза меньше строк в таблице истинности по сравнению с полным двоичным одноразрядным сумматором. Наиболее известны для данной схемы названия: элемент "сумма по модулю 2" и элемент "исключающее ИЛИ". Схема (рис. 1) имеет два входа  $a$  и  $b$  для двух слагаемых и один выход  $S$  для суммы. Работу её отражает таблица истинности 1 (табл. 1), а соответствующее уравнение имеет вид

$$S = \bar{a}b + a\bar{b} = a \oplus b \quad (1)$$

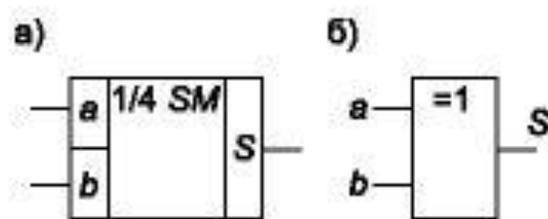


Рис. 1

Таблица 1

a	b	S
0	0	0
0	1	1
1	0	1
1	1	0

Данный элемент выпускается в виде интегральных схем (ИС) типа ЛП5 (серии 133, 155, 530, 531, 533, 555, 1531, 1533); ЛП12 (555); ЛП107 (100, 500, 1500); ЛП2 (561, 564); ЛП14 (1561) и т. п.

Реализуем четвертьсумматор в базисах И-НЕ, ИЛИ-НЕ и с использованием только одного инвертора, для чего преобразуем уравнение (1):

$$\begin{aligned}
 S &= \bar{a}b + a\bar{b} = \bar{a}a + \bar{a}b + \bar{b}b + a\bar{b} = \\
 &= a(\bar{a} + \bar{b}) + b(\bar{a} + \bar{b}) = a\bar{a}\bar{b} + b\bar{a}\bar{b} = \overline{\overline{a\bar{a}\bar{b}} \cdot \overline{b\bar{a}\bar{b}}}
 \end{aligned}
 \tag{2}$$

$$\begin{aligned}
 S &= \bar{a}b + a\bar{b} = \bar{a}a + \bar{a}b + \bar{b}b + a\bar{b} = \\
 &= \overline{\overline{\bar{a}(a+b)}} + \overline{\overline{\bar{b}(a+b)}} = \overline{a + \overline{a+b}} + \overline{b + \overline{a+b}}
 \end{aligned}
 \tag{3}$$

$$\begin{aligned}
 S &= \bar{a}b + a\bar{b} = \bar{a}a + \bar{a}b + \bar{b}b + a\bar{b} = \\
 &= \bar{a}(a+b) + \bar{b}(a+b) = (a+b)(\bar{a} + \bar{b}) = (a+b)\bar{a}\bar{b}
 \end{aligned}
 \tag{4}$$

Схемы, полученные по уравнениям (2)–(4), приведены на рис. 2.

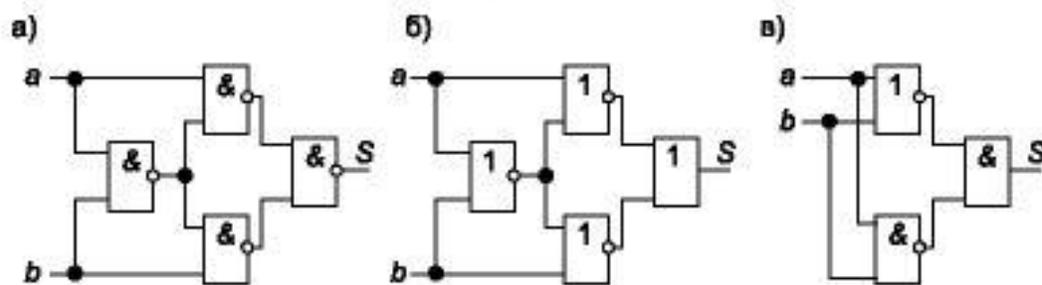


Рис. 2

## Полусумматор

Полусумматор (рис. 3) имеет два входа  $a$  и  $b$  для двух слагаемых и два выхода:  $S$  — сумма,  $P$  — перенос. Обозначением полусумматора служат буквы HS (half sum — полусумма). Работу его отражает таблица истинности 2 (табл. 2), а соответствующие уравнения имеют вид:

$$\left. \begin{aligned} S &= \bar{a}b + a\bar{b} = a \oplus b \\ P &= ab \end{aligned} \right\} \quad (5)$$

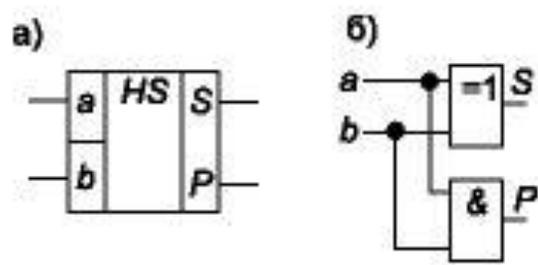


Рис. 3

Таблица 2

a	b	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Из уравнений (5) следует, что для реализации полусумматора требуется один элемент “исключающее ИЛИ” и один двухвходовый вентиль И (рис. 3б).

## Полный одноразрядный двоичный сумматор

Он (рис. 4) имеет три входа:  $a$ ,  $b$  — для двух слагаемых и  $p$  — для переноса из предыдущего (более младшего) разряда и два выхода:  $S$  — сумма,  $P$  — перенос в следующий (более старший) разряд. Обозначением полного двоичного сумматора служат буквы  $SM$ . Работу его отражает таблица истинности 3 (табл. 3).

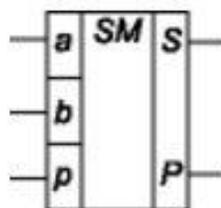


Рис. 4

Таблица 3

№ наб.	$a$	$b$	$p$	$P$	$S$
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	1	0
4	1	0	0	0	1
5	1	0	1	1	0
6	1	1	0	1	0
7	1	1	1	1	1

Отметим два момента. **Первый:** в табл. 2 и 3 выходные сигналы  $P$  и  $S$  не случайно расположены именно в такой последовательности. Это подчеркивает, что  $PS$  рассматривается как двухразрядное двоичное число, например,  $1 + 1 = 2_{10} = 10_2$ , то есть  $P = 1$ , а  $S = 0$  или  $1 + 1 + 1 = 3_{10} = 11_2$ , то есть  $P = 1$ , а  $S = 1$ . **Второй:** выходные сигналы  $P$  и  $S$  полного двоичного сумматора относятся к классу самодвойственных функций алгебры логики. **Самодвойственными** называют функции, инвертирующие своё значение при инвертировании всех переменных, от которых они зависят. Обратите внимание, что  $P$  и  $S$  для четвертьсумматора и полусумматора не являются самодвойственными функциями! Преимущества, вытекающие из этого свойства полного двоичного сумматора, будут рассмотрены при анализе возможностей ИС типа 155ИМ1.

Уравнения, описывающие работу полного двоичного сумматора, представленные в совершенной дизъюнктивной нормальной форме (СДНФ), имеют вид:

$$\left. \begin{aligned} S &= \bar{a}\bar{b}p + \bar{a}b\bar{p} + a\bar{b}\bar{p} + abp \\ P &= \bar{a}bp + a\bar{b}p + ab\bar{p} + abp \end{aligned} \right\} \quad (6)$$

Уравнение для переноса может быть минимизировано:

$$P = ab + ap + bp. \quad (7)$$

При практическом проектировании сумматора уравнения (6) и (7) могут быть преобразованы к виду, удобному для реализации на заданных логических элементах с некоторыми ограничениями (по числу логических входов и др.) и удовлетворяющему предъявляемым к сумматору требованиям по быстродействию.

Например, преобразуем уравнения (6) следующим образом:

$$\left. \begin{aligned} S &= (\bar{a}b + a\bar{b})p + (\bar{a}\bar{b} + ab)p = S'p + \bar{S}'p \\ P &= ab + \bar{a}bp + a\bar{b}p = ab + S'p = P' + P'' \end{aligned} \right\} \quad (8)$$

Из выражений (8) следует, что полный двоичный сумматор может быть реализован на двух полусумматорах и одном двухвходовом элементе ИЛИ. Соответствующая схема приведена на рис. 5.

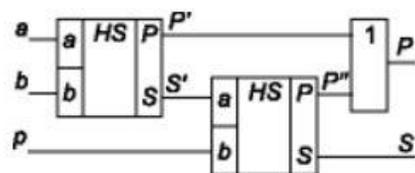


Рис. 5

Из выражения (8) для S также следует:

$$S = a \oplus b \oplus p. \quad (9)$$

# Шифратор

ШИФРАТОР (кодер) - предназначен для преобразования напряжения активного уровня на одном из  $n$  входов в комбинацию двоичных сигналов на  $m$  выходах. Число входов и выходов классического шифратора связано соотношением  $n=2^m$ . Такие шифраторы называют шифраторами  $n \times m$ .

Такое определение несколько расплывчато, что является следствием постепенного пересмотра взглядов на шифратор. Сначала под шифратором понимали ТКФУ, преобразующим входной  $n$ -разрядный код в однозначно соответствующий ему  $m$ -разрядный код, причем  $m < n$ . Такое уменьшение разрядности на выходе должно достигаться за счет исключения на входе шифратора безразличных (неиспользуемых) наборов (состояний). Таким образом, основной задачей шифратора являлось исключение безразличных состояний на входе. Такое определение не прижилось и в настоящее время под шифратором понимают преобразователь *унитарного* входного кода в *двоичный весовой* на выходе. На практике часто применяют шифраторы с 10-тью входными контактами, из-за чего часто можно встретить утверждение, что шифратор служит для преобразования десятичного кода в двоичный.

Условное обозначение шифратора  $4 \times 2$  с прямыми входами и выходами показано на рис.1.2а. В правом дополнительном поле указаны веса выходных сигналов  $y_1$  и  $y_0$ , совокупность значений которых рассматривается в качестве позиционного двоичного числа ( $y_0$  соответствует младшему разряду).

Каждому выходному двоичному числу соответствует воздействие на входе активного сигнала  $x_i$ , равного 1, десятичный номер  $i$  которого, указан в левом дополнительном поле и совпадает с двоичным числом на выходе. Кроме одного активного входного сигнала все остальные должны в неактивном состоянии. Шифратор можно использовать, например, для отображения в виде двоичного кода номера нажатой клавиши или положения многопозиционного переключателя.

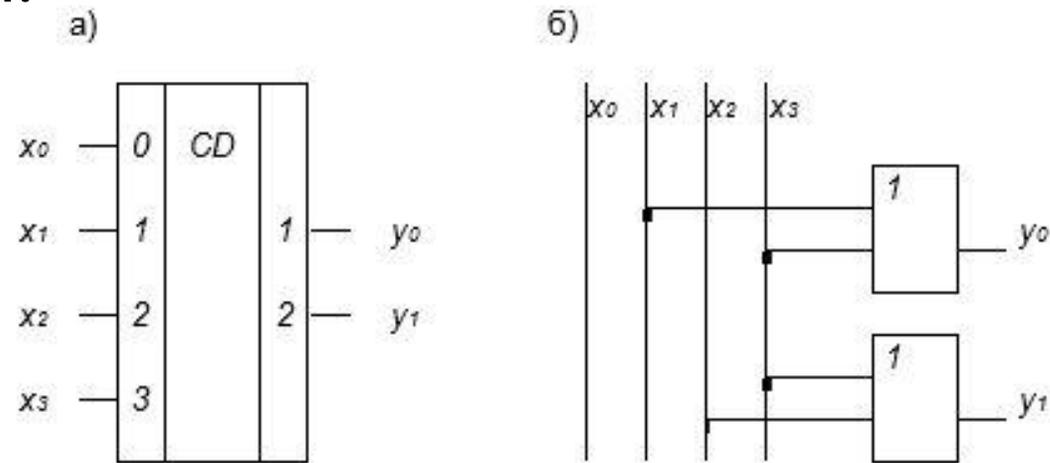


Рис. 1.2. Графическое обозначение и схема шифратора 4×2

# Таблица истинности шифратора

Таблица 1.1

$x_3$	$x_2$	$x_1$	$x_0$	$y_1$	$y_0$
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

Таблица 1.2

$x_3$	$x_2$	$x_1$	$x_0$	$y_1$	$y_0$
0	0	0	1	0	0
0	0	1	x	0	1
0	1	x	x	1	0
1	x	x	x	1	1

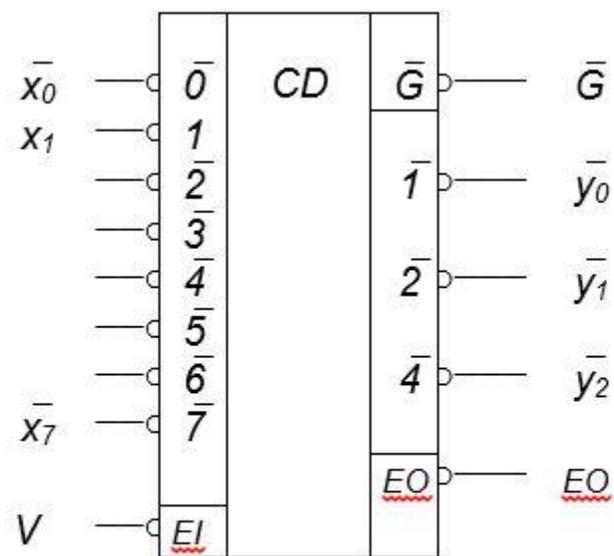


Рис.1.3. Графическое обозначение микросхемы К155ИВ1

Таблица 1.3

$V$	$x_7$	$x_6$	$x_5$	$x_4$	$x_3$	$x_2$	$x_1$	$x_0$	$G$	$y_2$	$y_1$	$y_0$	$\bar{EO}$
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	0	0	1	1	1	1
0	1	1	1	1	1	0	x	x	0	1	0	1	1
0	1	1	1	1	0	x	x	x	0	1	0	0	1
0	1	1	1	0	x	x	x	x	0	0	1	1	1
0	1	1	0	x	x	x	x	x	0	0	0	1	1
0	1	0	x	x	x	x	x	x	0	0	0	1	1
0	0	x	x	x	x	x	x	x	0	0	0	0	1

Аналитическая форма записи работы приоритетного шифратора К155ИВ1 (для упрощения записи на выходах шифратора не учтена инверсия):

$$y_2 = (x_4 + x_5 + x_6 + x_7) \cdot EI ;$$

$$y_1 = (x_2 \cdot \bar{x}_4 \cdot \bar{x}_5 + x_3 \cdot \bar{x}_4 \cdot \bar{x}_5 + x_6 + x_7) \cdot EI ;$$

$$y_0 = (x_1 \cdot \bar{x}_2 \cdot \bar{x}_4 \cdot \bar{x}_6 + x_3 \cdot \bar{x}_4 \cdot \bar{x}_6 + x_5 \cdot \bar{x}_6 + x_7) \cdot EI ;$$

$$EO = \bar{x}_0 \cdot \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \cdot \bar{x}_4 \cdot \bar{x}_5 \cdot \bar{x}_6 \cdot \bar{x}_7 \cdot EI ;$$

$$G = \bar{EO} + EI .$$

Активному состоянию как входов, так и выходов микросхемы соответствует низкий уровень сигналов. Выходное двоичное число, представленное в *обратном* коде  $\square Y = (\square y_2, \square y_1, \square y_0)$  отражает номер входа, оказавшегося активным. Входы  $\square 0 \div \square 7$  приоритетные. Наивысший приоритет у входа  $\square 7$ .

В шифраторах, как и в других комбинационных устройствах, часто предусматривается операция *стробирования*, разрешающая выработку выходных сигналов только в определенные интервалы времени. В ИМС К155ИВ1 для этой цели имеется дополнительный (также инверсный) *стробирующий* вход  $\square V$ , называемый еще разрешающим или управляющим входом. Обозначение  $V$  является устаревшим, ныне чаще используется обозначение  $EI$  (*enable input*). Запрещающий сигнал  $\square V = 1$  на этом входе блокирует работу шифратора, в результате на всех выходах устанавливаются неактивные уровни независимо от сигналов на входах.

- Наличие разрешающего входа позволяет синхронизировать работу цифрового устройства с работой других узлов и таким образом избежать появления на выходах ложных сигналов в моменты смены входной информации из-за переходных процессов в схеме. Кроме того, разрешающий вход может служить для наращивания разрядности устройств.
- Шифратор К155ИВ1 имеет два дополнительных выхода:  $\bar{G}$  (групповой сигнал) и  $\bar{EO}$  (разрешение выхода - *output enable*). Активный сигнал  $\bar{EO}$  отражает ситуацию, когда не возбужден ни один вход ( $\bar{x}_i = 1$  для всех  $i$ ) при включенном (разрешенном) состоянии шифратора ( $\bar{EI} = 0$ ). Используя совместно вход  $\bar{EI}$  и выход  $\bar{EO}$ , можно строить многокаскадные (многоразрядные) шифраторы на базе нескольких ИМС. (Предложите схему шифратора  $16 \times 4$ , включающую в себя два шифратора  $8 \times 3$ .)
- Выход  $\bar{G}$  - активизируется, если хотя бы на одном из входов присутствует активный уровень. Из сказанного ясно, что 3-х разрядный двоичный код  $\bar{Y} = (\bar{y}_2, \bar{y}_1, \bar{y}_0)$  можно считывать с выходов шифратора при  $\bar{G} = 0$ . Данный сигнал может быть использован в микроЭВМ для запроса прерываний по вектору  $\bar{Y}$ . Таким образом, кроме кодирования состояний переключателей и номеров нажатых клавиш, приоритетные шифраторы могут применяться для определения номера устройства, подавшего сигнал запроса на обслуживание в микропроцессорных системах и микроЭВМ.
- Отметим, что сигнал  $\bar{EI} = 1$  запирает не только информационные выходы, но и выходы  $\bar{G}$  и  $\bar{EO}$ .

## Дешифратор

ДЕШИФРАТОР (декодер) - ТКФУ, выполняющий операцию, обратную шифраторам. Он преобразует двоичный  $N$  - разрядный код в сигнал активного уровня только на одном из его выходов. Пользоваться данным определением надо с учетом замечаний, сделанным при определении шифратора.

Таблица 1.4

$X_1$	$X_0$	$f_3$	$f_2$	$f_1$	$f_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Дешифраторы могут быть *полными* и *неполными*. Полным называется дешифратор, у которого число выходов  $n$  равно числу возможных комбинаций входных двоичных сигналов, т.е.  $2^N$ . Дешифраторы с  $m$  входами и  $n$  выходами называют дешифраторами  $m$  на  $n$ . Таблица истинности полного дешифратора  $2 \times 4$  с прямыми выходами представлена в таблице

1.4.

Согласно таблице, такой дешифратор описывается системой 4-х логических функций, каждая из которых представляет собой минтерм (элементарную конъюнкцию) 2-х переменных  $X_1$  и  $X_0$ :

$$f_0 = \underline{X_1} \cdot \underline{X_0}, \quad f_1 = X_1 \cdot \underline{X_0}, \quad f_2 = X_1 \cdot X_0, \quad f_3 = X_1 \cdot X_0. \quad (1.1)$$

На рис.1.4 а приведена схема данного дешифратора 2×4, а на рис.1.4 б - его условное обозначение. В левом дополнительном поле указываются веса сигналов, что позволяет однозначно определить номер выхода с активным уровнем сигнала по двоичному коду, подаваемому на вход дешифратора.

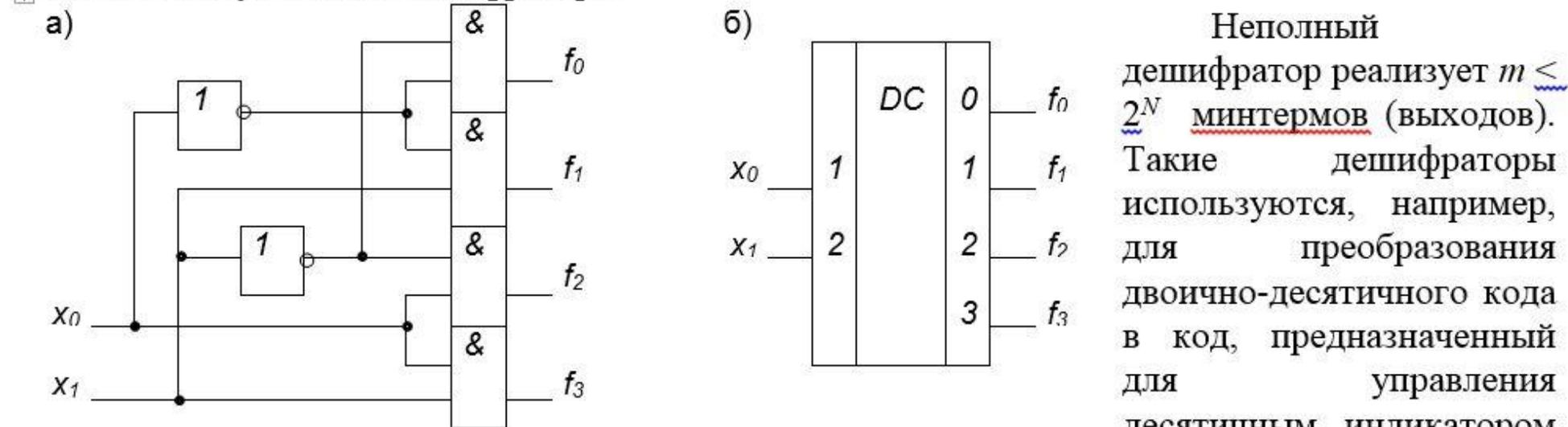


Рис.1.4. Графическое обозначение (а) и схема (б) дешифратора 2×4. Примером такого дешифратора является ИМС К155ИД1, условное обозначение которой показано на рис.1.5 а. Во время действия на входе кодов, эквивалентных числам от 10 до 15, на всех выходах дешифратора устанавливается уровень логической 1 (неактивный уровень). Следует отметить, что рассматриваемая ИМС разрабатывалась для управления газоразрядными индикаторами. Поэтому выходы дешифратора выполнены по схеме с открытым коллектором (на что указывает знак  $\diamond$ ). В качестве выходных использовались высоковольтные транзисторы (что в ТТЛ - редкость), так как для питания газоразрядных индикаторов необходимо высокое напряжение (100÷200 В). (В каких случаях выходы ТТЛ-схем изготавливают по схеме с открытым коллектором?)

Полные дешифраторы часто применяются, когда нужно обратиться к различным цифровым устройствам, и при этом номер устройства (его адрес) представлен двоичным кодом. Задача такого рода возникает, например, при организации доступа к портам ввода-вывода (или ячейкам памяти) в микропроцессорных устройствах и микро-ЭВМ.

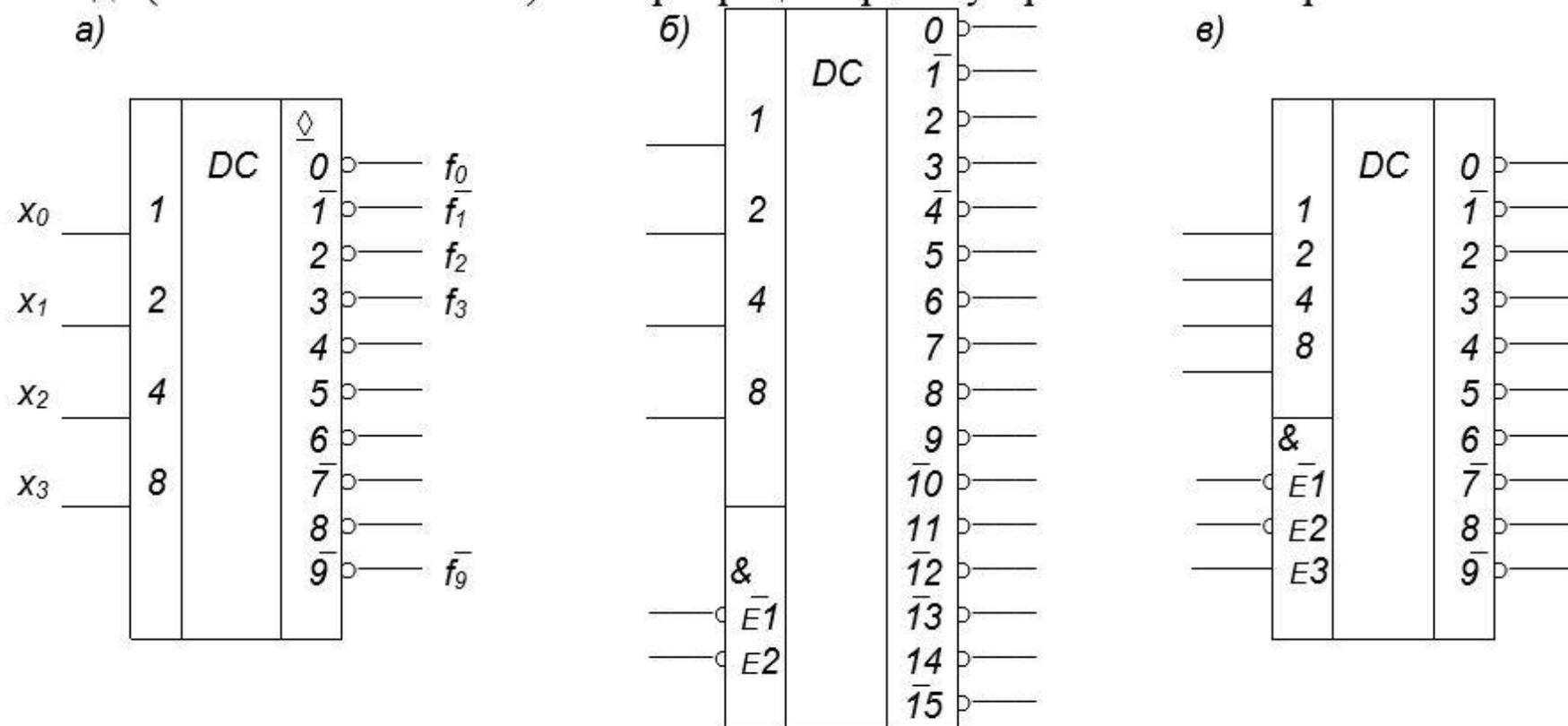


Рис.1.5. Условные обозначения ИМС дешифраторов: а) К155ИД1, б) К155ИД3, в) К155ИД7

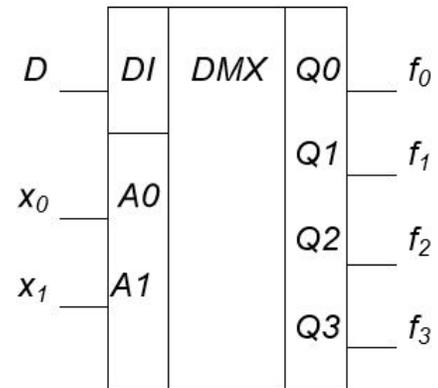
Для таких целей используются дешифраторы 2×4, 3×8 и 4×16, выпускаемые в интегральном исполнении. Например, в ТТЛ-сериях имеются ИМС дешифраторов с инверсными выходами К155ИД3 (дешифратор 4×16) и К555ИД7 (дешифратор 3×8), обозначения которых показаны на рис.1.5 б и в соответственно.

# Демультимплексор

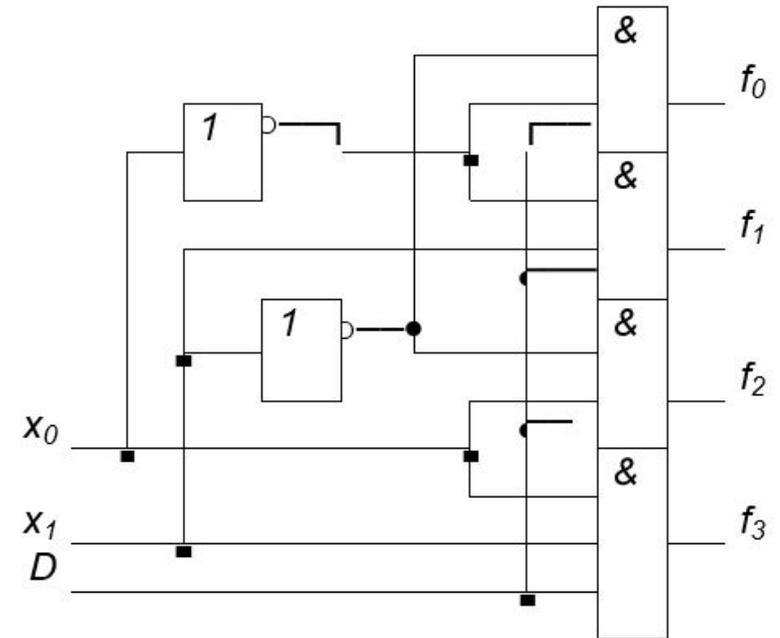
**ДЕМУЛЬТИПЛЕКСОР** представляет собой устройство для коммутации одного входного информационного сигнала на один из  $m$  выходов в соответствии с двоичным кодом, поступающим на адресные входы. В общем случае демультимплексоры с  $n$  адресными входами могут иметь до  $m=2^n$  выходов. Такие демультимплексоры называют демультимплексорами 1 в  $2^n$ .

$x_1$	$x_0$	$D$	$f_3$	$f_2$	$f_1$	$f_0$
0	0	0/1	0	0	0	0/1
0	1	0/1	0	0	0/1	0
1	0	0/1	0	0/1	0	0
1	1	0/1	0/1	0	0	0

таблица истинности



условное обозначение



логическая схема

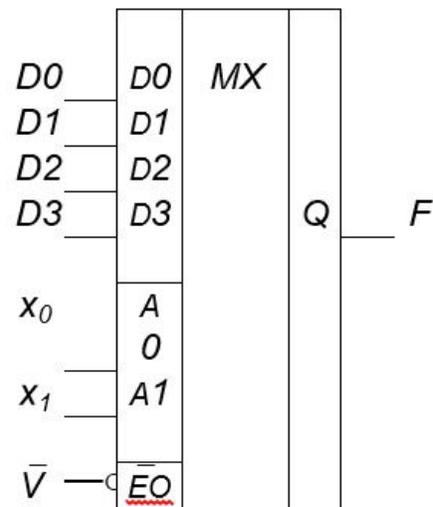
# Мультиплексор

**Мультиплексор** – это комбинационная многоходовая схема с одним выходом. Входы мультиплексора подразделяются на информационные  $X_0, X_1, \dots, X_{n-1}$  и управляющие (адресные)  $A_0, A_1, \dots, A_{k-1}$ . Обычно  $2^k = n$ , где  $k$  и  $n$  – число адресных и информационных входов соответственно. Двоичный код, поступающий на адресные входы, определяет (выбирает) один из информационных входов, значение переменной с которого передается на выход  $y$ , т.е. мультип

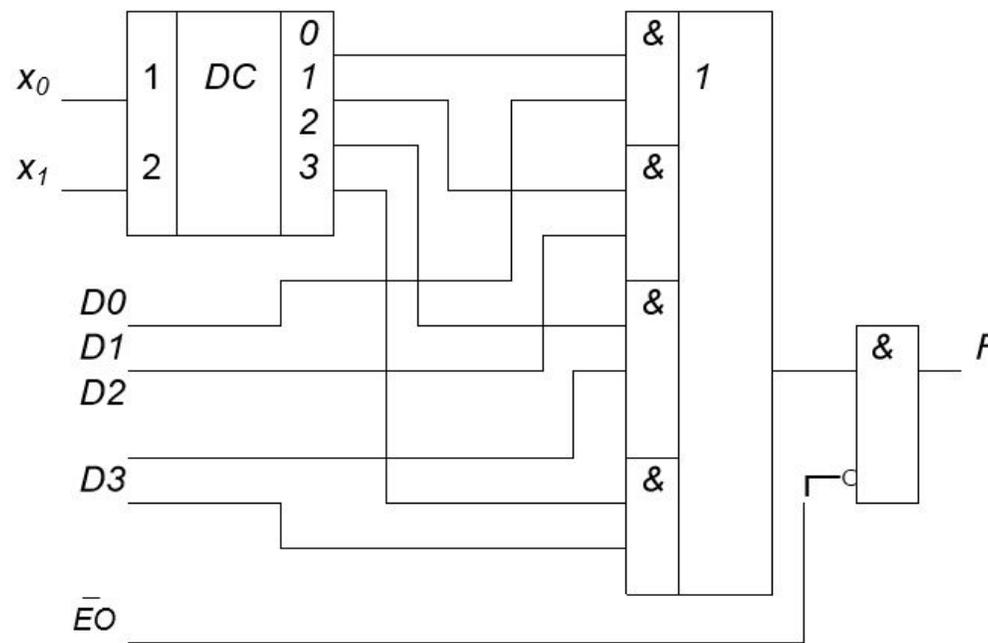
$$y = X_i, \text{ если } \sum_{i=0}^{k-1} A_i \cdot 2^i = i$$

$V$	$x_1$	$x_0$	$D_3$	$D_2$	$D_1$	$D_0$	$f$
0	0	0	x	x	x	0/1	0/1
0	0	1	x	x	0/1	0	0/1
0	1	0	0	0/1	x	x	0/1
0	1	1	0/1	x	x	x	0/1
1	x	x	x	x	x	x	0

таблица истинности



условное обозначение



логическая схема