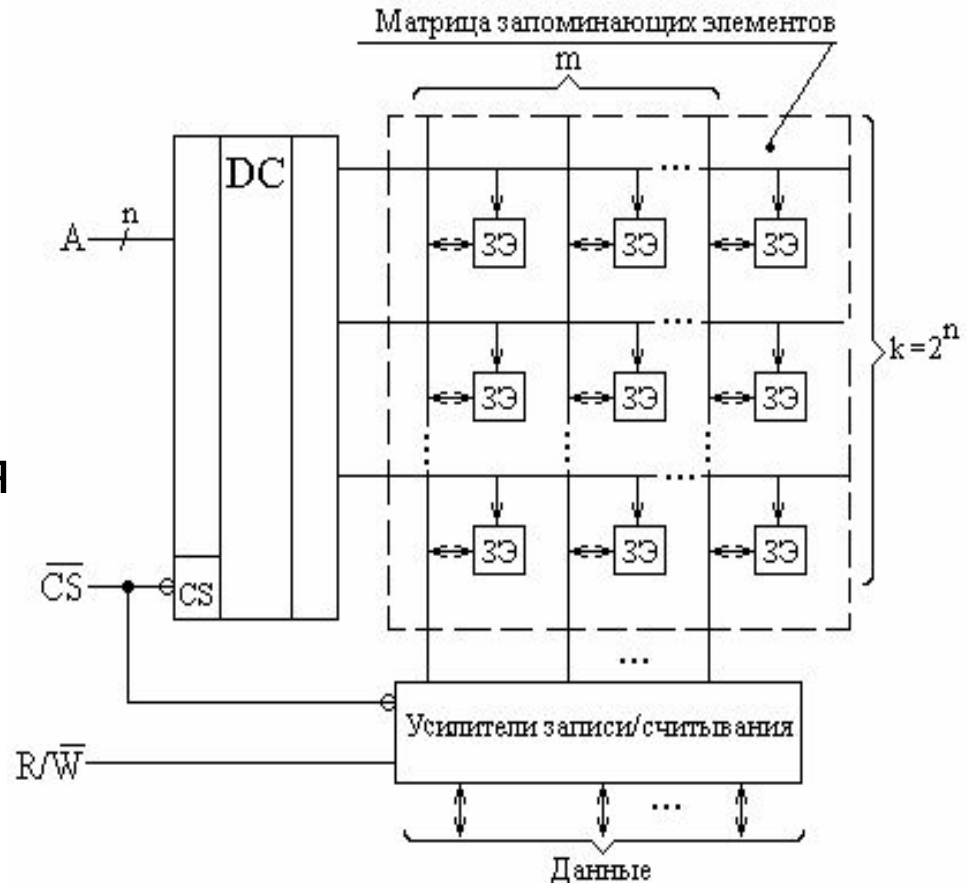


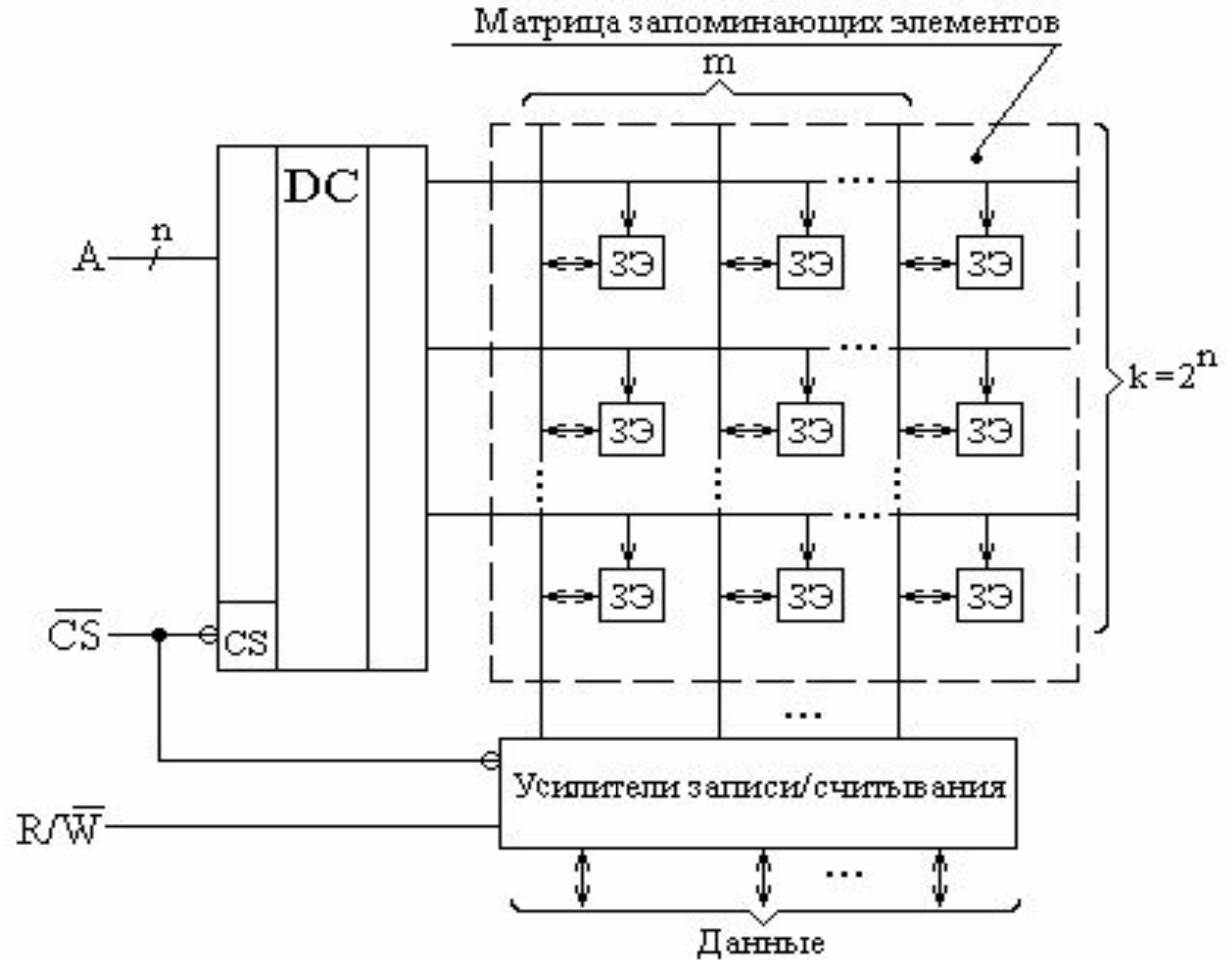
Структура адресных ЗУ

- Структура 2D
- ЗУ организованы в прямоугольную матрицу размерностью $M = km$, где M — информационная емкость памяти в битах;
- k — число хранимых слов;
- m — их разрядность.
- (DC — дешифратор)
- Read — чтение Write — запись



Структура адресных ЗУ

- Структура
- 2D
- Read—чтение
- Write—запись

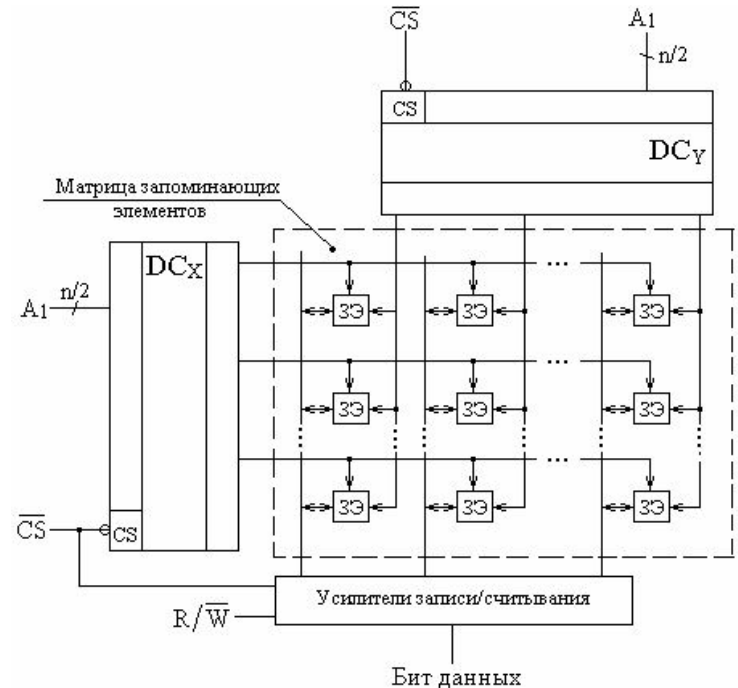


Структура адресных ЗУ

- Структура 3D
- ЗУ с одноразрядной организацией.

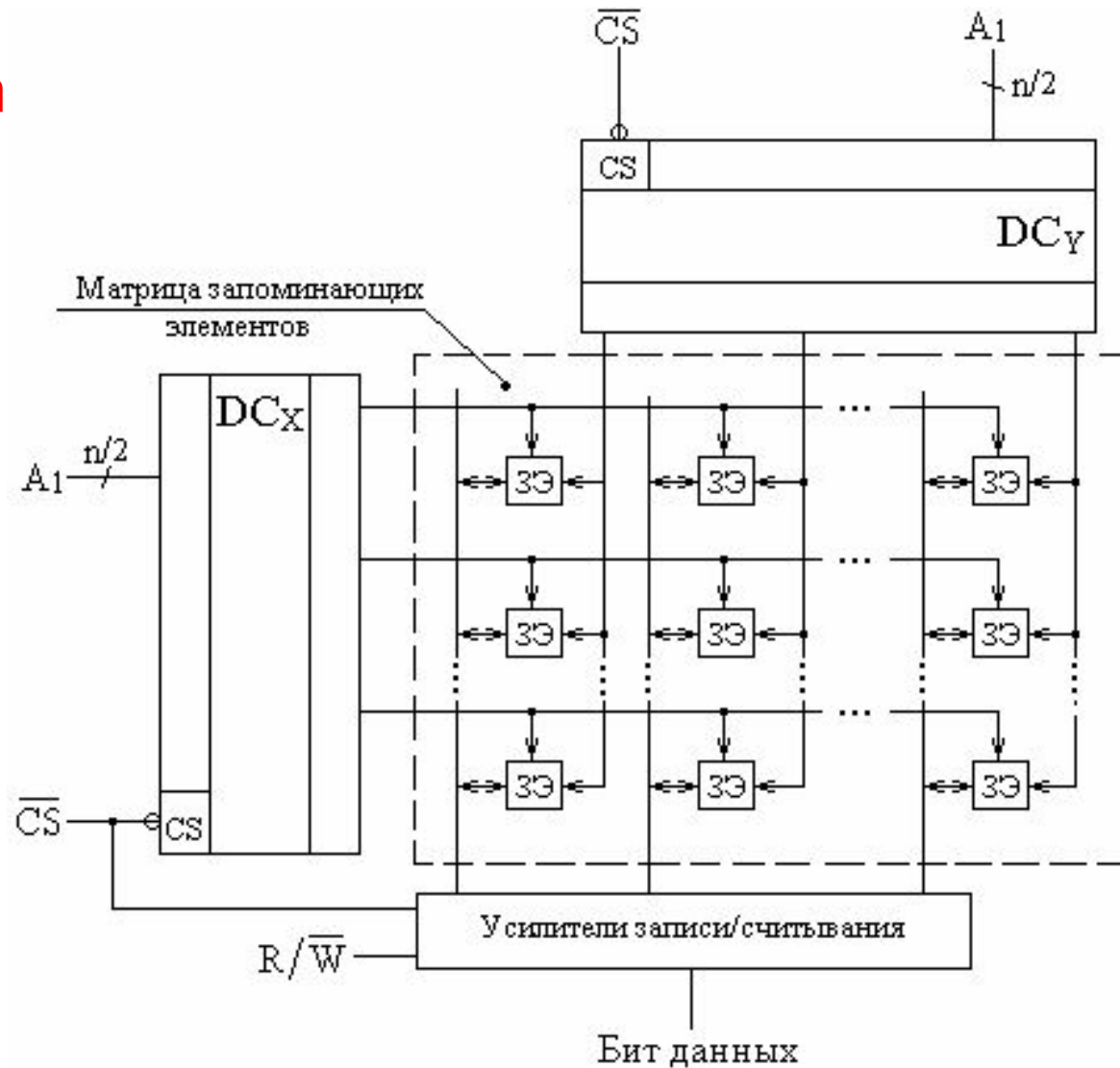
Пример:

- Для структуры 2D при хранении 1К ЗЭ потребовался бы дешифратор с 1024 выходами, тогда как для структуры типа 3D нужны два дешифратора с 32 выходами каждый.



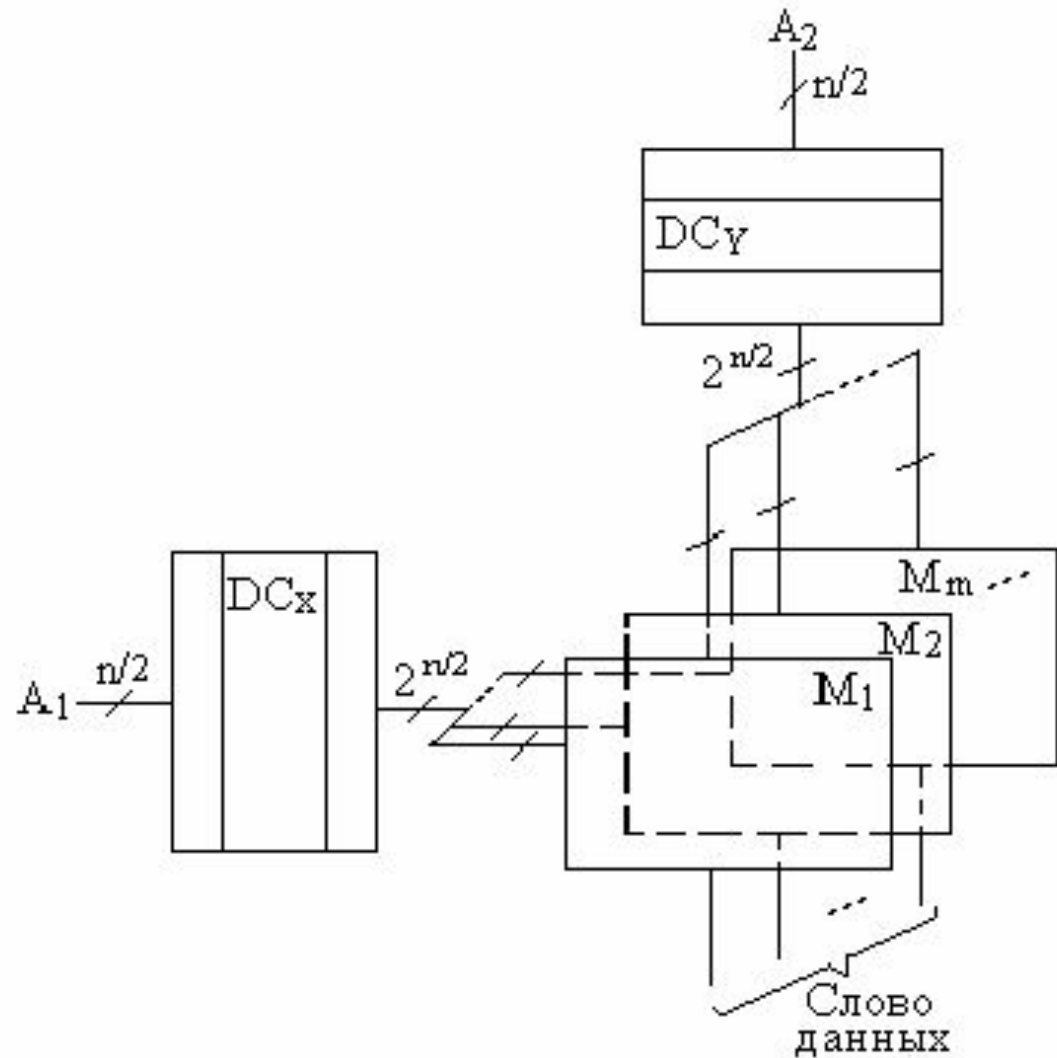
Структура адресных ЗУ

- Структура
- ЗУ



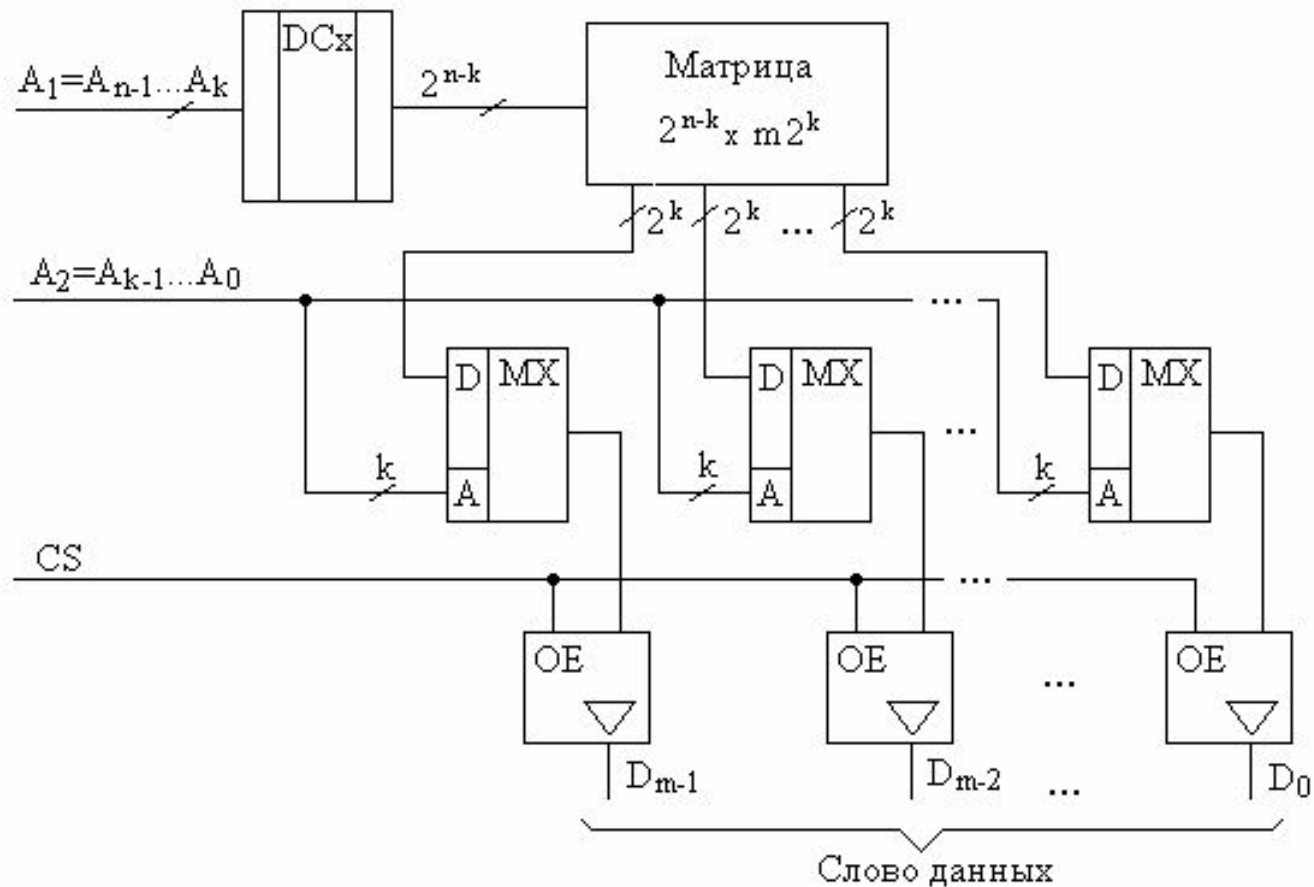
Структура адресных ЗУ

- Структура 3D
- с многоразрядной
- организацией



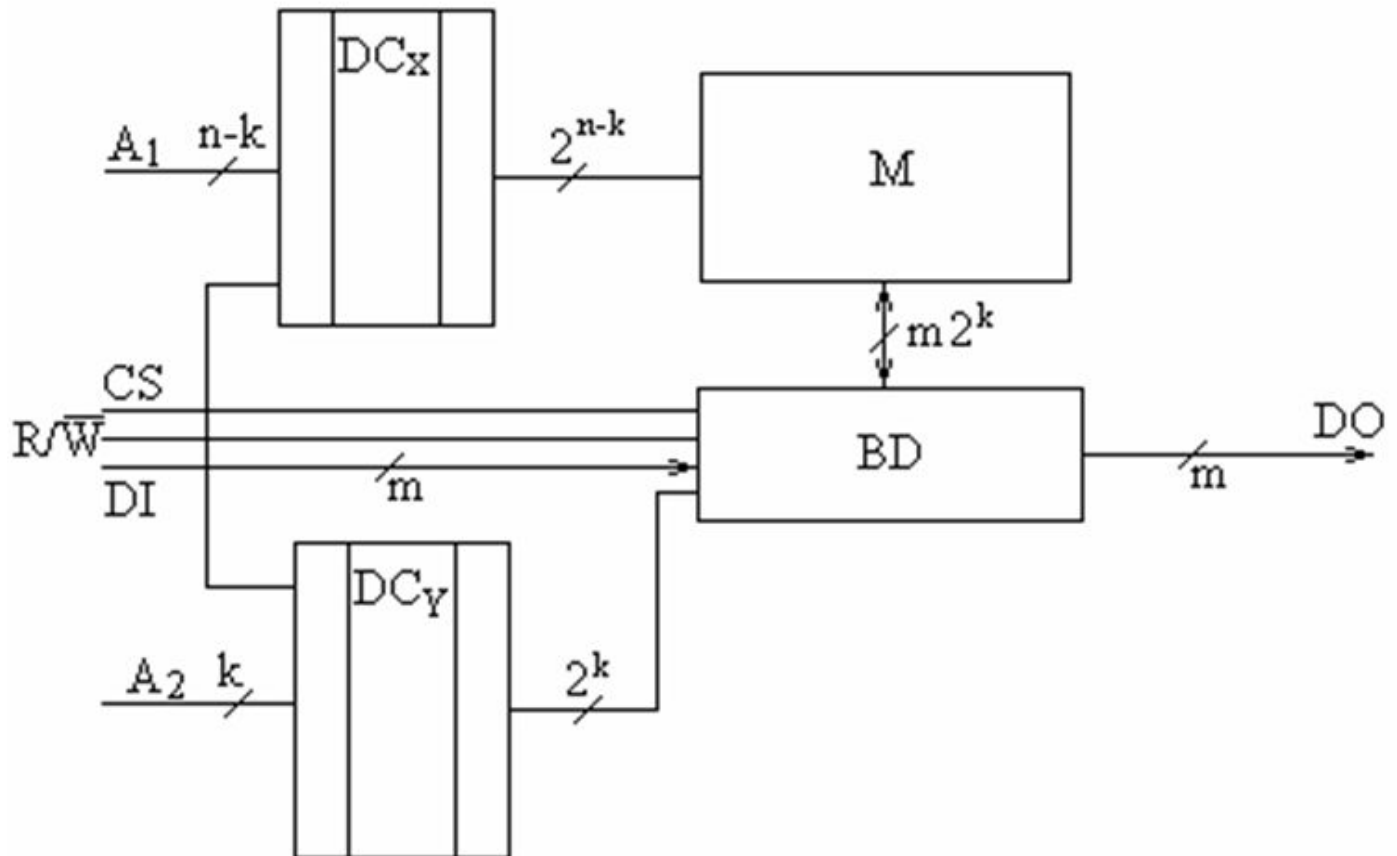
Структура адресных ЗУ

- ЗУ типа ROM (структура $2DM$)

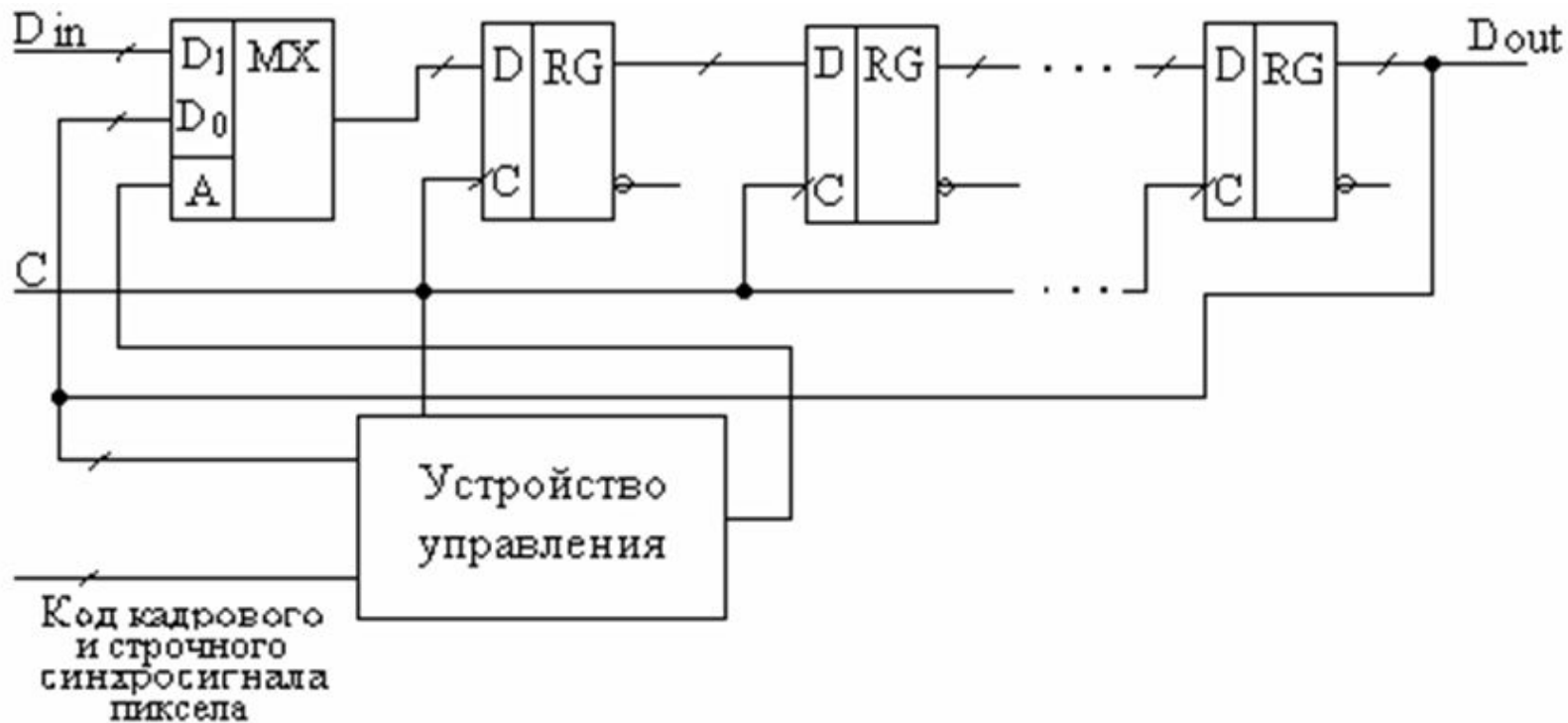


Структура адресных ЗУ

- ЗУ типа RAM (структура $2DM$)

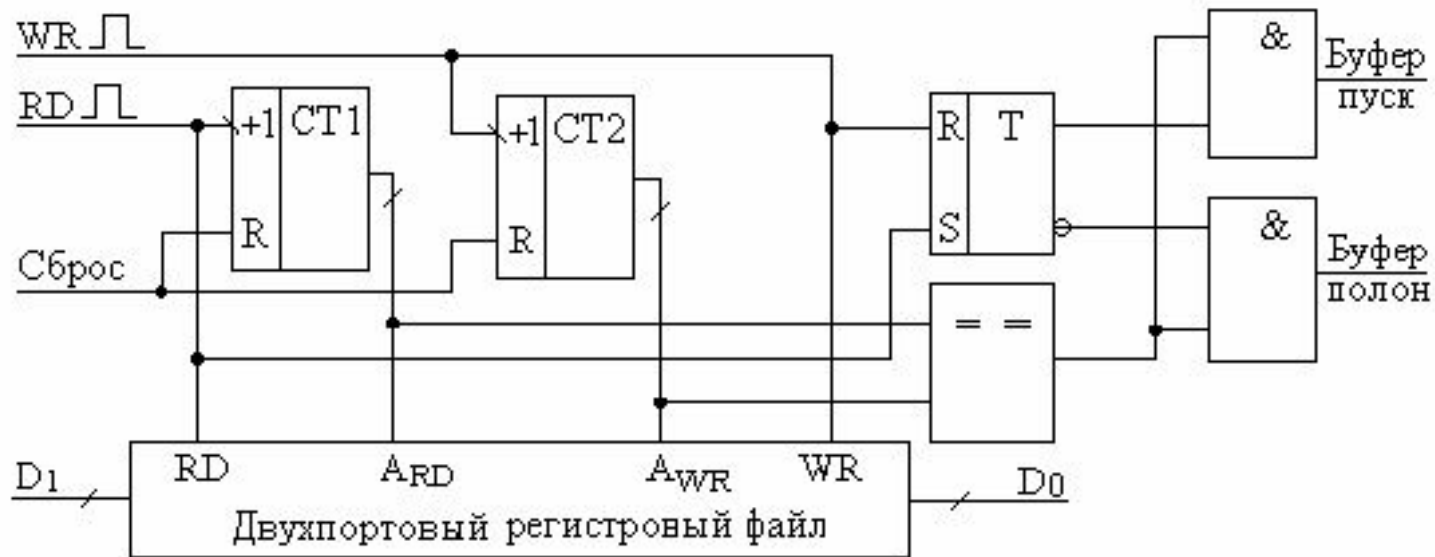


Структура ЗУ с последовательным доступом

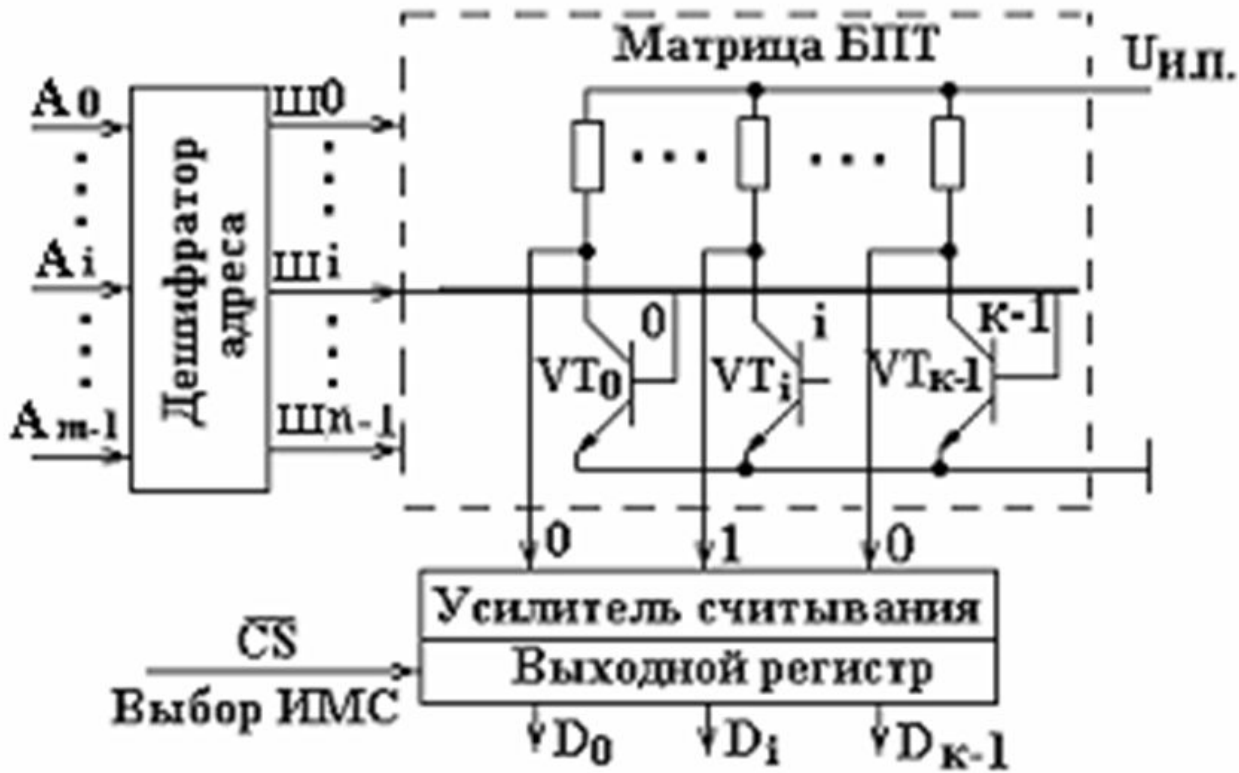


Структура ЗУ с последовательным доступом

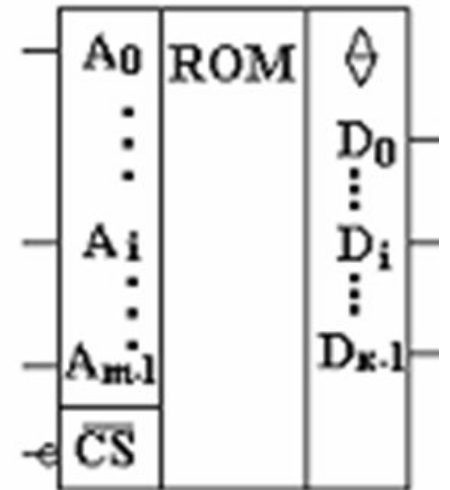
- **Буфер FIFO**, представляет собою ЗУ для хранения очередей данных с порядком выборки слов, таким же, что и порядок их поступления.
- Новое слово ставится в конец очереди, считывание же осуществляется с начала очереди.



Элементы масочных ЗУ



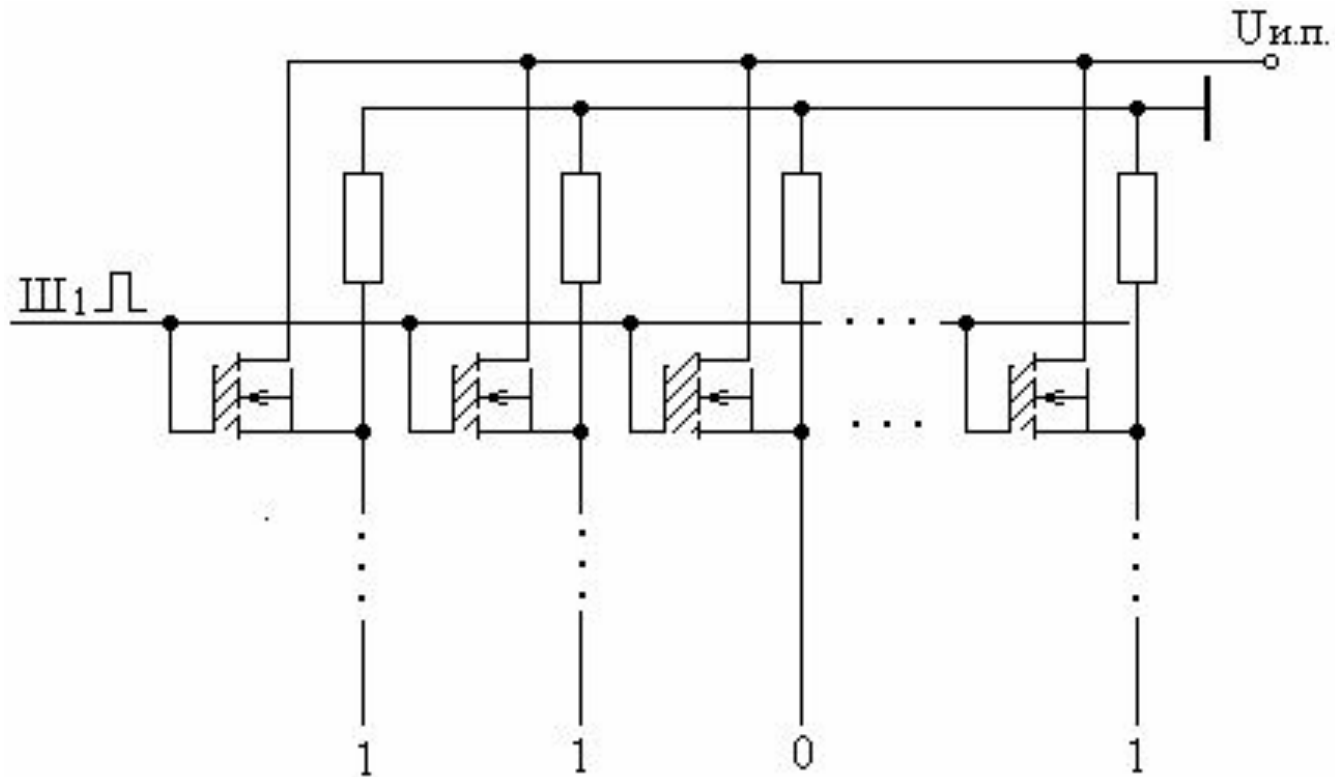
а



б

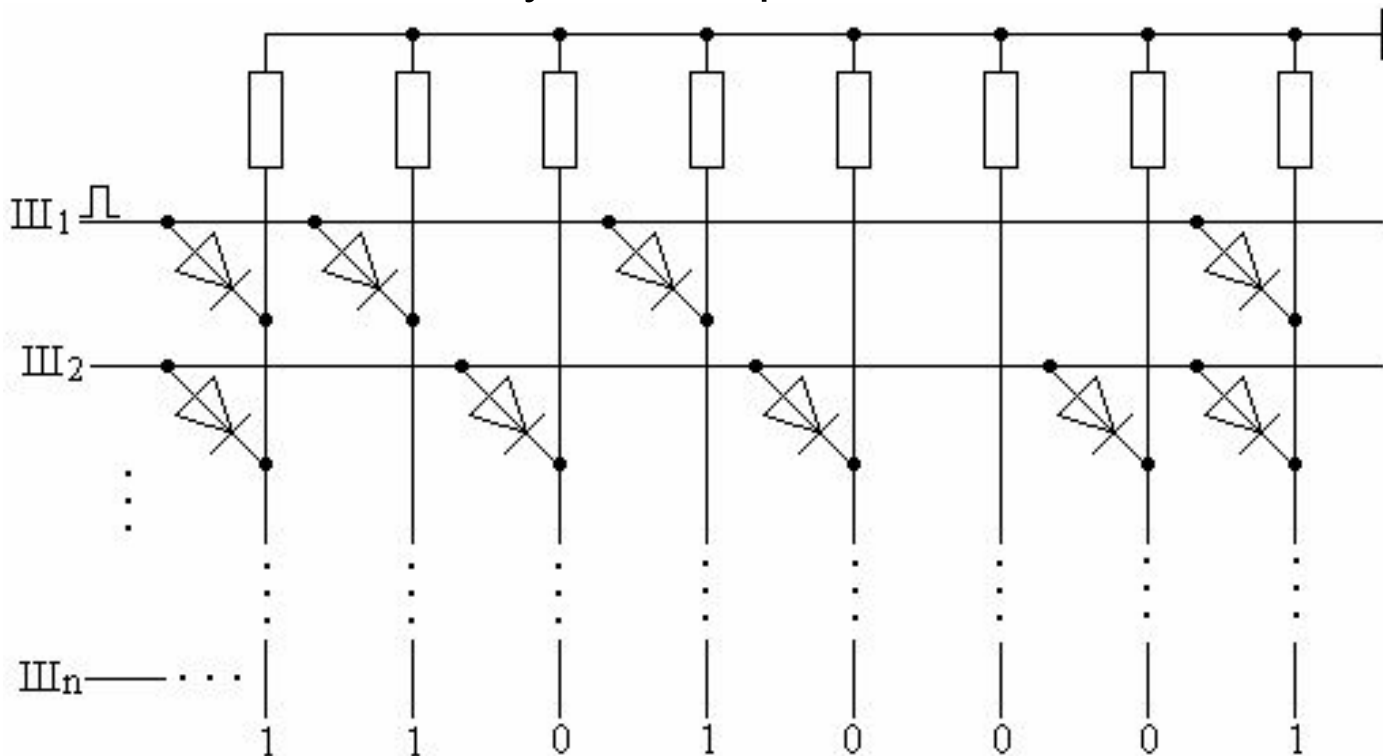
Элементы масочных ЗУ

- Матрицы ПЗУМ на МОП-транзисторах



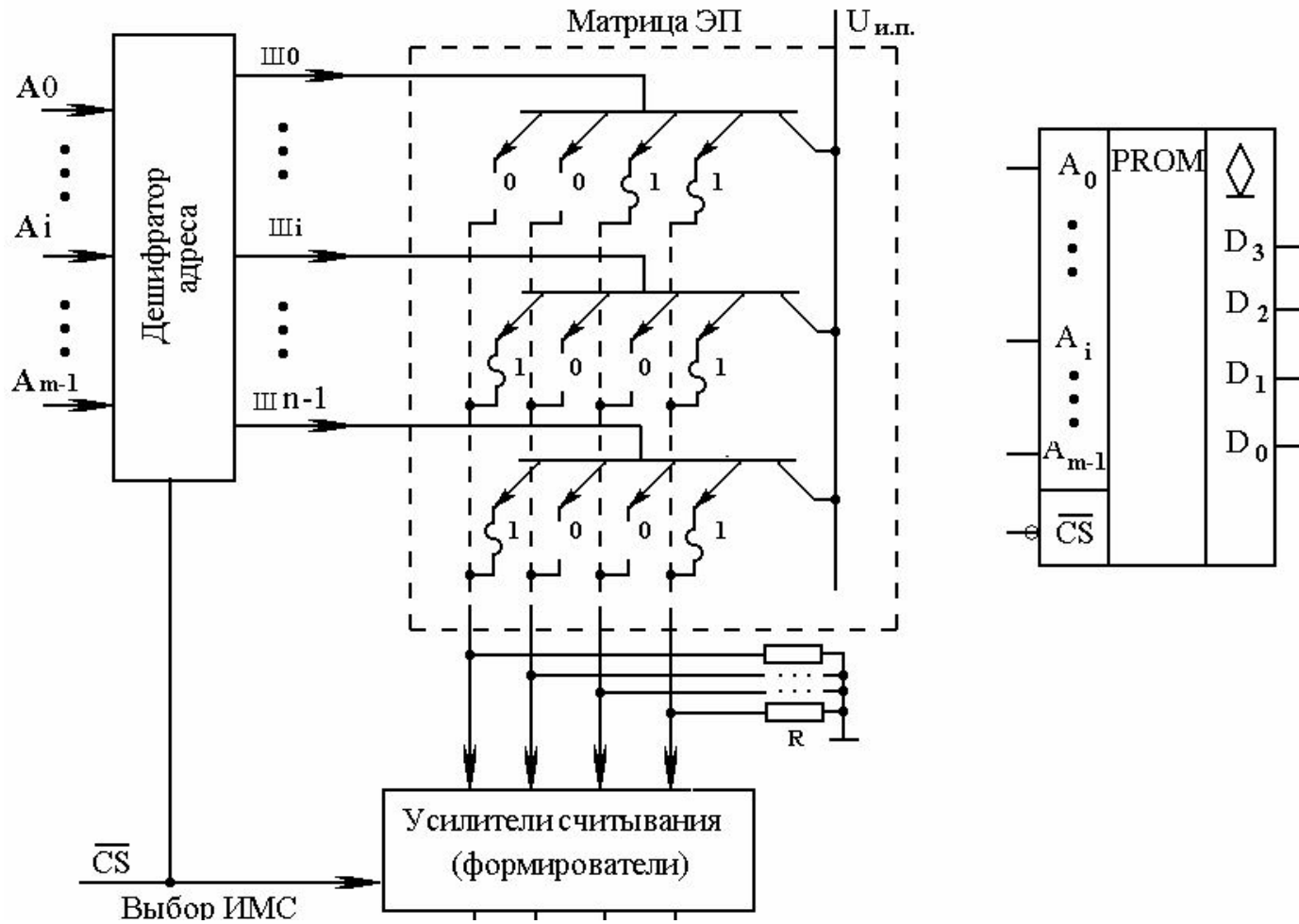
Элементы масочных ЗУ

- В матрице на диодах горизонтальные линии являются линиями выборки слов (адресными шинами-Ш1), а вертикальные — линиями считывания. Считываемое слово определяется расположением диодов в узлах координатной сетки.



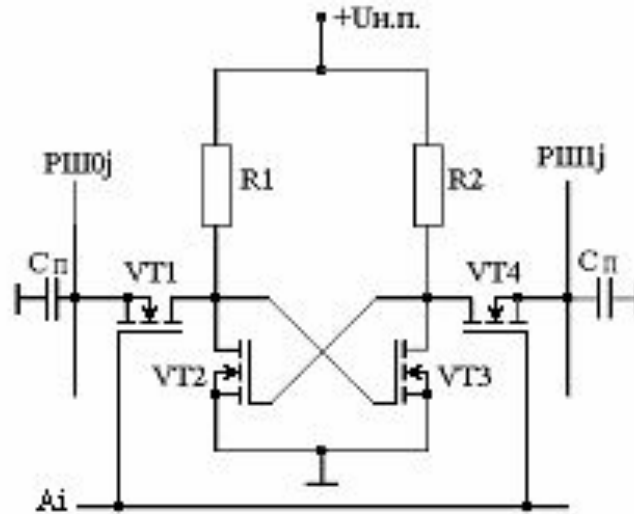
Элементы программируемых ПЗУ

- ПЗУ на основе многоэмиттерных транзисторов

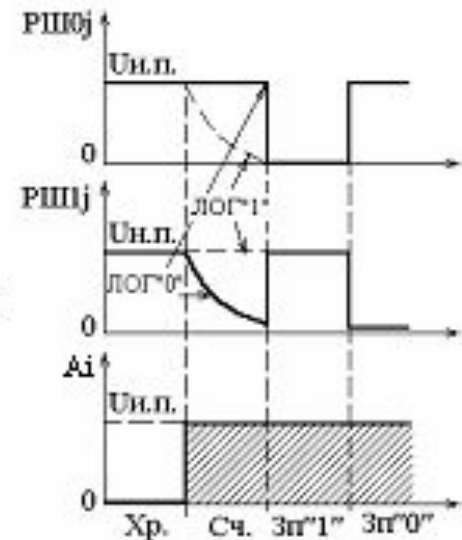


Статические ЗУ

- **Элементы памяти ОЗУ на МОП – структурах**
- Типовая схема статического ЭП на n -МОП– транзисторах с индуцированным каналом n - типа.
- Элемент памяти состоит из МОП – транзисторов: $VT2$ и $VT3$ образуют триггер, а - $VT1$ и $VT4$ являются двунаправленными ключами ввода – выхода данных. В триггере используются пассивные нагрузки ($R1, R2$).



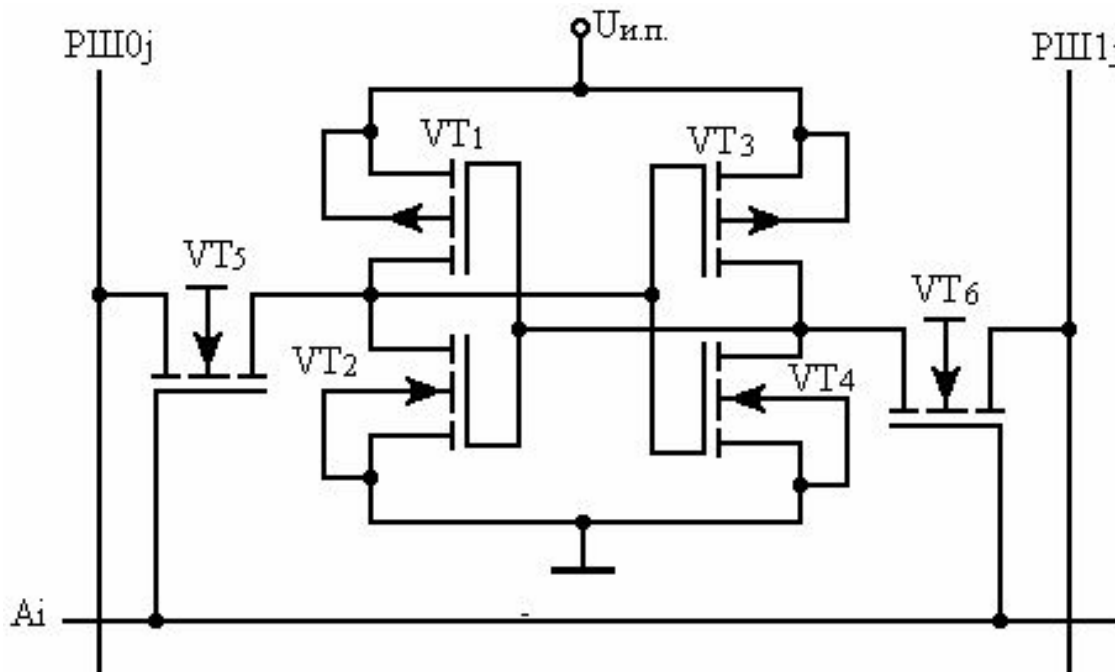
а)



б)

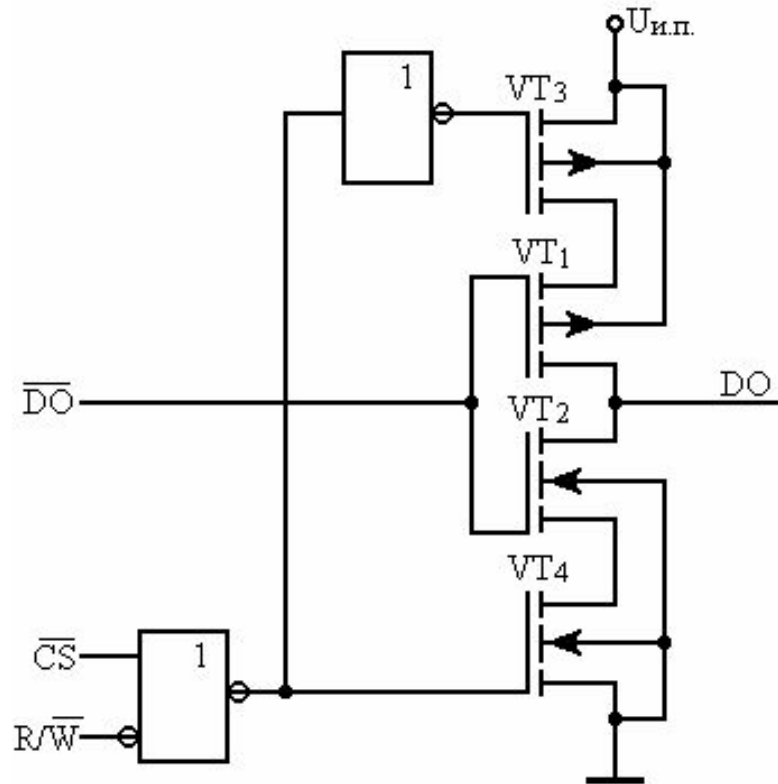
Статические ЗУ

- Принципиальная схема запоминающего элемента статического ОЗУ, выполненного по КМОП технологии.
- (Вместо резисторов в БИС ОЗУ применяют МОП – транзисторы).



Статические ЗУ

- Выходной каскад с третьим состоянием, используемый в КМОП ОЗУ.



Низкий уровень сигнала \overline{CS} и высокий уровень сигнала R/\overline{W} , означают разрешение операции чтения.

Статические ЗУ

- Внешняя организация и временные диаграммы статических ОЗУ.
- Статическое ОЗУ емкостью 16 Кбит (2Кх8) или 2К байт. (Структура 2D).

• ОЗУ имеет 11 адресных входов $A_{10}-A_0$.

• Вход выборки кристалла CS .

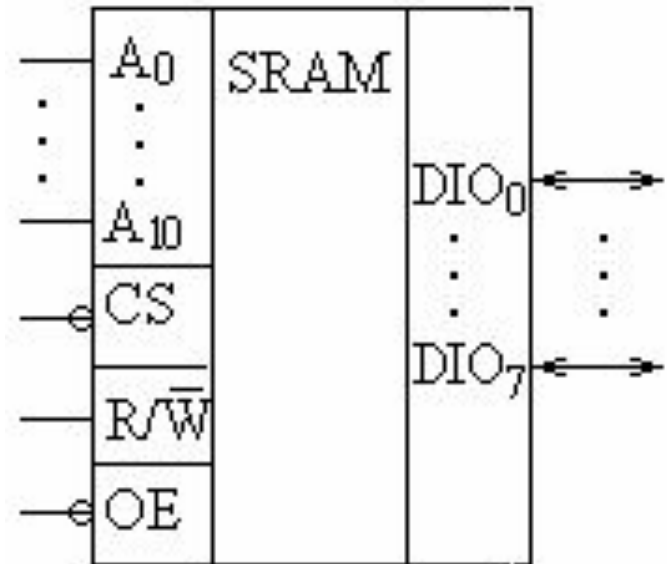
• Если $CS=1$, то схема находится в

• режиме хранения.

• Вход чтения/записи $R\bar{W}$.

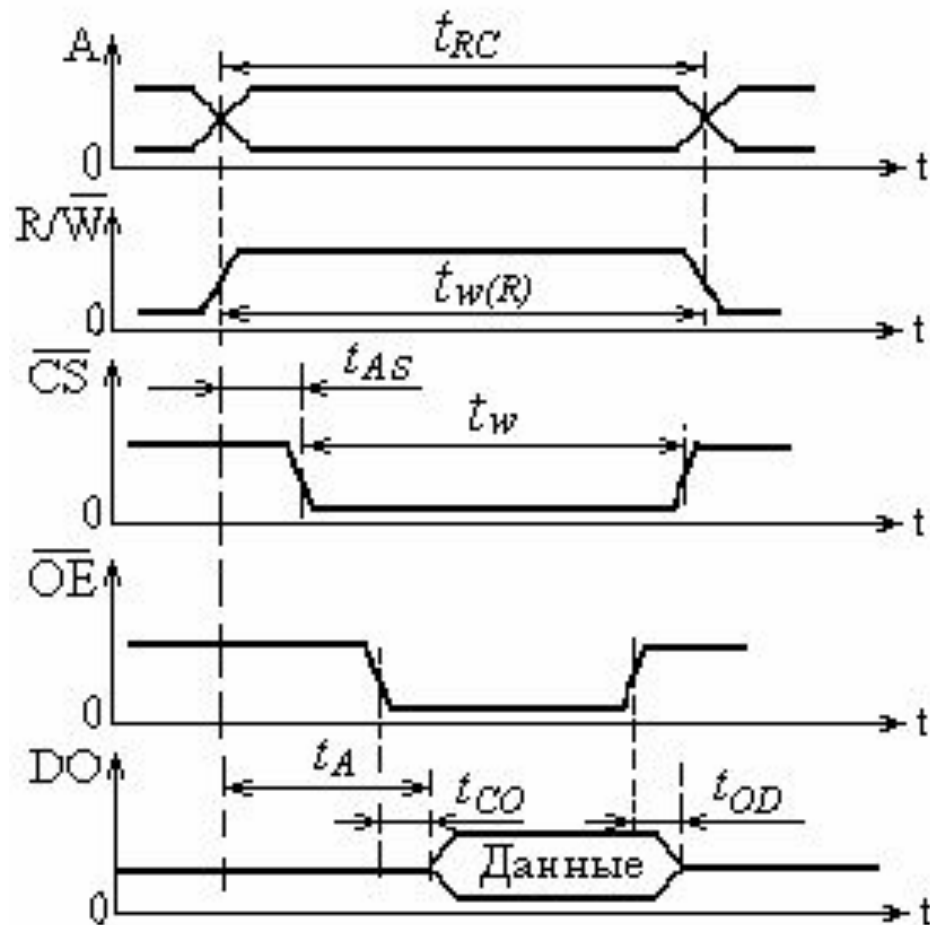
При $RW=1$ содержимое выбранной ячейки памяти может быть считано, при $RW=0$ - записано двоичное слово.

- Входы и выходы DI совмещены и обладают свойством
- двунаправленных передач, которое обеспечивается сигналом по входу OE (разрешение по выходу). Пассивное состояние этого входа ($OE=1$) переводит выходы в третье состояние



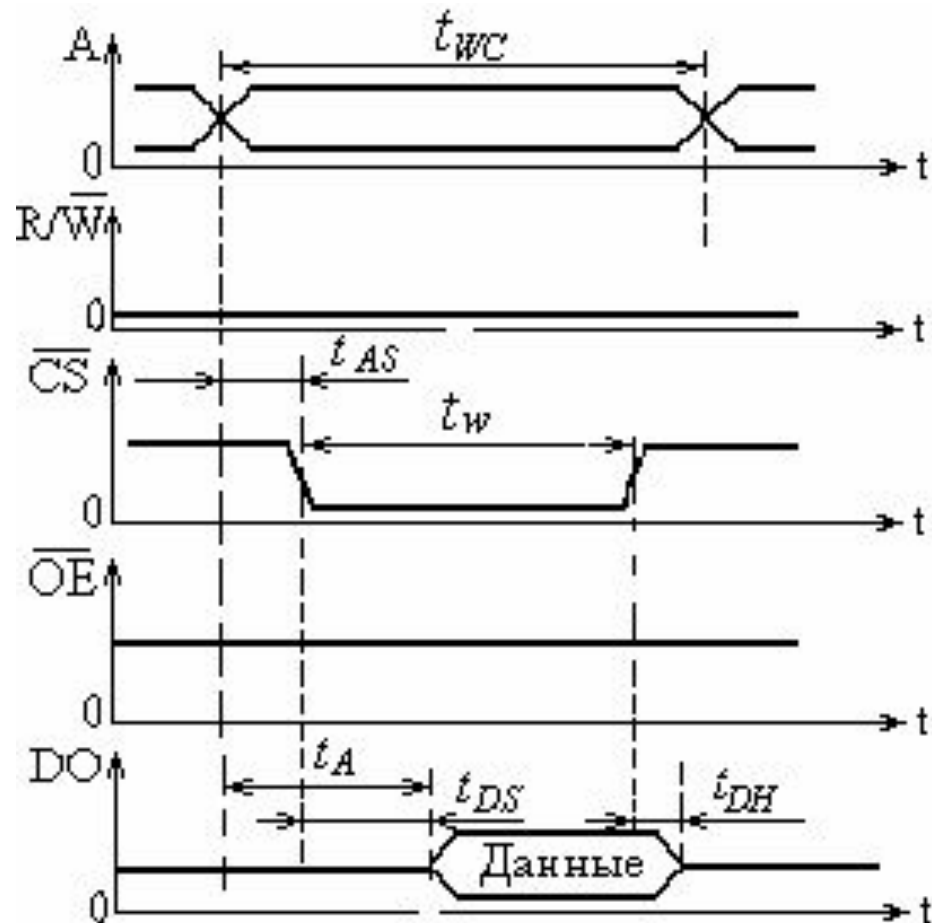
Статические ЗУ

- Временные диаграммы цикла считывания.



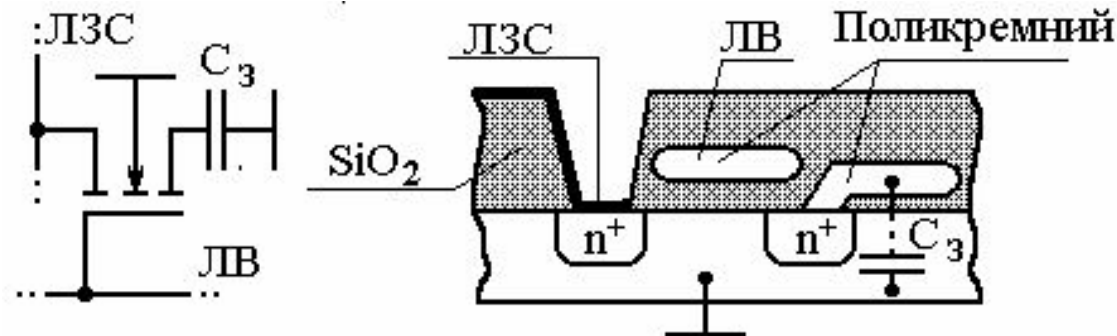
Статические ЗУ

- Временные диаграммы цикла записи.



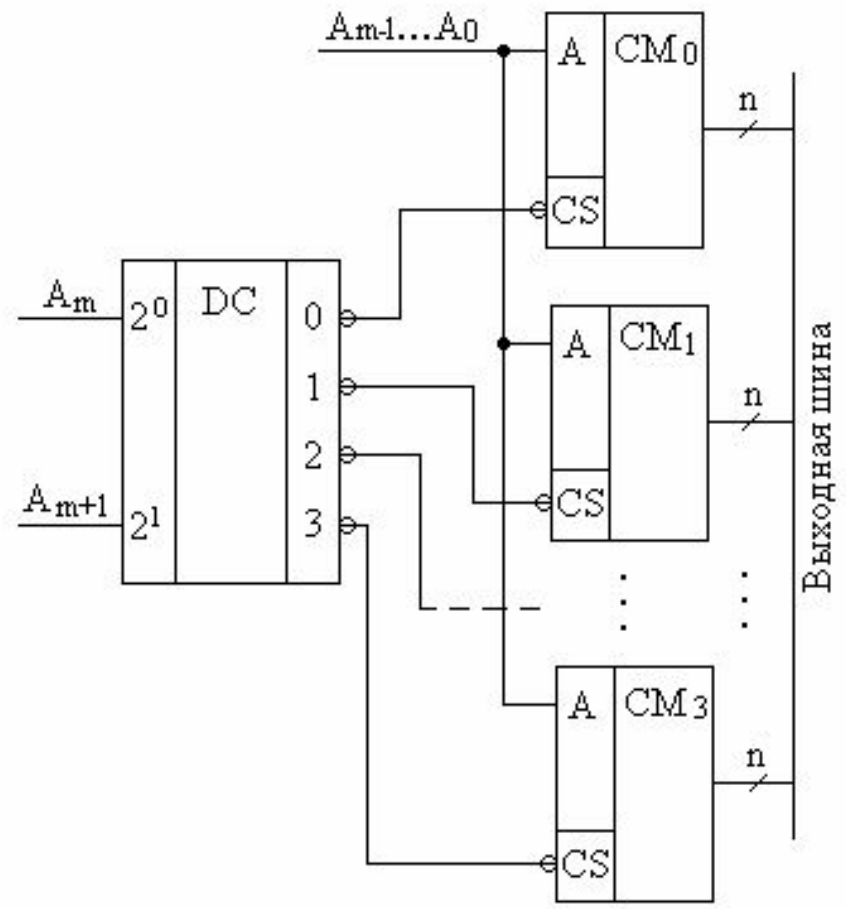
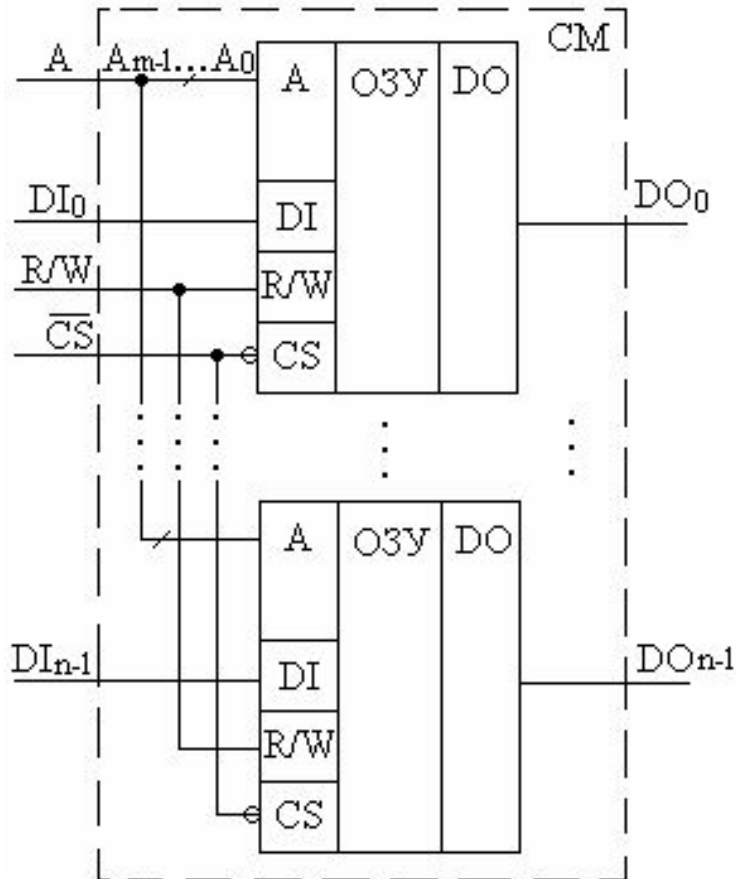
Динамические ЗУ

- **Запоминающие элементы DRAM. Однотранзисторный ЗЭ.**
- Ключевой транзистор отключает запоминающий конденсатор
- от линии записи-считывания или подключает его к ней.
- Сток транзистора не имеет внешнего вывода и образует одну из обкладок конденсатора. Другой обкладкой служит подложка.
- Между обкладками расположен тонкий слой диэлектрика — оксида кремния SiO_2 .
- В режиме хранения ключевой транзистор заперт. При выборке данного ЗЭ на затвор подается напряжение, отпирающее транзистор.



Модули памяти ОЗУ

- Наращивание памяти ОЗУ



Список использованных источников и литературы

- 1. Клочков Г.Л. Цифровые устройства и микропроцессоры: Учебник. – Воронеж: ВИРЭ, 2005. – 320с.
- 2. Нарышкин А.К. Цифровые устройства и микропроцессоры: Учеб. пособие. – М.: Изд. Центр «Академия», 2006. – 320 с.
- 3. Китаев Ю.В. Основы цифровой техники. Учеб. пособие. – СПб.: СПбГУ ИТМО, 2007. - 87 с.
- 4. Одинец А.И. Цифровые устройства. Конспект лекций. – Омск: ОмГТУ, 2009.-64 с.
- 5. Пухальский Г.И., Новосельцева Т.Я. Проектирование цифровых устройств: Учеб. пособие. – СПб.: Изд-во «Лань», 2012. – 896 с.
- 6. Открытые источники Internet