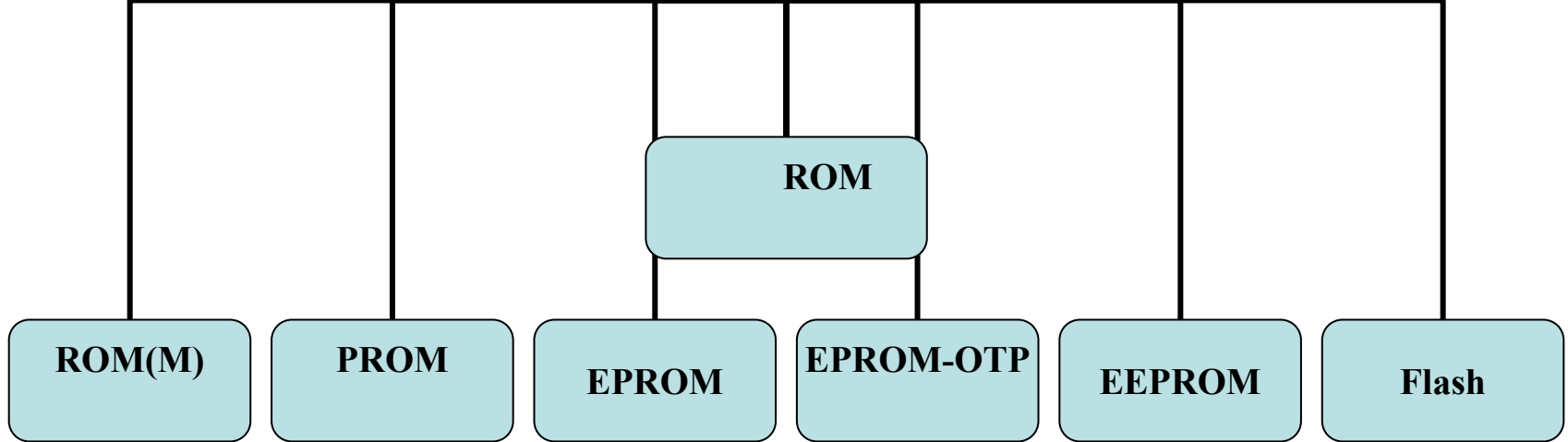


ПЗУ - ROM (Read Only Memory)

ОЗУ – RAM (Random Access Memory)

FIFO (First In – First Out)

LIFO (Last In – First Out)



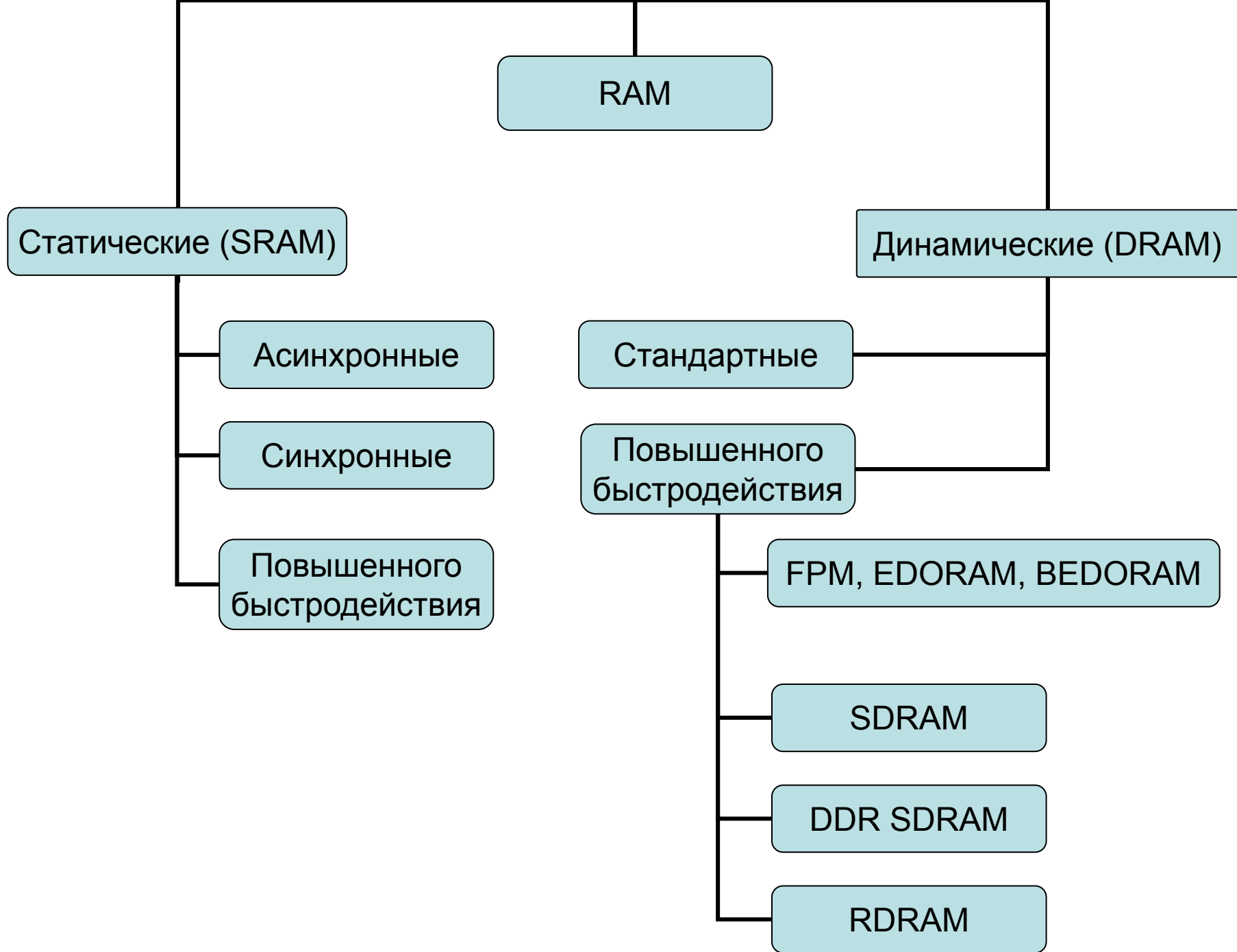
Π3ΥΜ – ROM(M) - Mask ROM

ΠΠ3Υ – PROM (Programmable ROM)

ΡΠ3Υ-ΥΦ – EPROM (Erasable Programmable ROM)

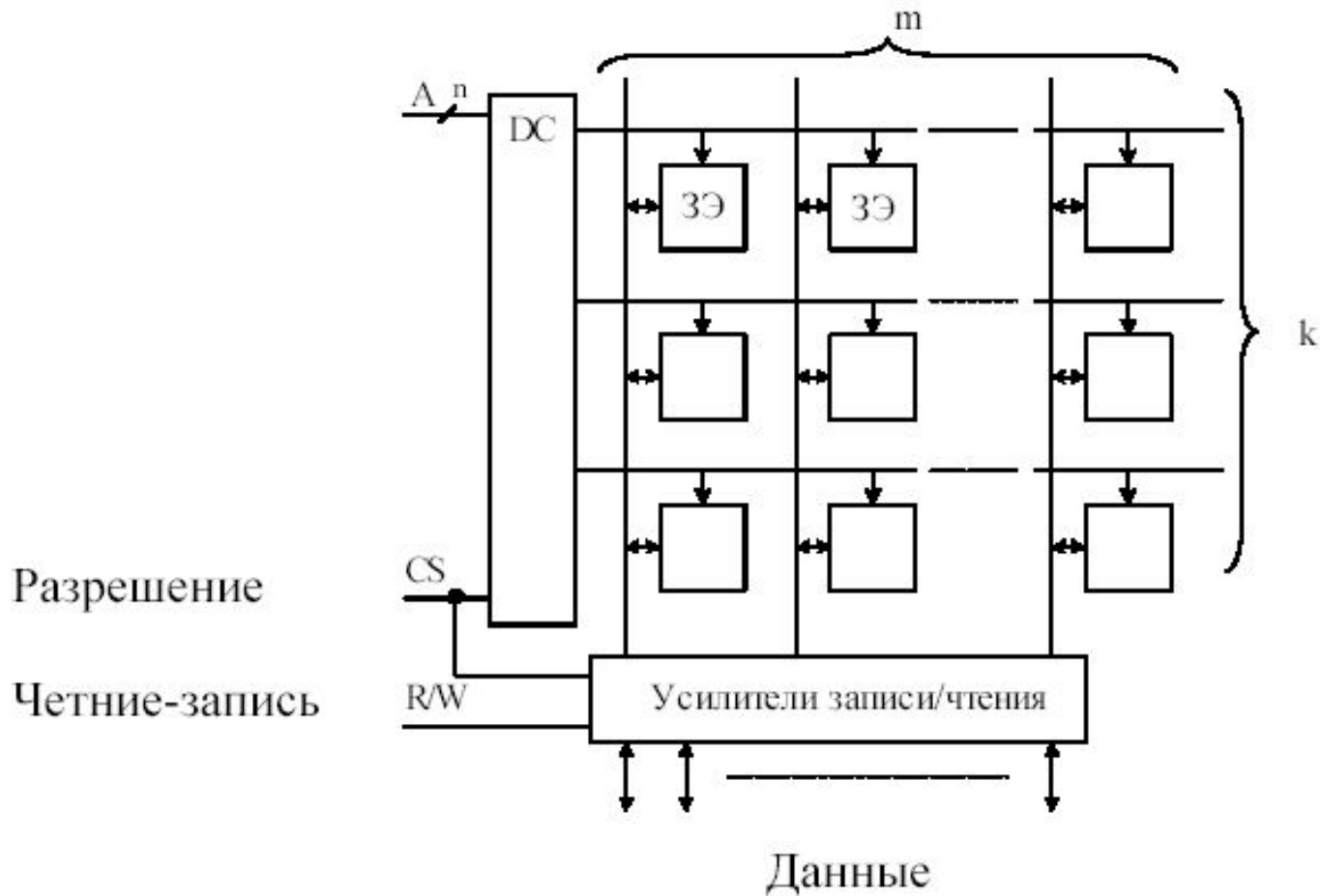
EPROM – OTP (One Time Programmable ROM)

ΡΠ3Υ-ἘC –EEPROM (Electrically Erasable Programmable ROM)



Структуры ЗУ

Структура 2D

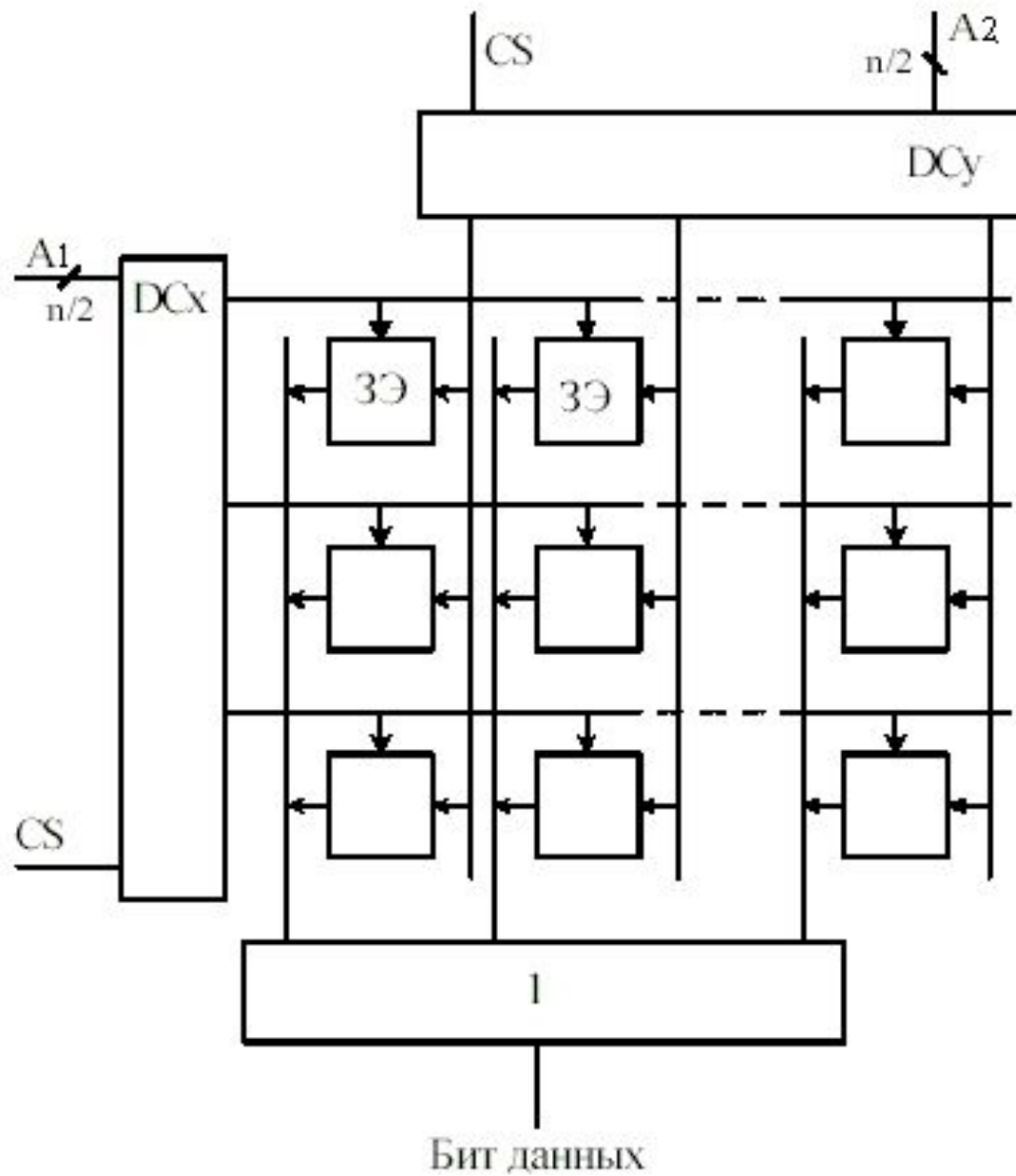


k – число хранимых слов;

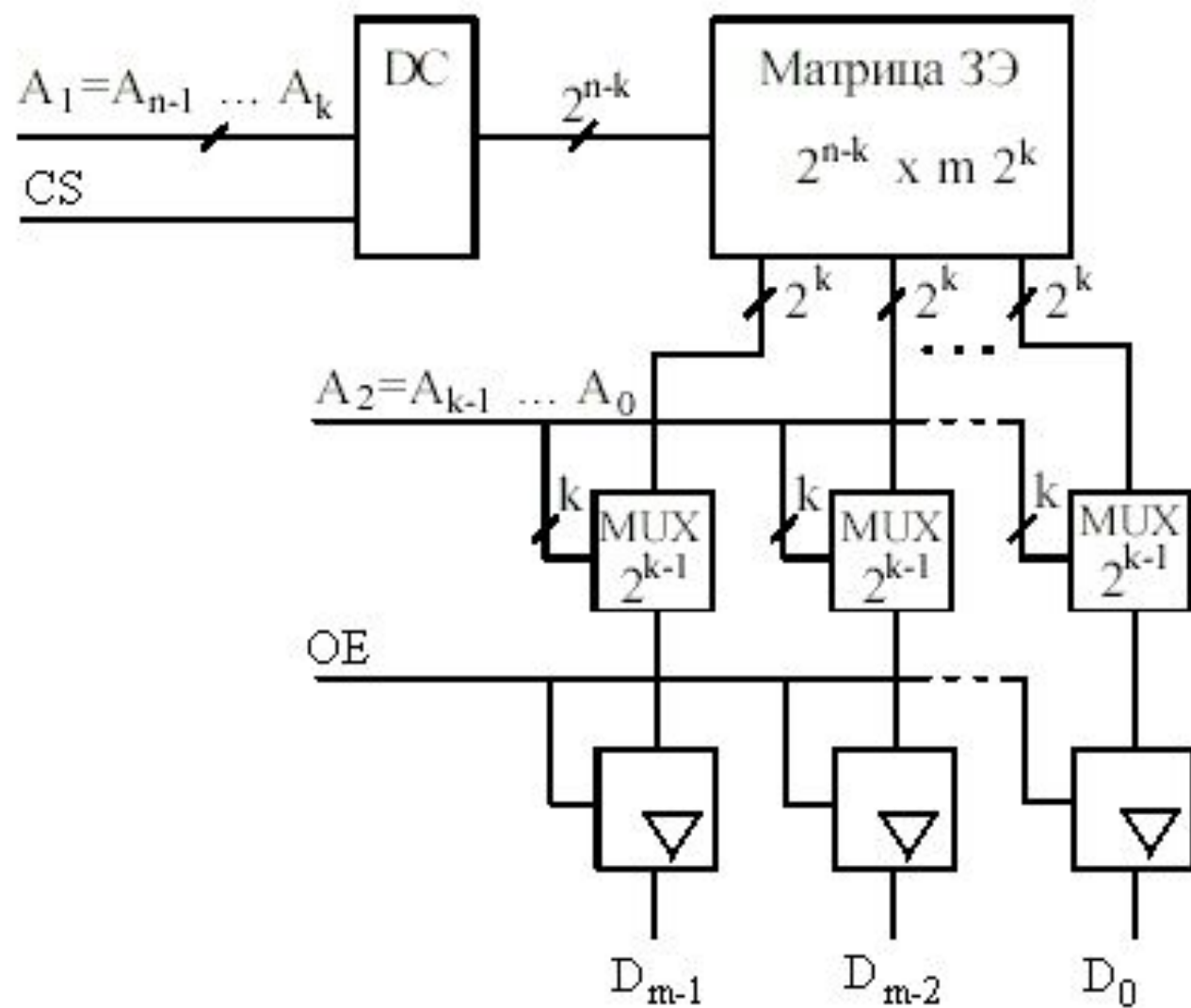
m – разрядность слов;

$M=k \times m$ – информационная емкость памяти (в битах).

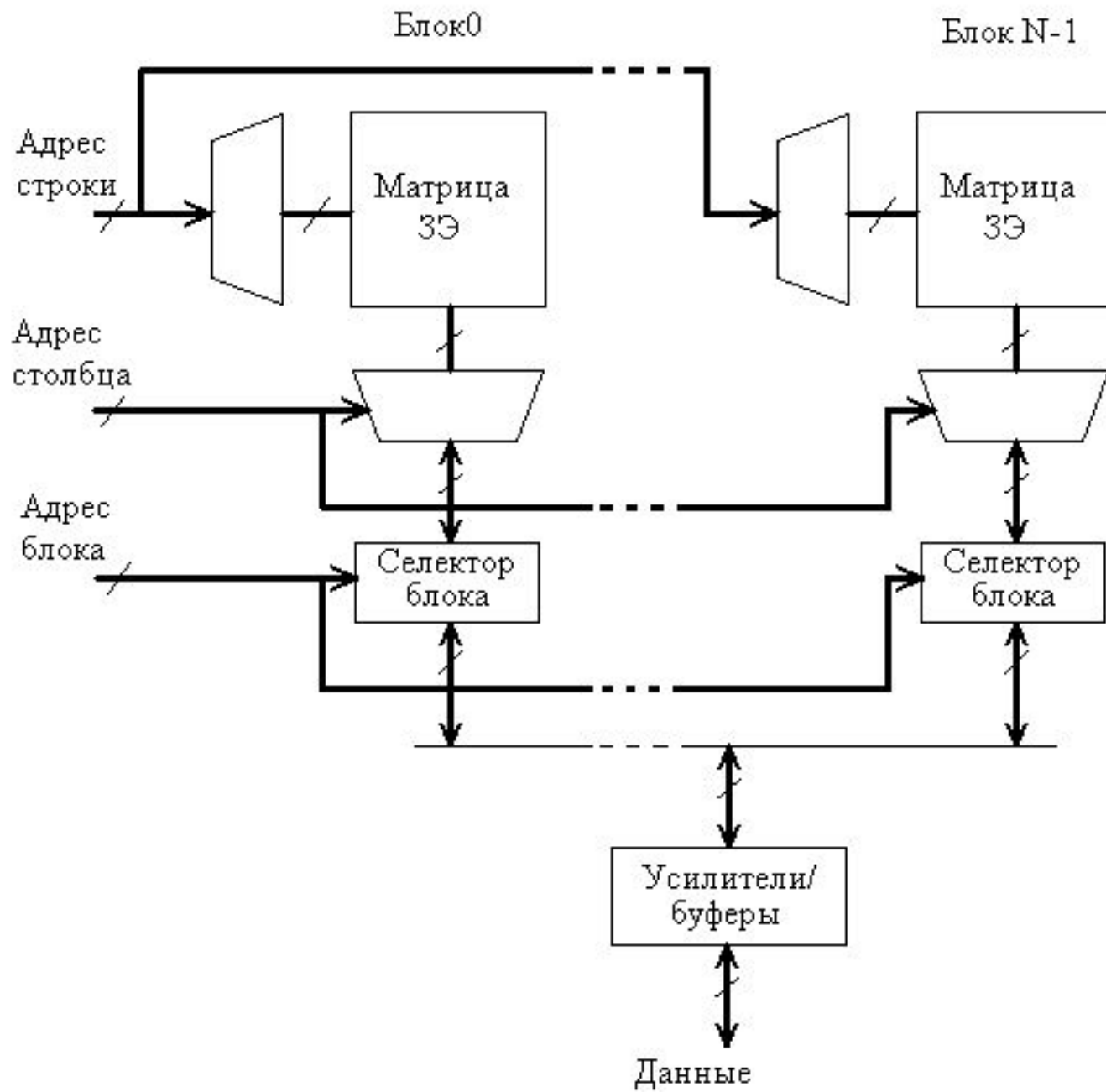
Структура 3D



Структура 2DM (модифицированная)

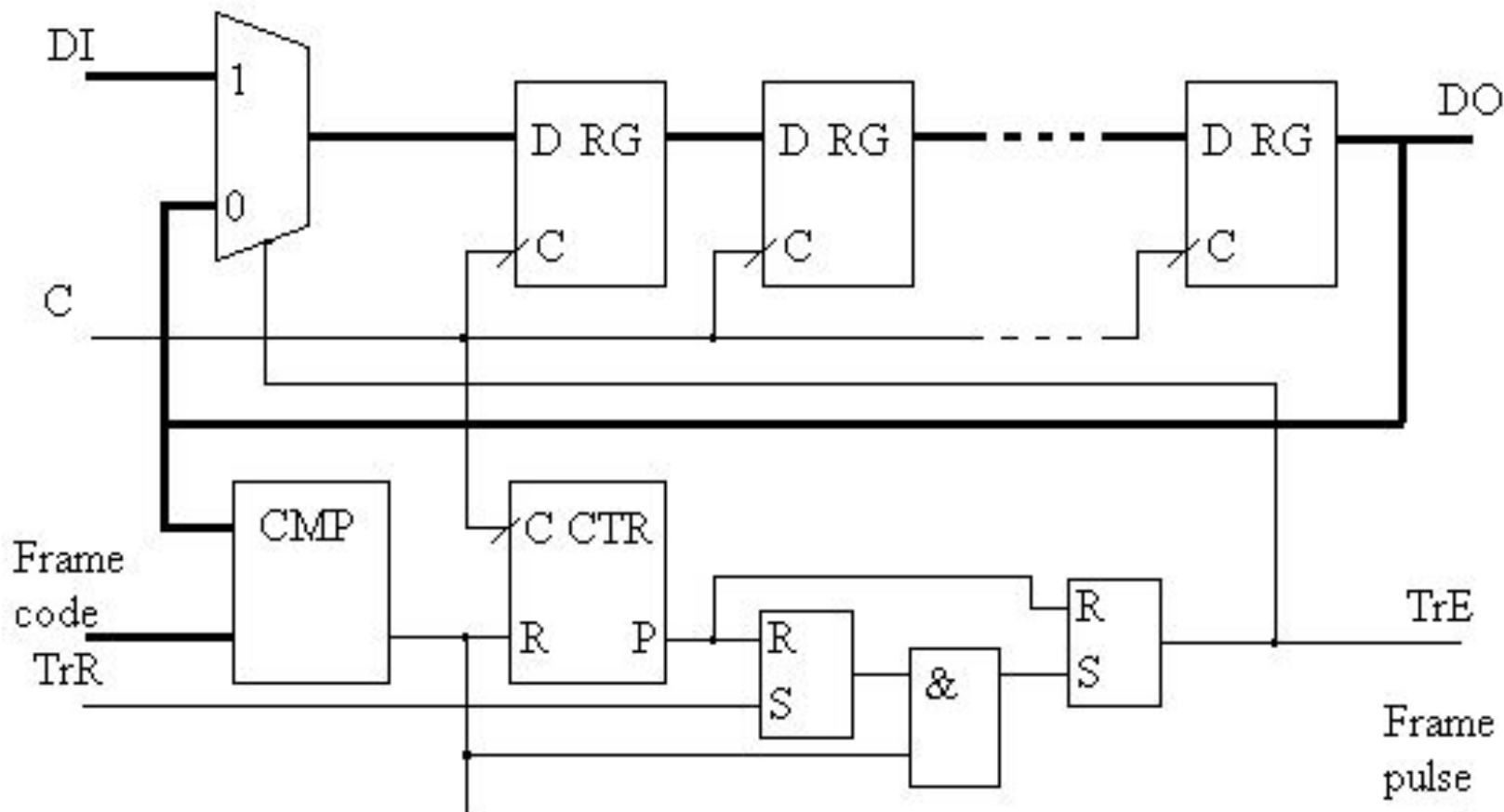


Структура блочного ЗУ

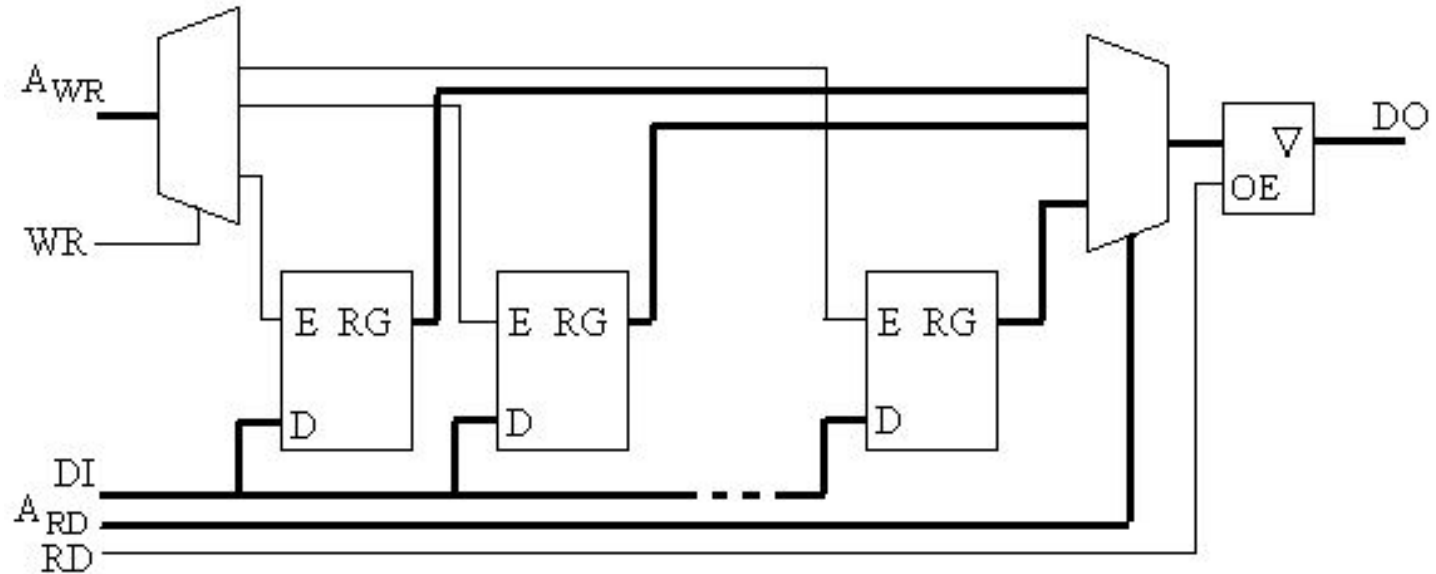
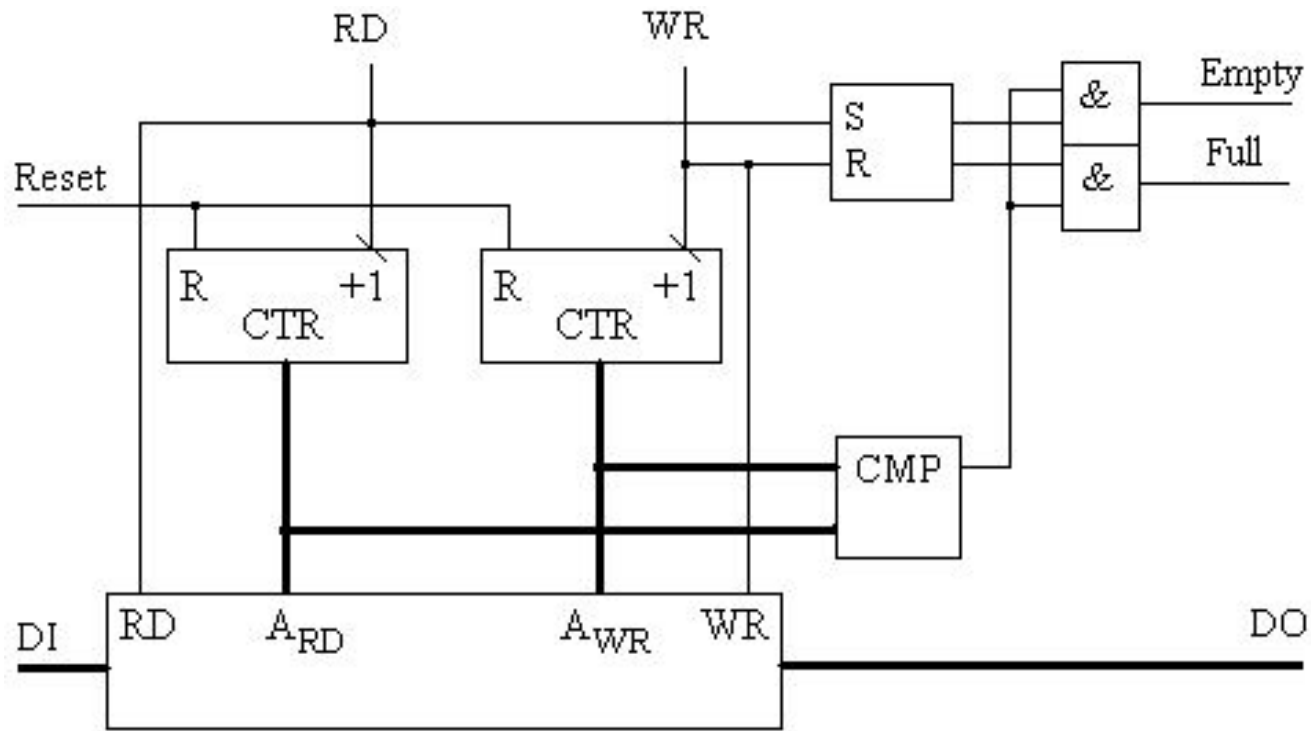


Память с последовательным доступом

Структура VRAM

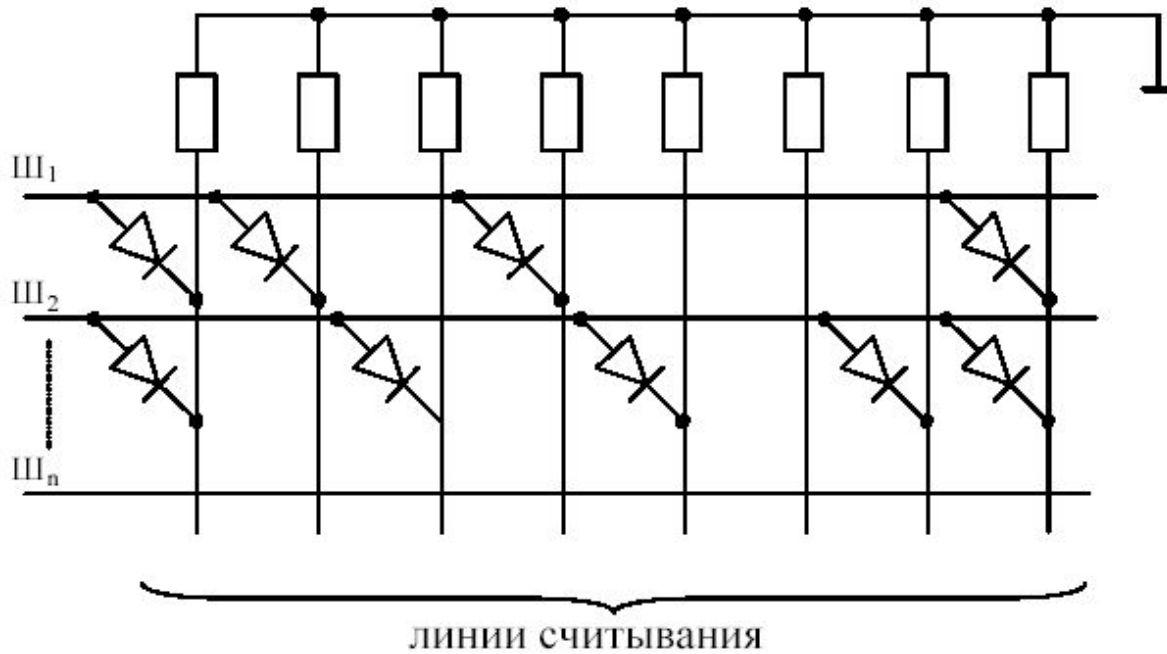


Структура FIFO

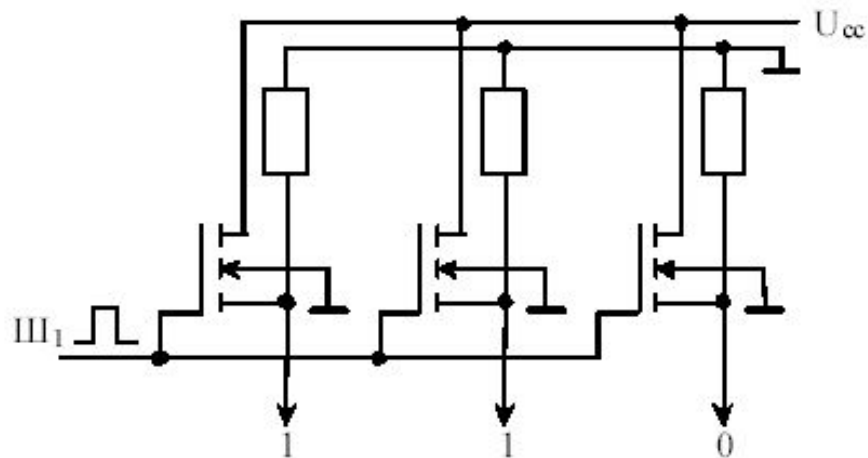


Накопитель ROM(M)

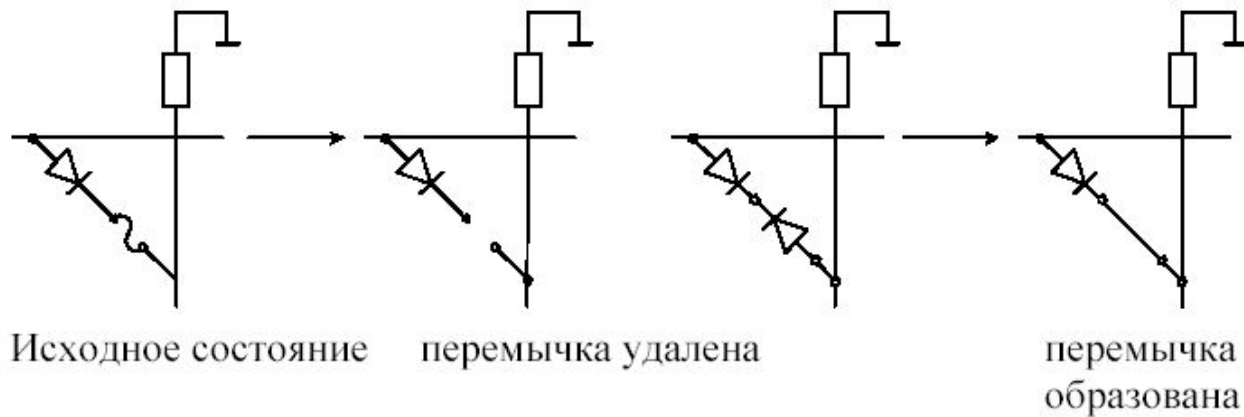
Диодные ЗЭ



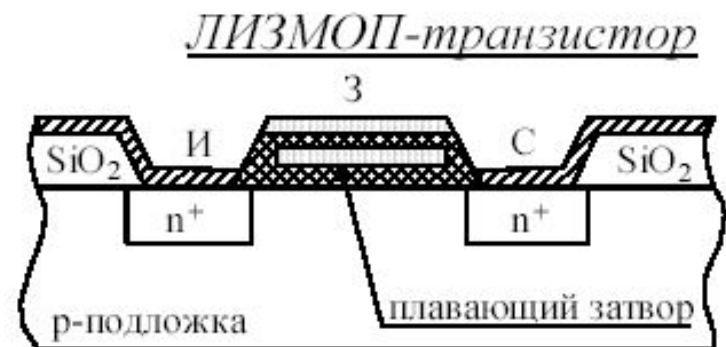
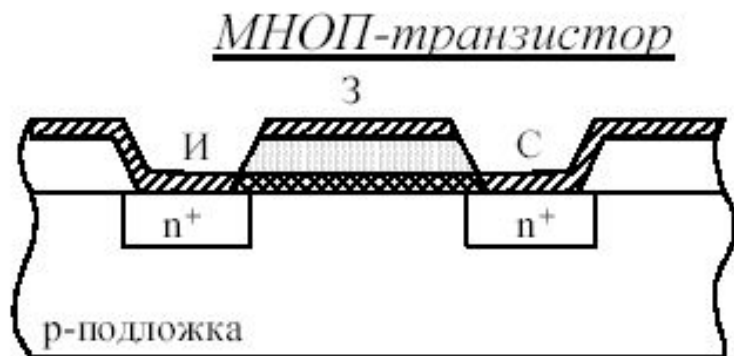
Матрица МОП-транзисторных элементов



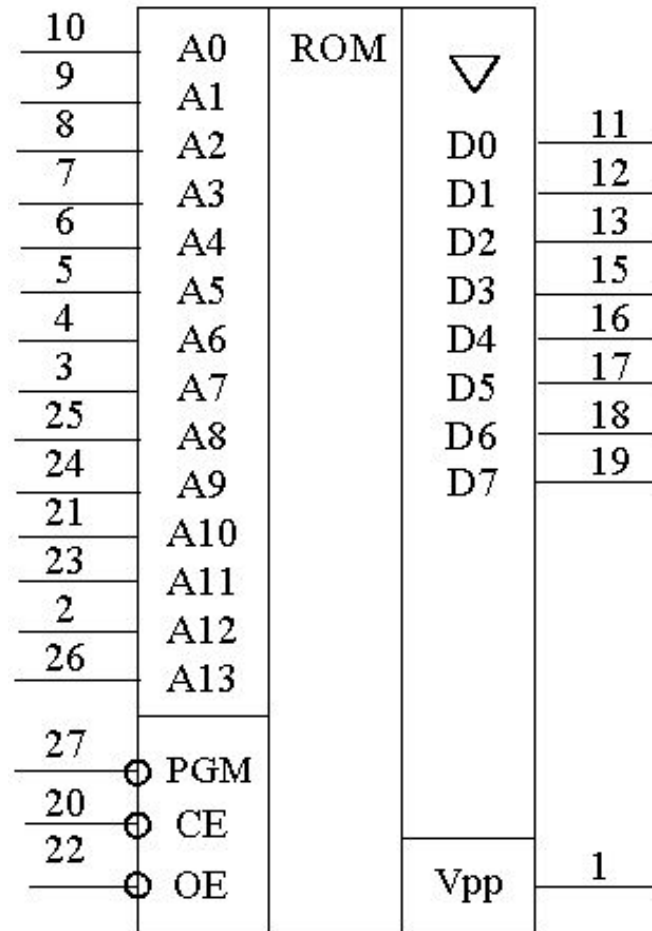
Запоминающие элементы PROM



Запоминающие элементы EPROM и EEPROM



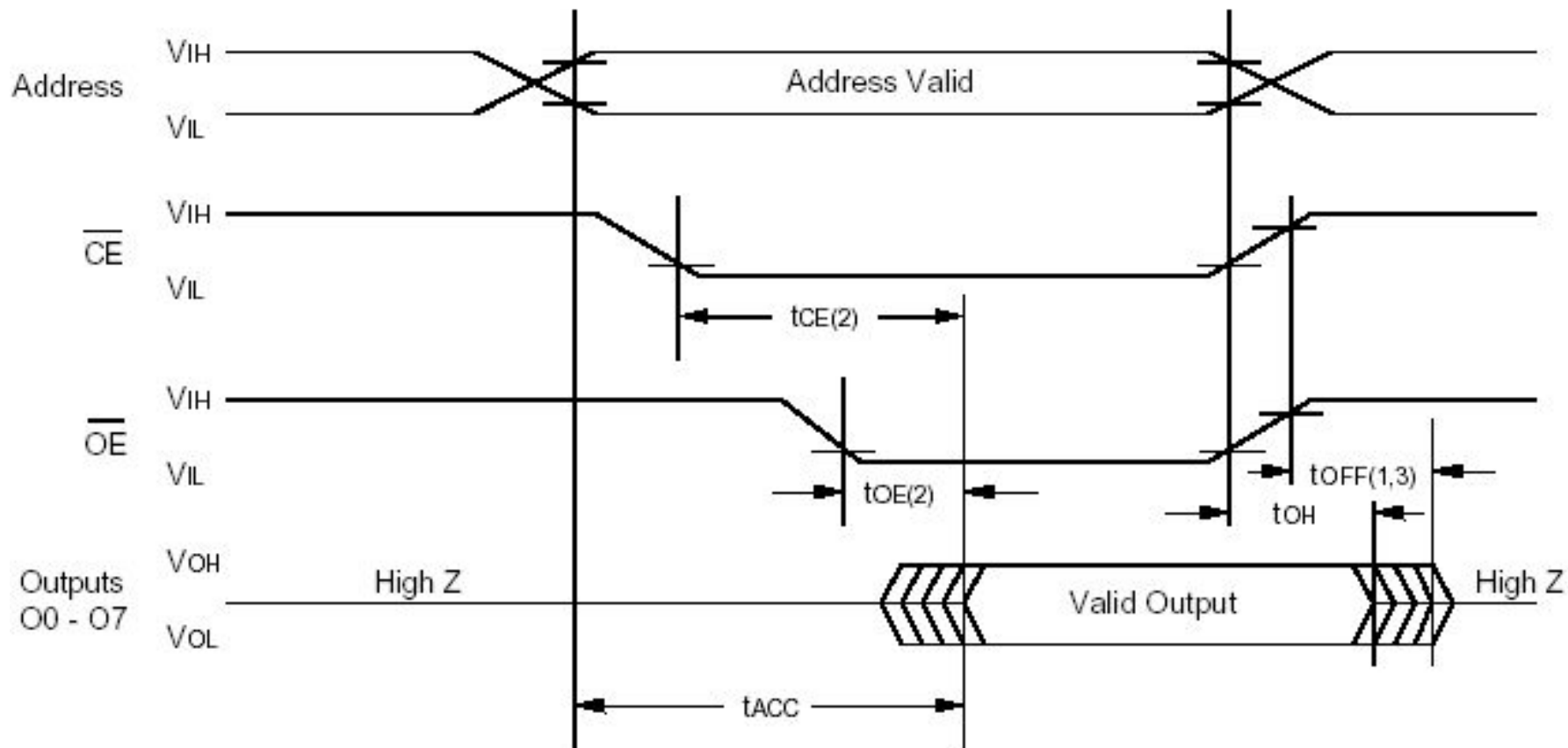
Внешняя организация EPROM



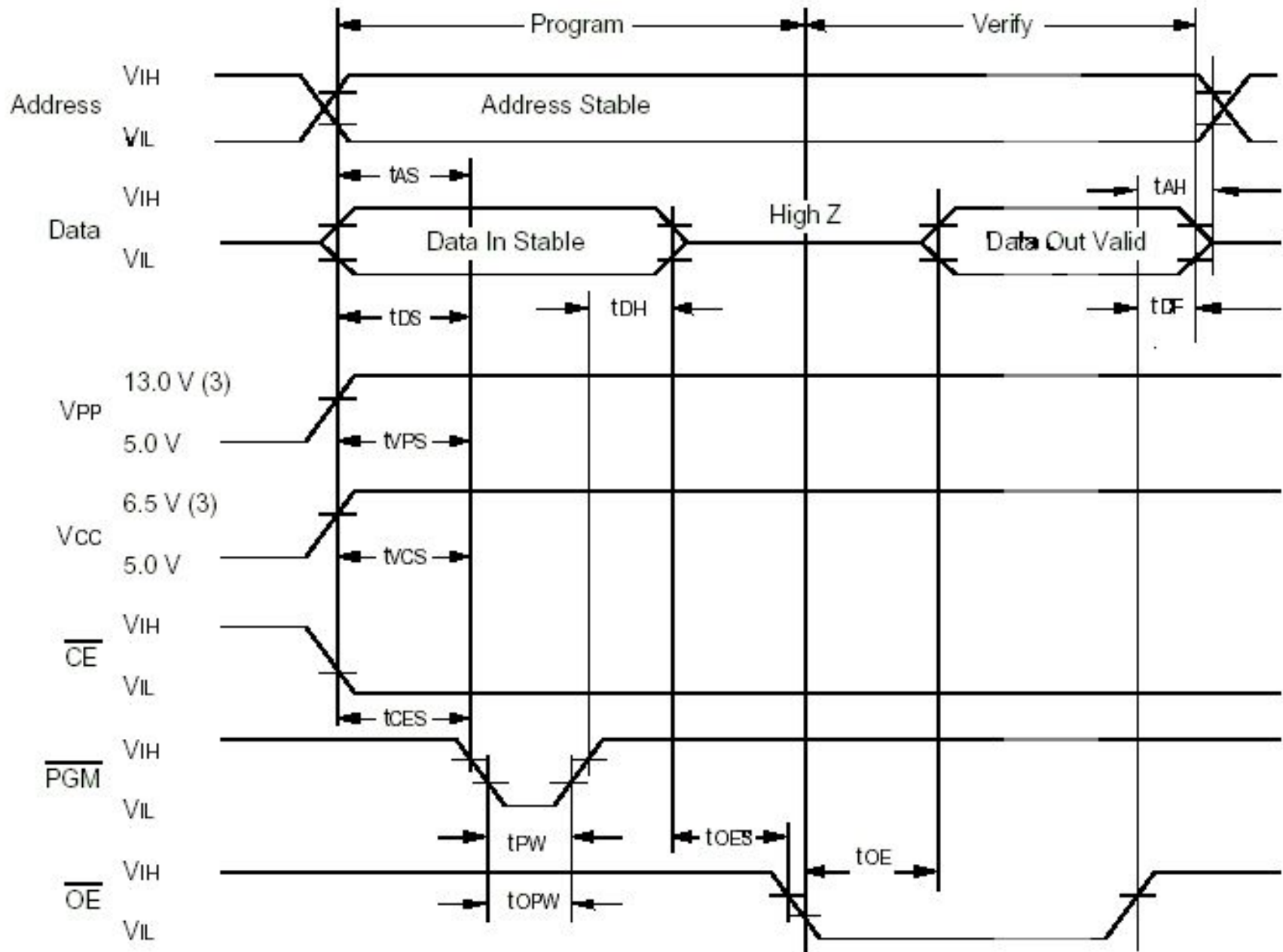
27C128

16Kx8

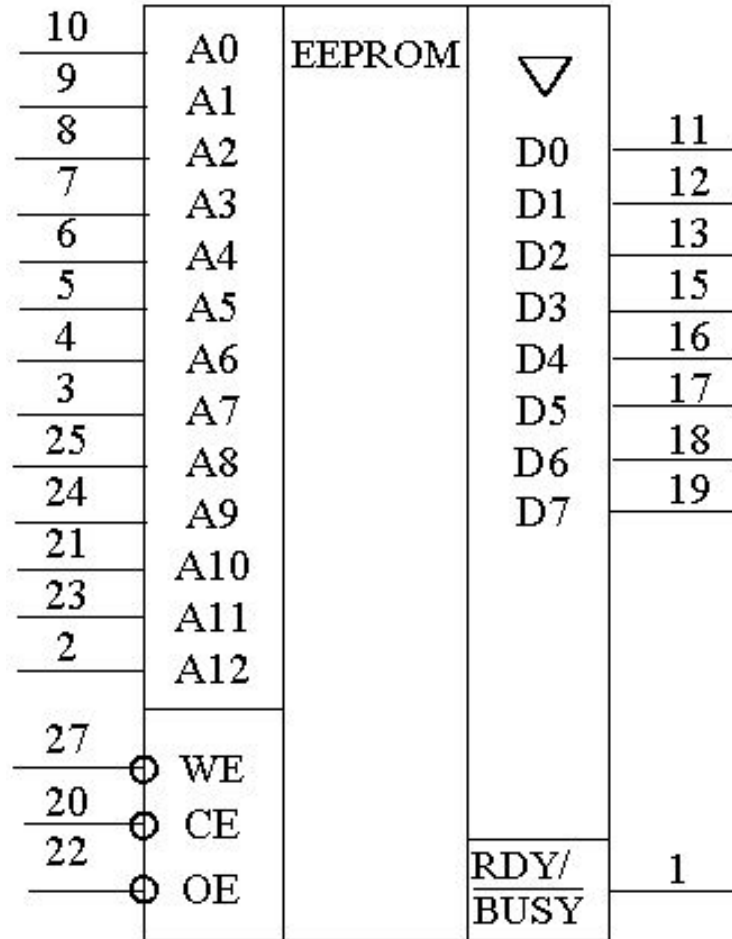
Чтение EPROM



Запись EPROM



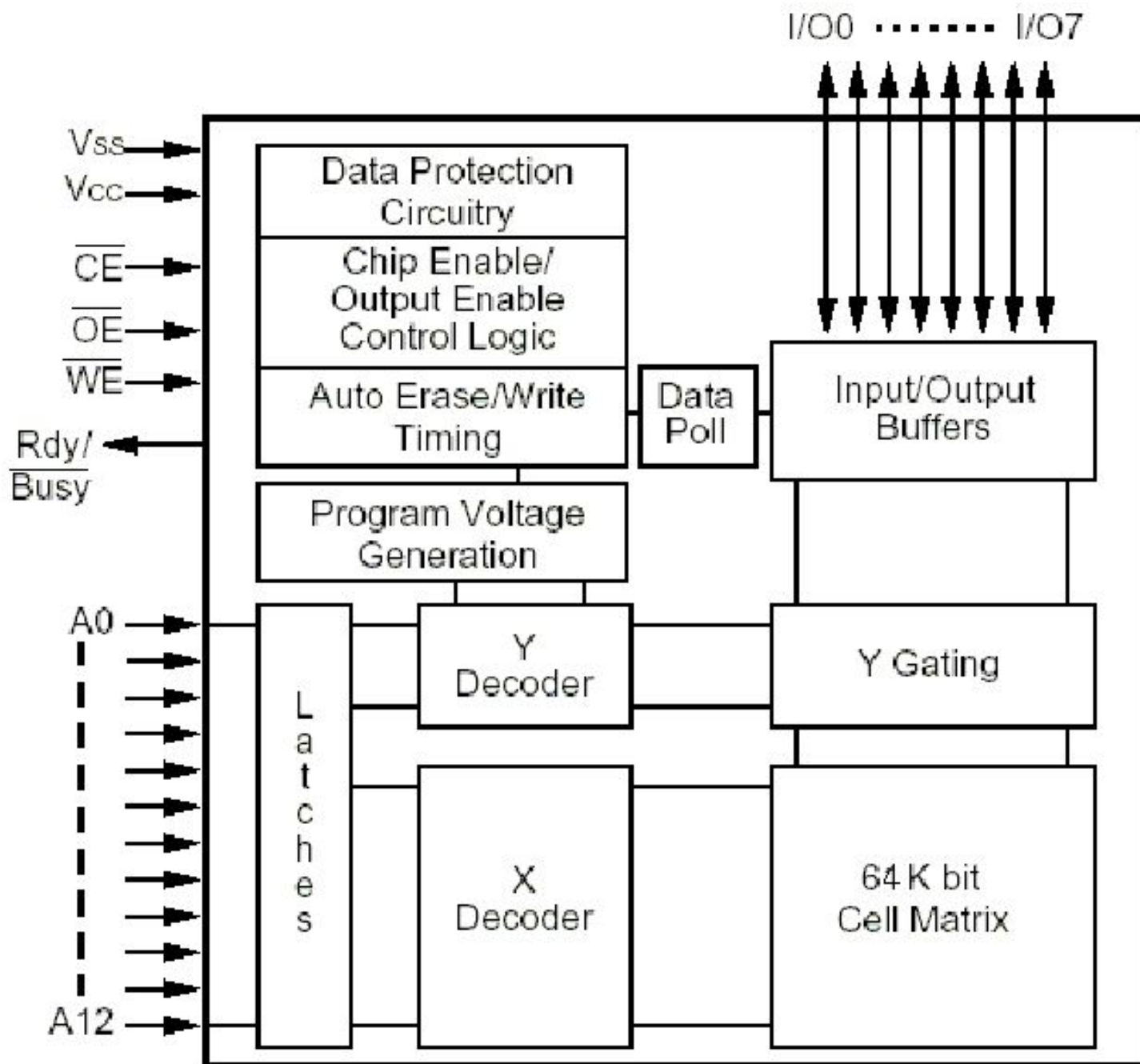
Внешняя организация EEPROM



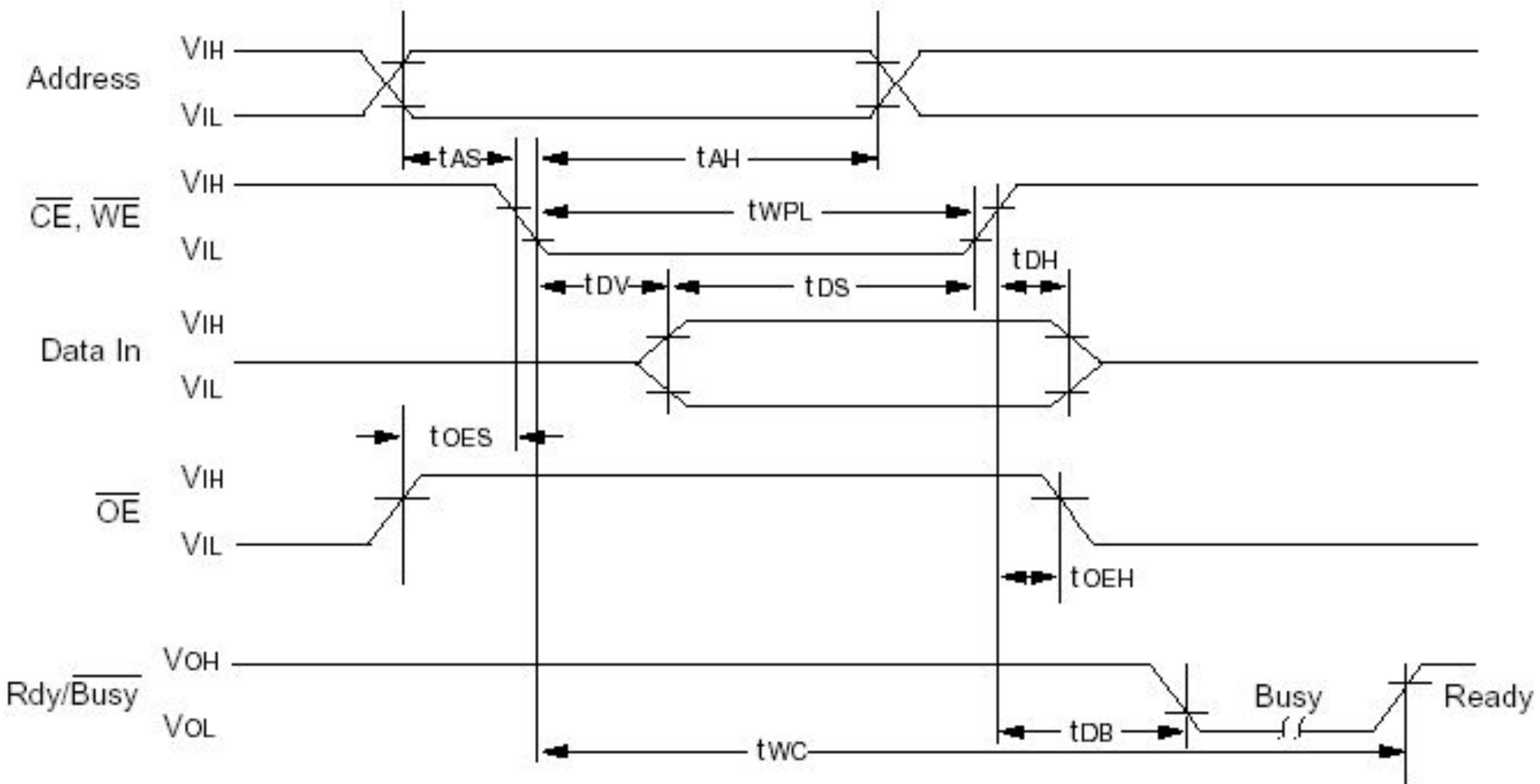
28C64

8Kx8

Структура EEPROM

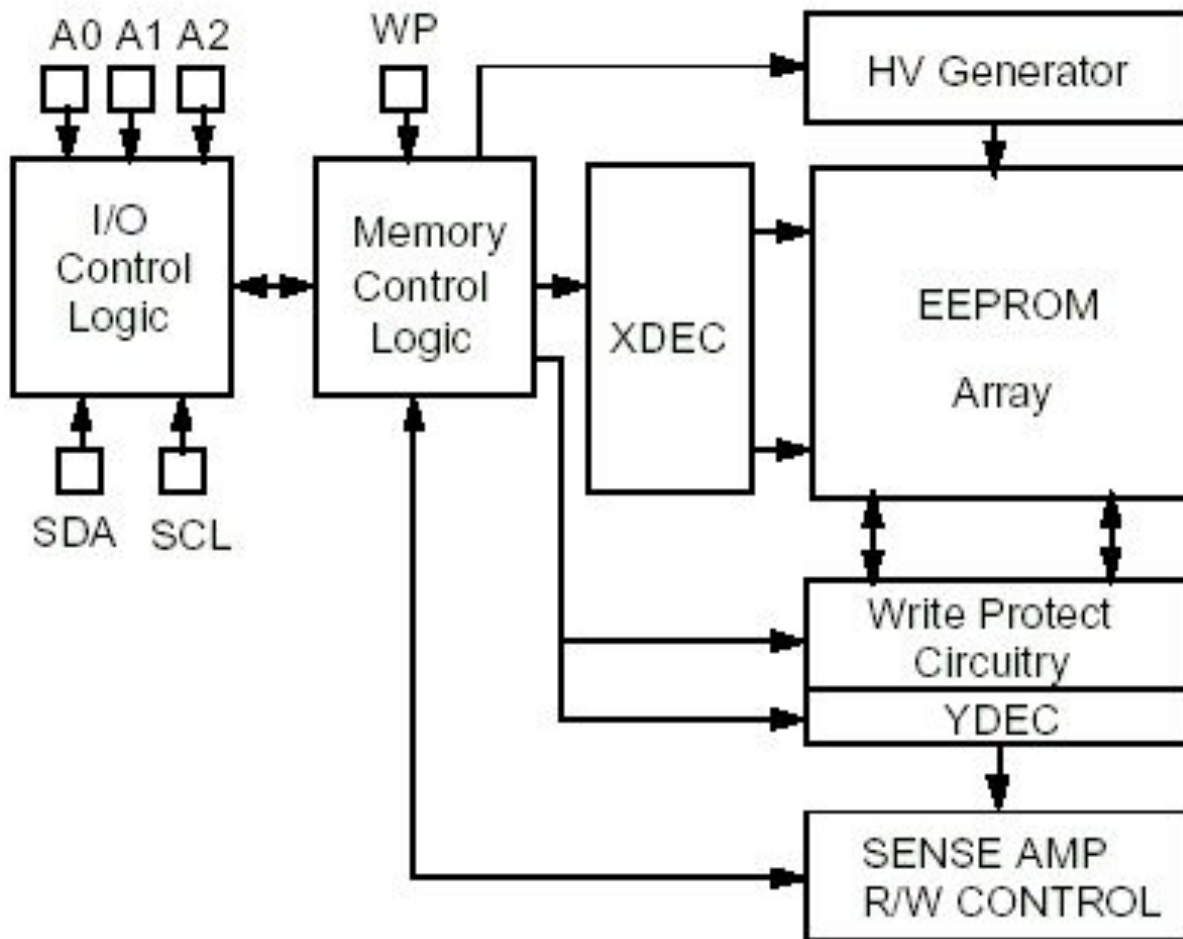


Запись EEPROM

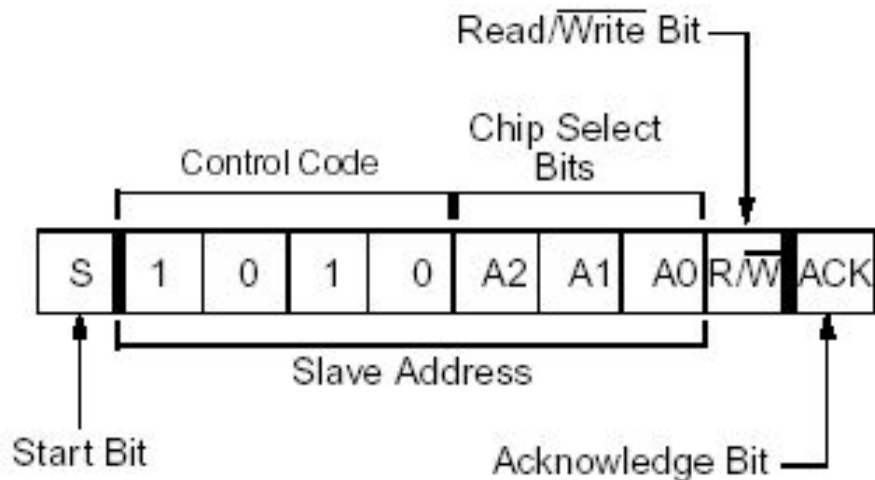
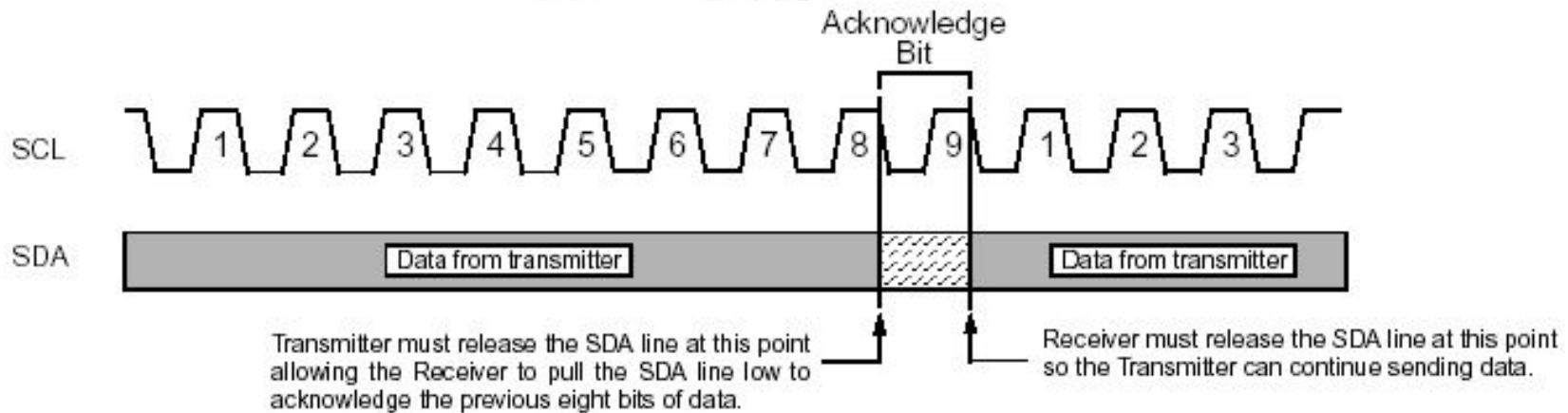
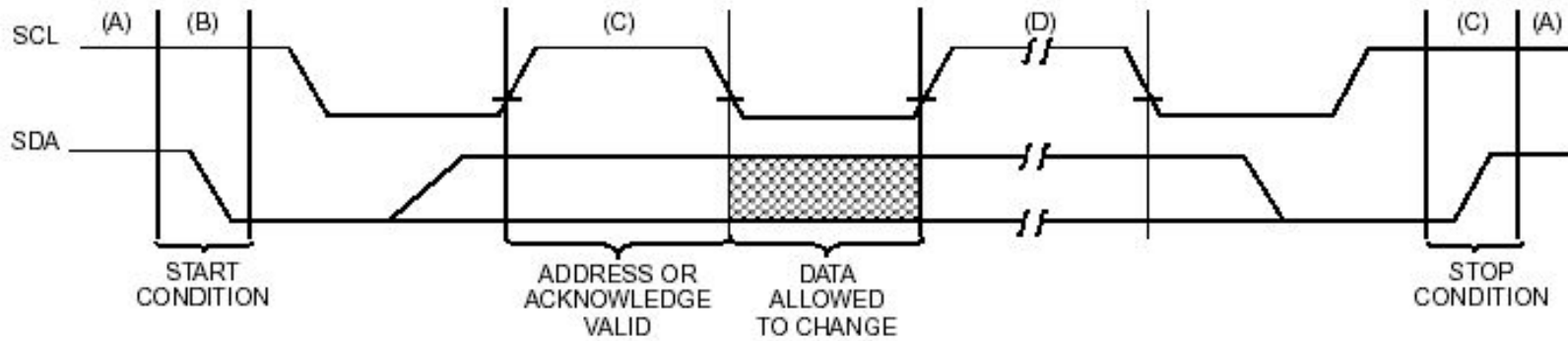


Последовательные EEPROM

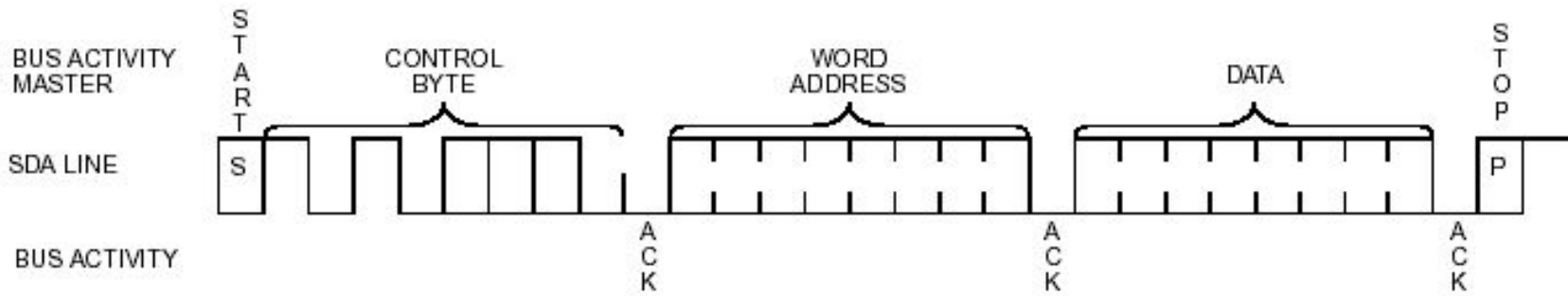
24C02 256x8



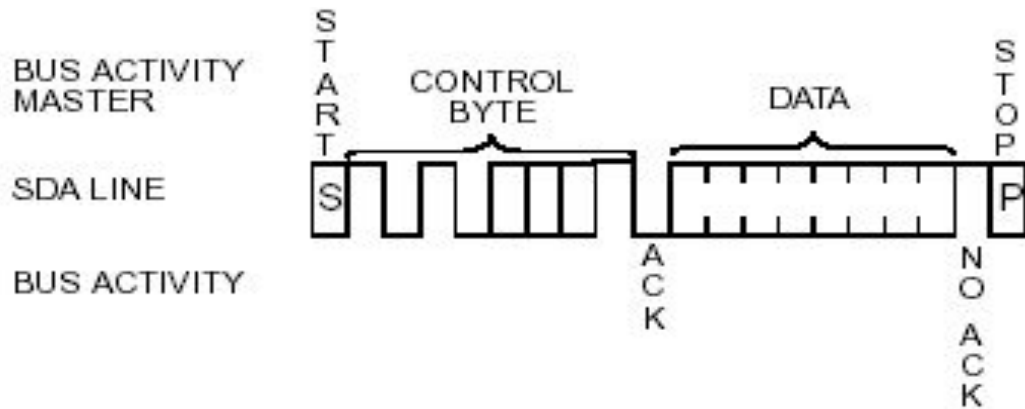
Интерфейс I2C



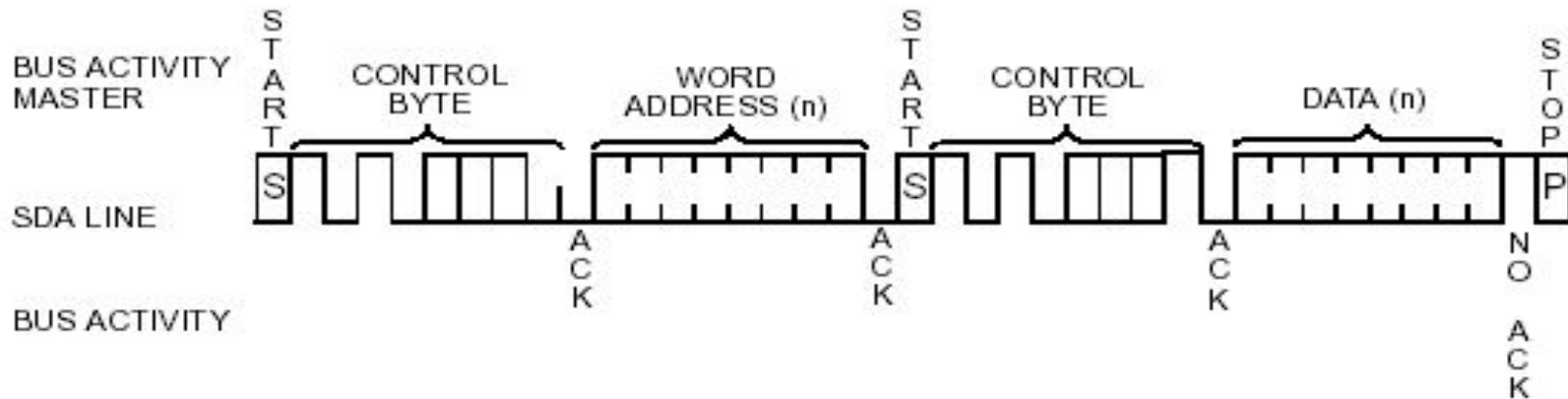
Запись байта



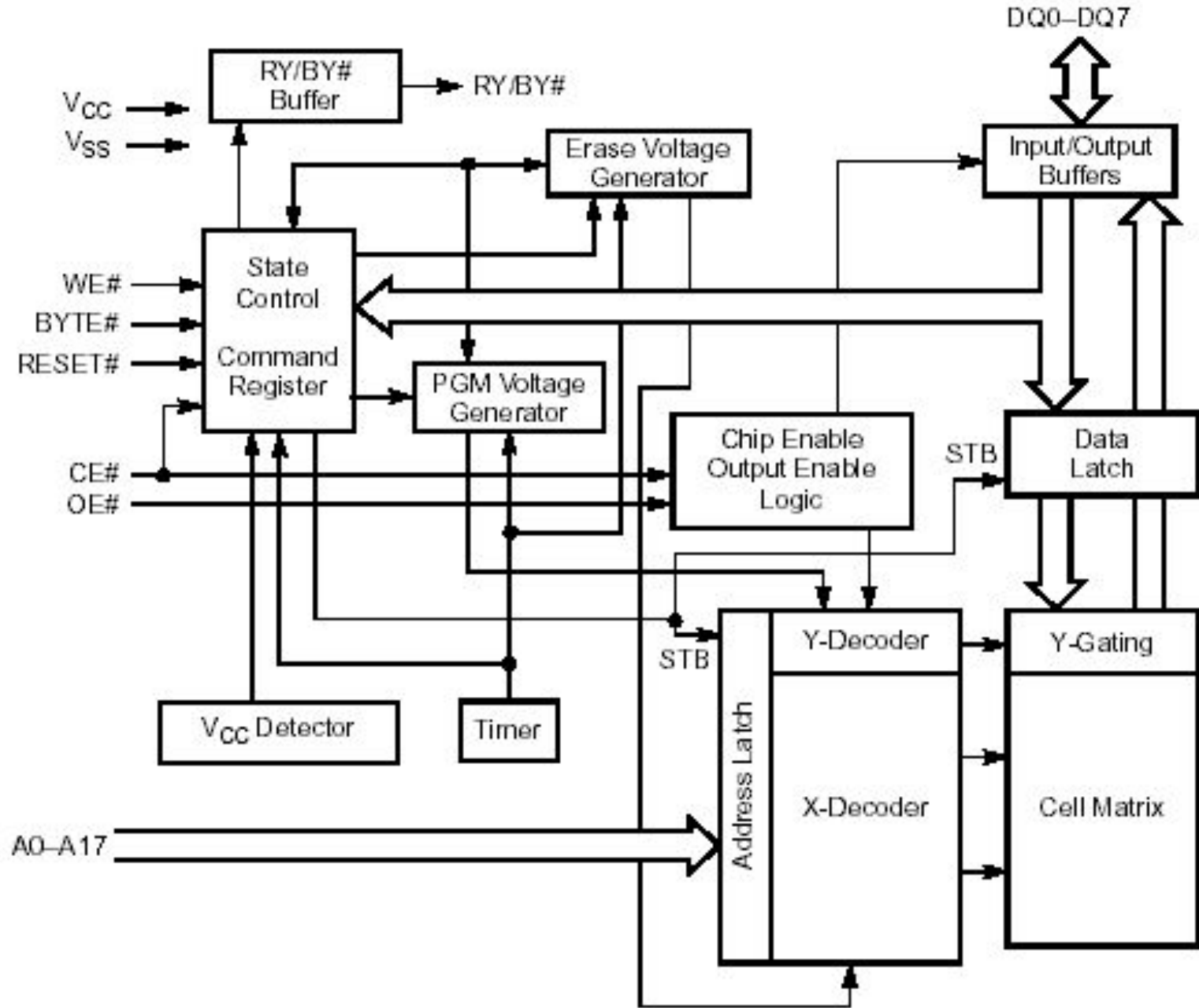
Чтение байта по текущему адресу



Чтение байта по произвольному адресу



Структурная схема Flash-ROM Am29F200



Режимы работы Flash ROM

SA0 00000h – 0FFFFh;

SA1 10000h – 1FFFFh;

SA2 20000h – 2FFFFh;

SA3 30000h – 3FFFFh.

Последовательность команд	Кол-во циклов	Циклы											
		1		2		3		4		5		6	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Чтение	1	RA	RD										
Программирование	4	AAA	AA	555	55	AAA	A0	PA	PD				
Стирание кристалла	6	AAA	AA	555	55	AAA	80	AAA	AA	555	55	AAA	10
Стирание сектора	6	AAA	AA	555	55	AAA	80	AAA	AA	555	55	SA	30

RA – адрес ячейки при чтении;

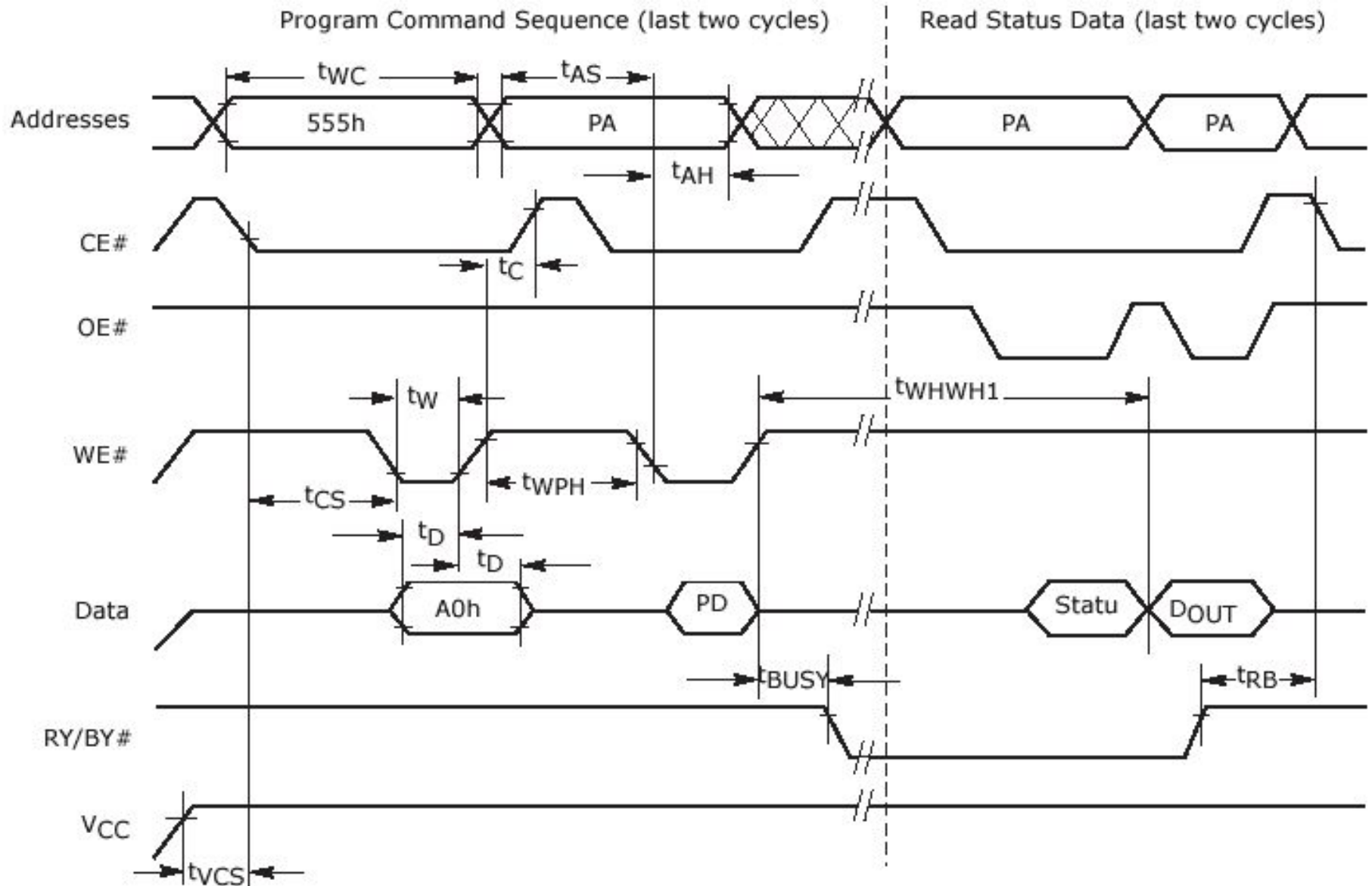
RD – считываемые данные;

PA – адрес ячейки при программировании (записи);

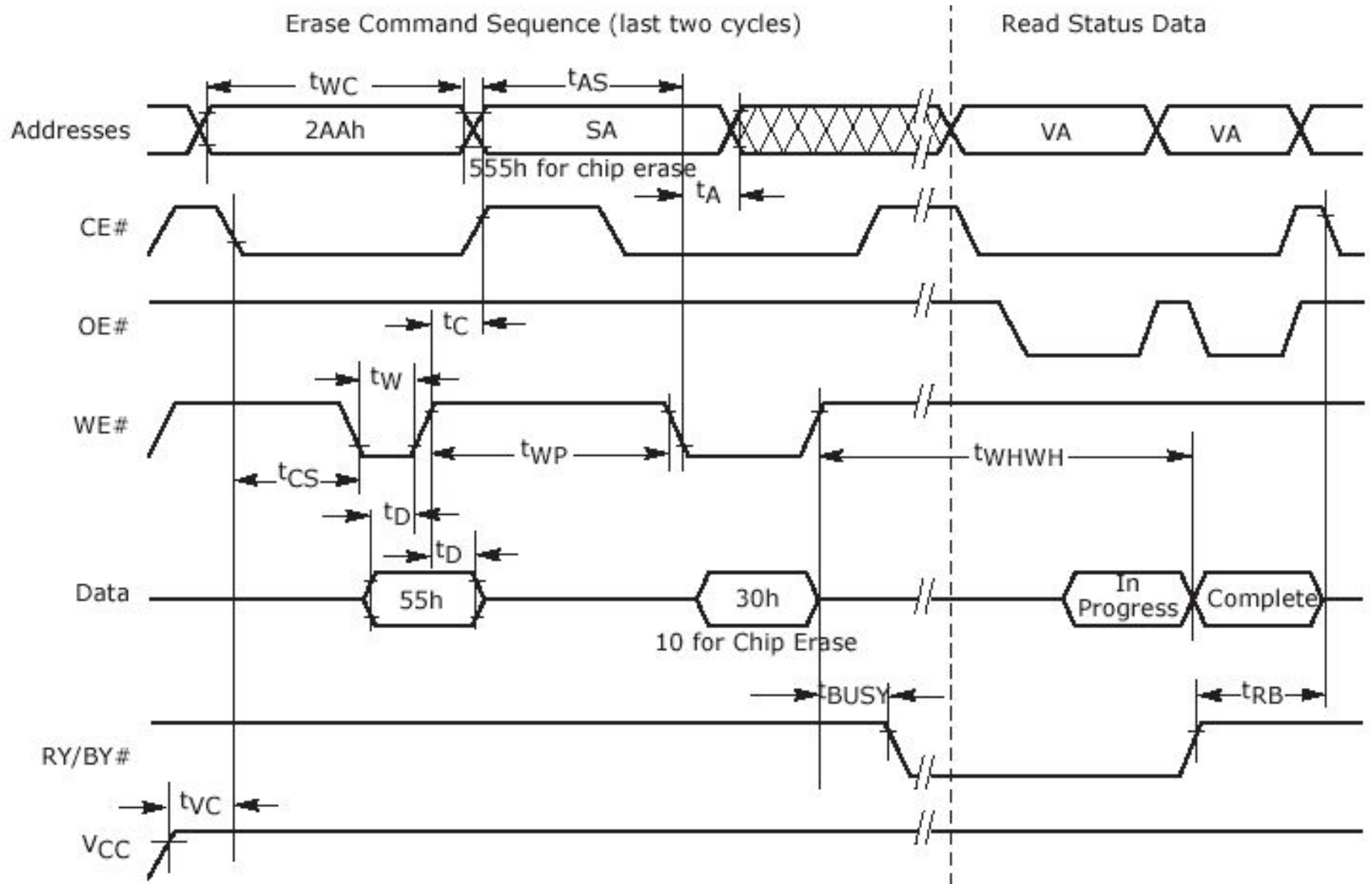
PD – записываемые данные;

SA – адрес стираемого сектора.

Операция программирования



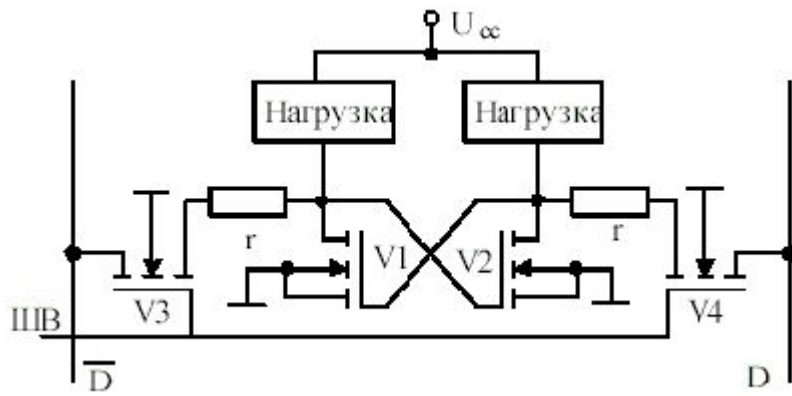
Операция стирания сектора/кристалла



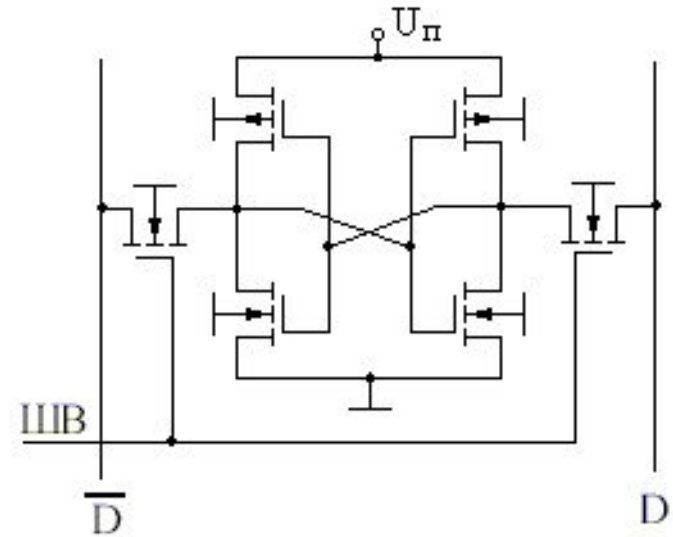
Статические ЗУ

Запоминающие ЭЛЕМЕНТЫ

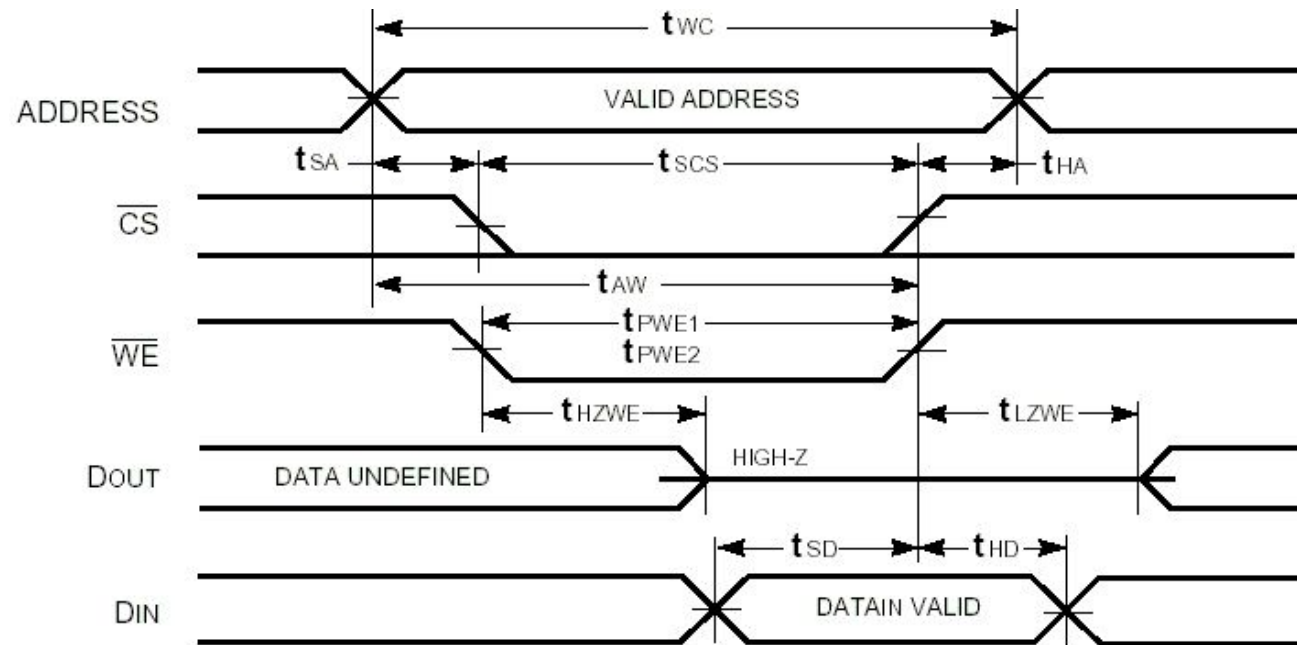
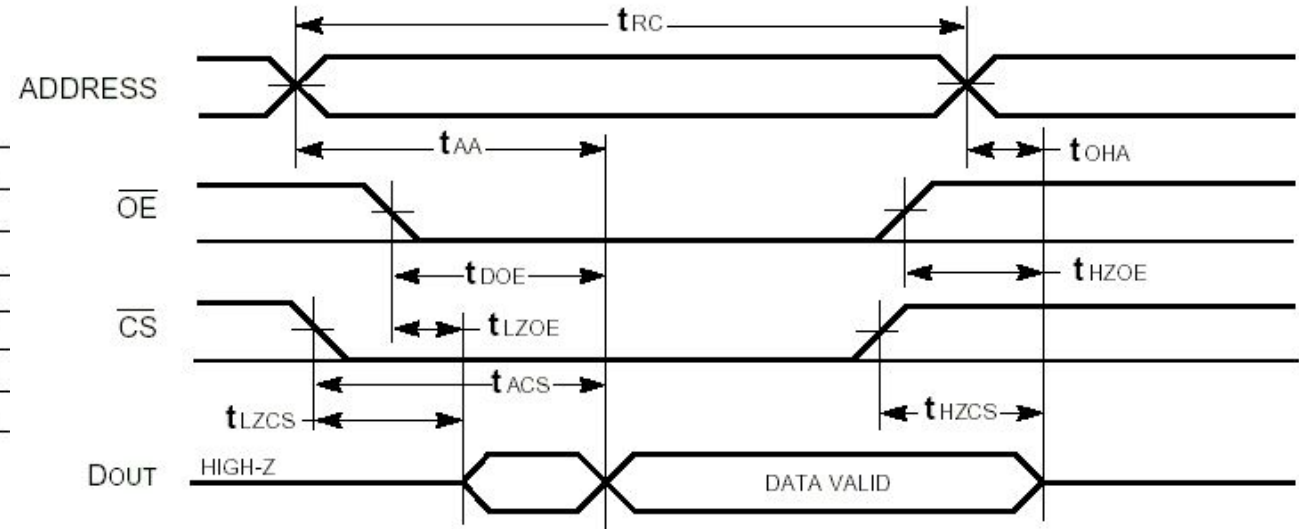
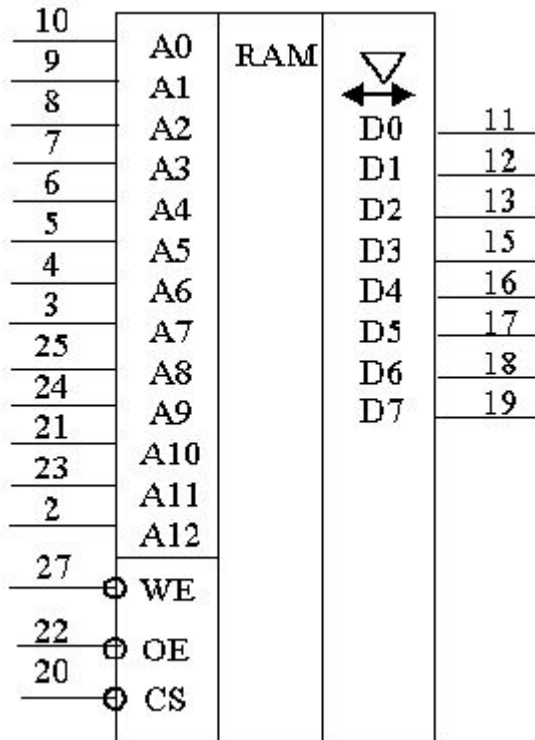
n-МОП



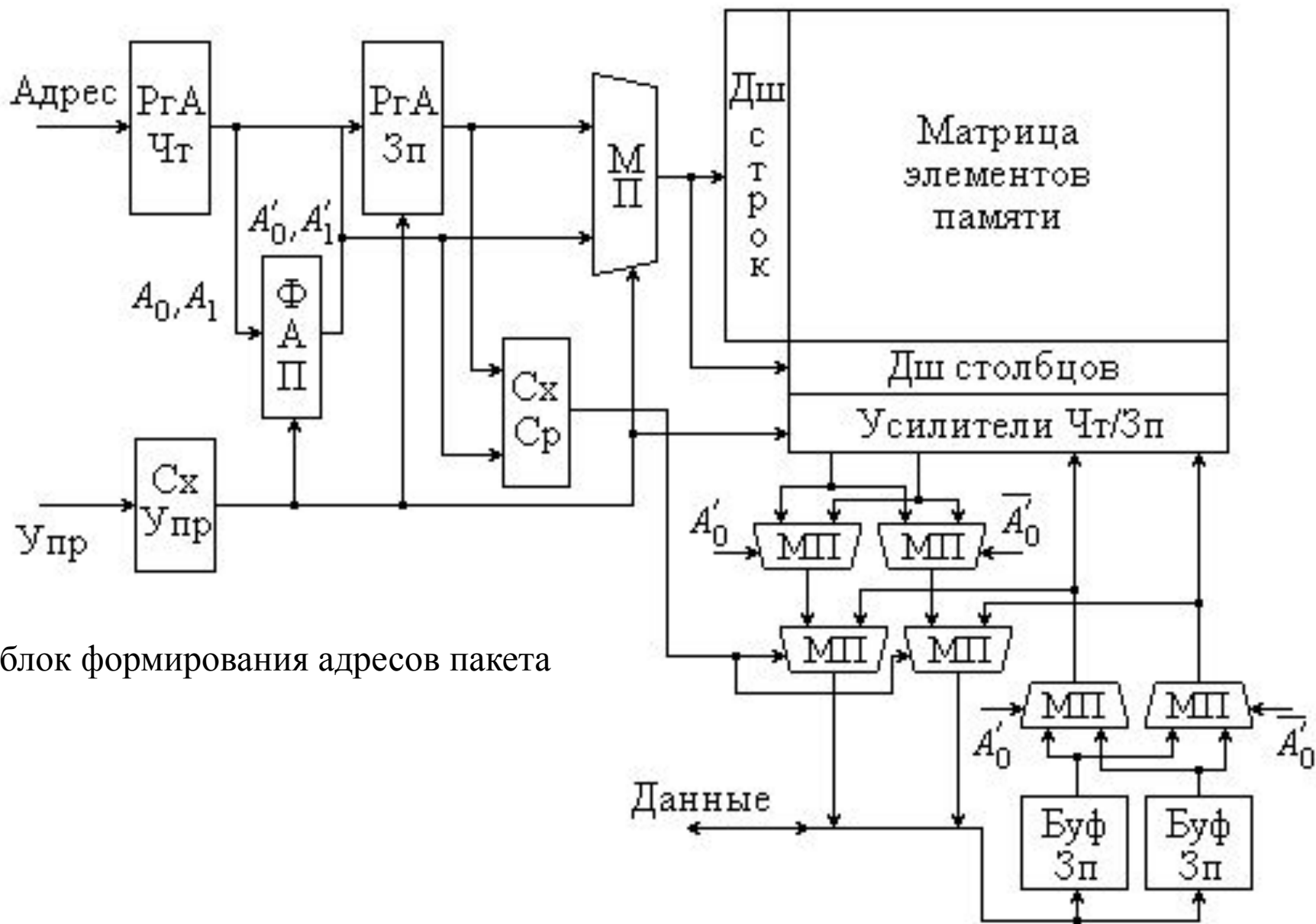
КМОП



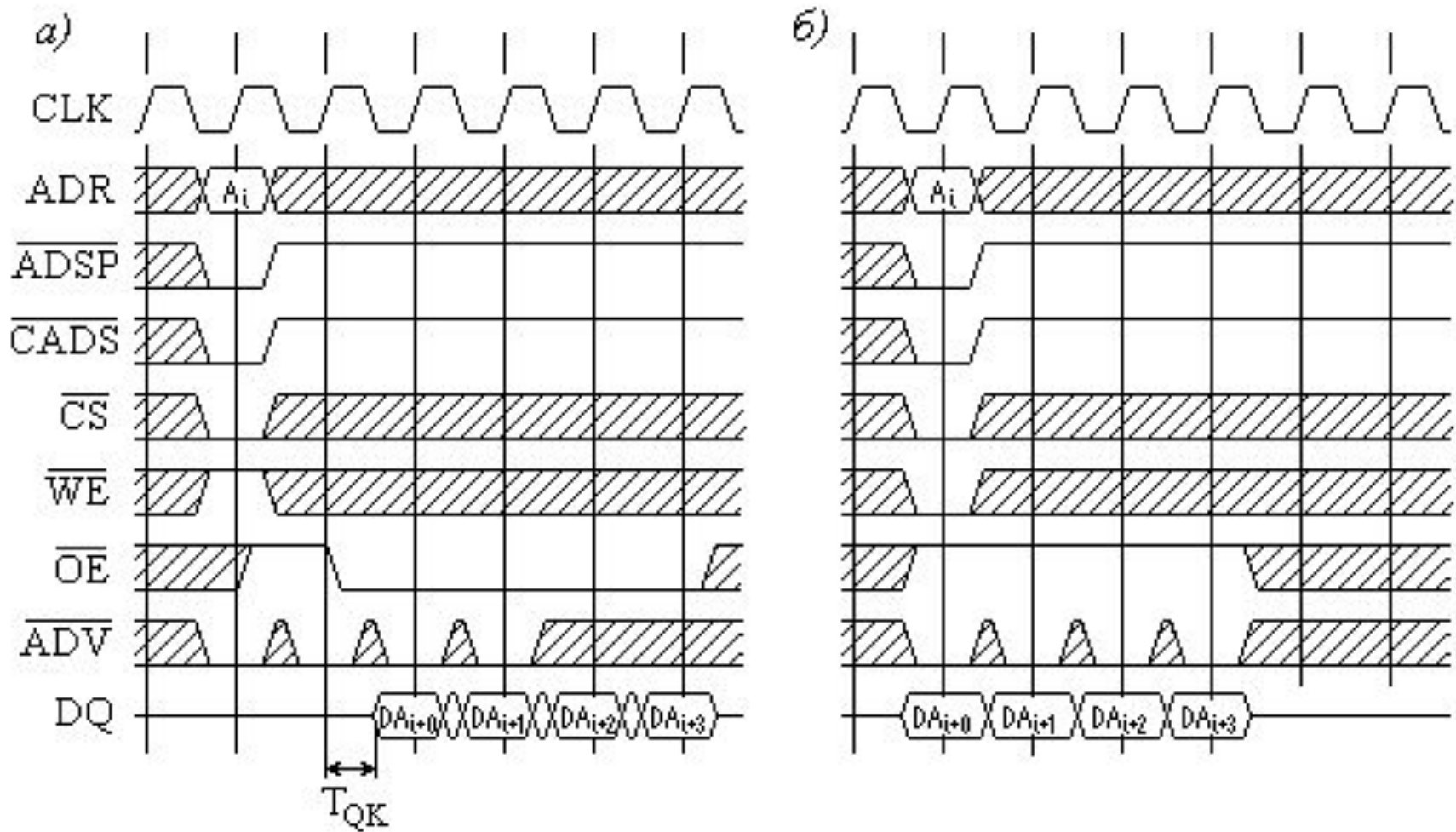
Внешняя организация асинхронных SRAM



Синхронные SRAM



ФАП – блок формирования адресов пакета



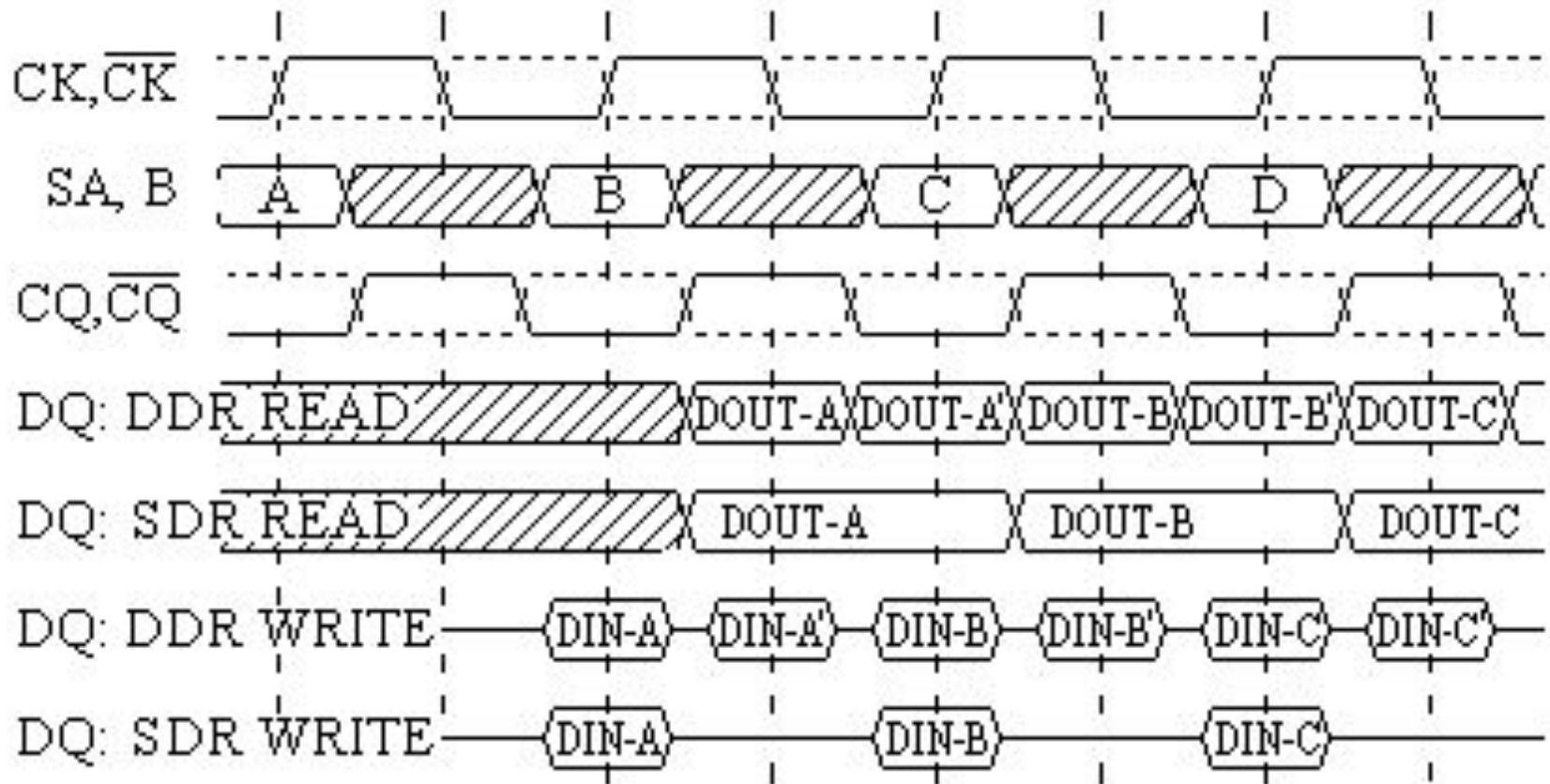
Пакетные циклы чтения а) и записи б) синхронной пакетной статической памяти (SBSRAM)

$\overline{ADSP}\#$ - *Address Status of Processor* – строб адреса нового пакета

$\overline{CADS}\#$ - *Cache Address Strobe*

$\overline{ADV}\#$ - *Advance* - инкремент адреса в пакете

DDR Pipelined Burst SRAM

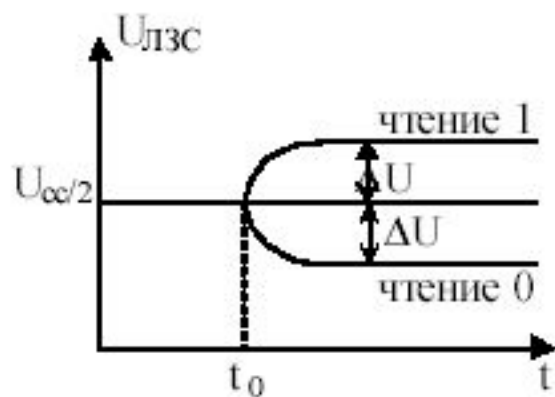
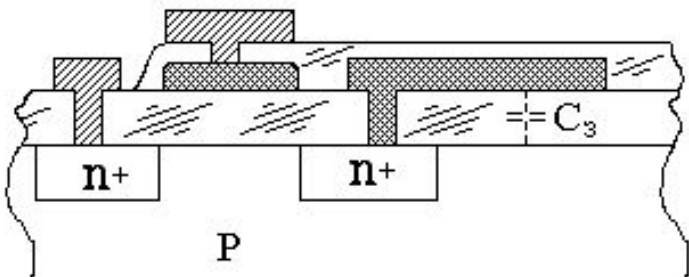
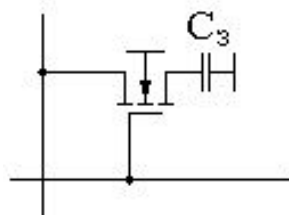
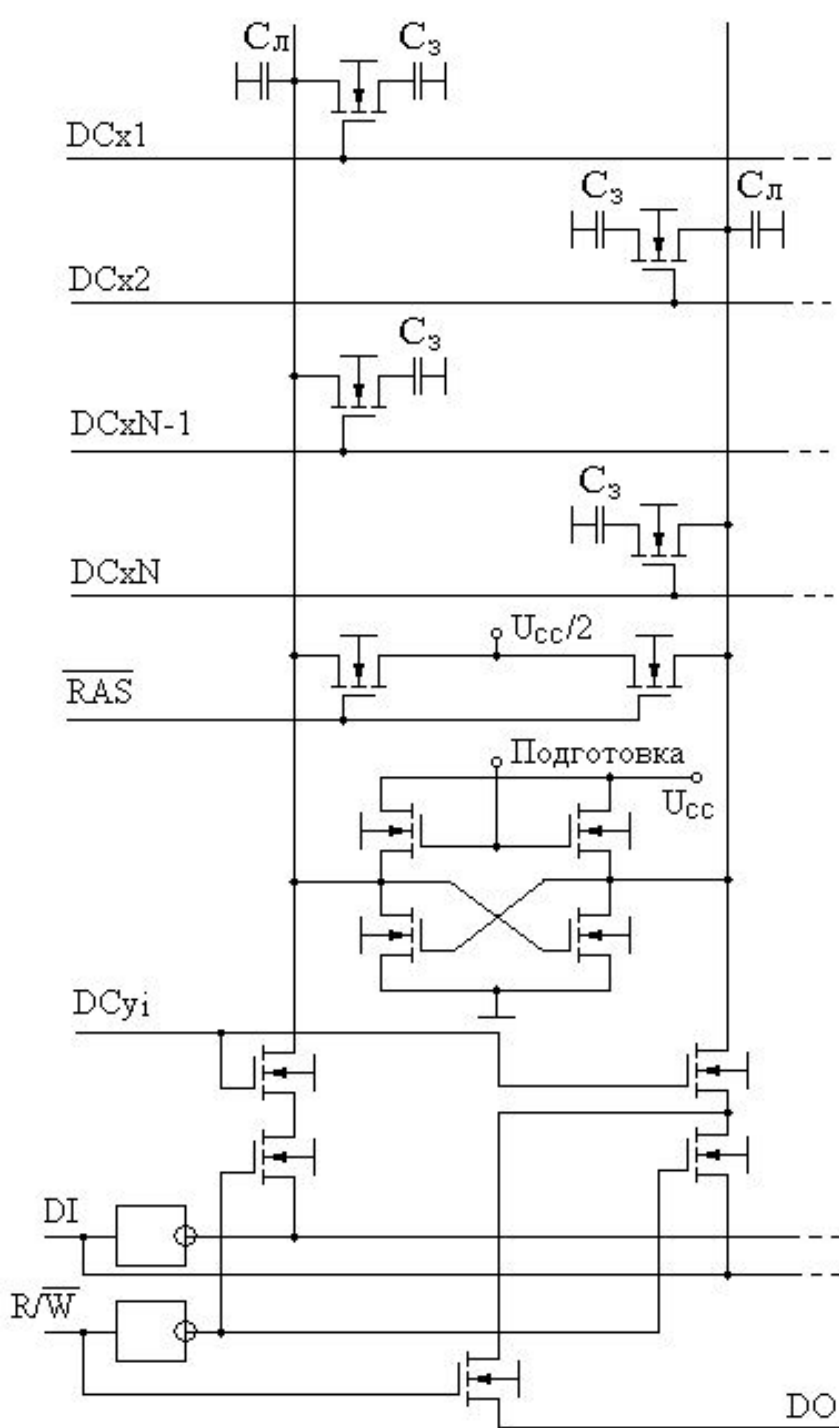


Общий вид диаграмм чтения и записи с одиночной и двойной скоростью передачи в синхронной конвейерно-пакетной статической памяти (PBSRAM)

DDR - Double Data Rate - двойная скорость передачи данных

CQ и *CQ#* – дифференциальные выходные сигналы синхронизации

Динамические ЗУ



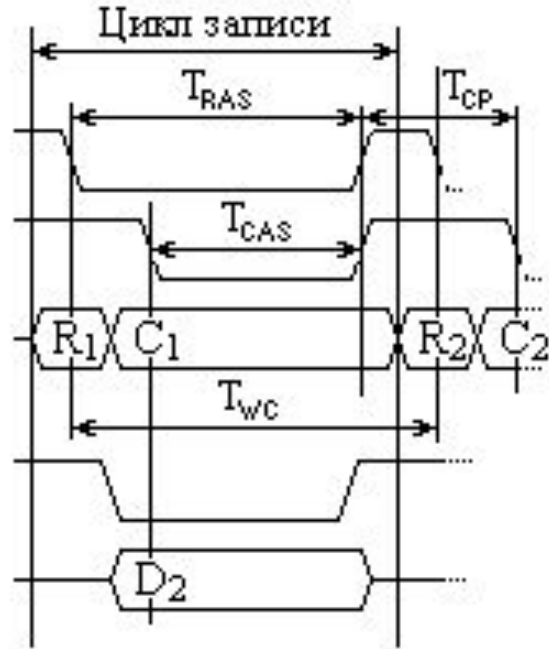
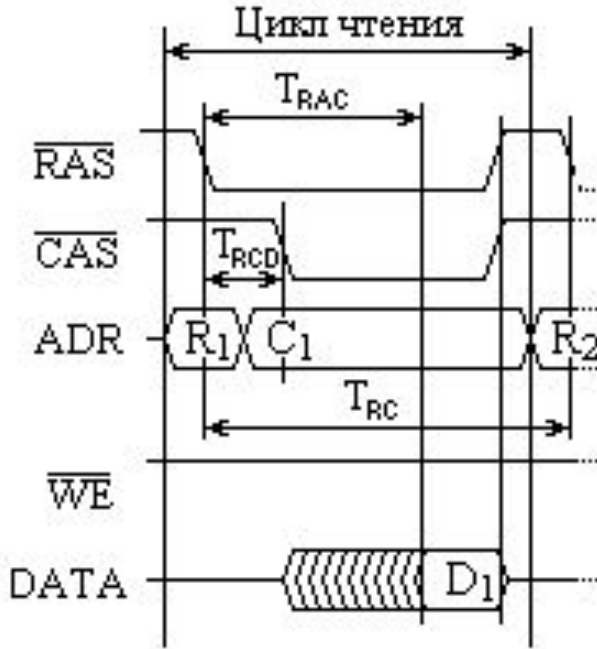
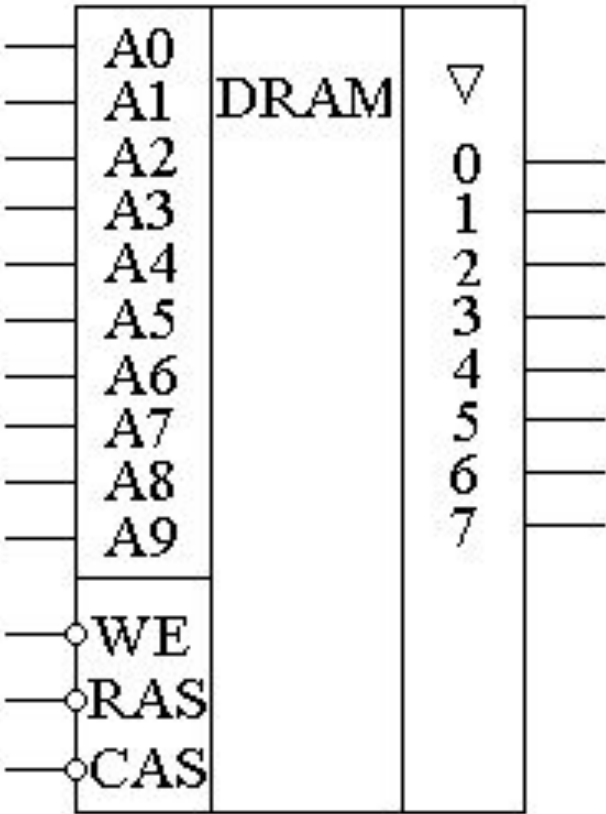
$$Q = C_{л} U_{cc} / 2$$

$$C_{л} + C_{з} : Q = (C_{л} + C_{з}) \left(\frac{U_{cc}}{2} - \Delta U \right)$$

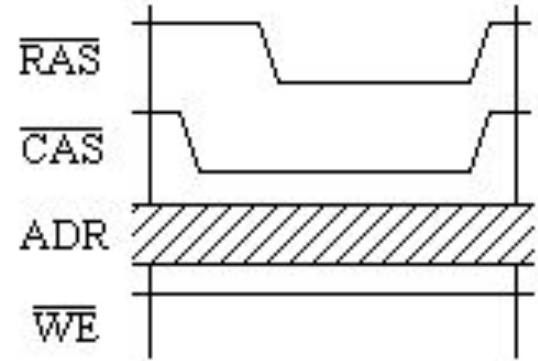
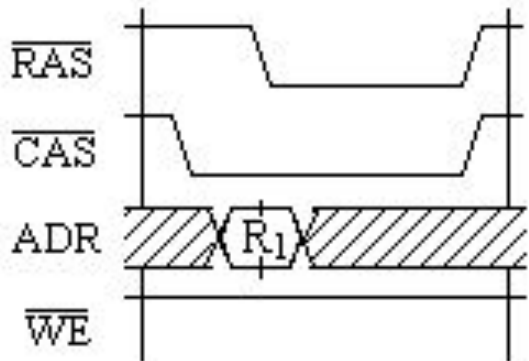
$$C_{л} \frac{U_{cc}}{2} = (C_{л} + C_{з}) \left(\frac{U_{cc}}{2} - \Delta U \right)$$

$$\Delta U = \frac{U_{cc} C_{з}}{2(C_{л} + C_{з})} \approx \frac{U_{cc} C_{з}}{2 C_{л}}$$

Внешняя организация асинхронных DRAM

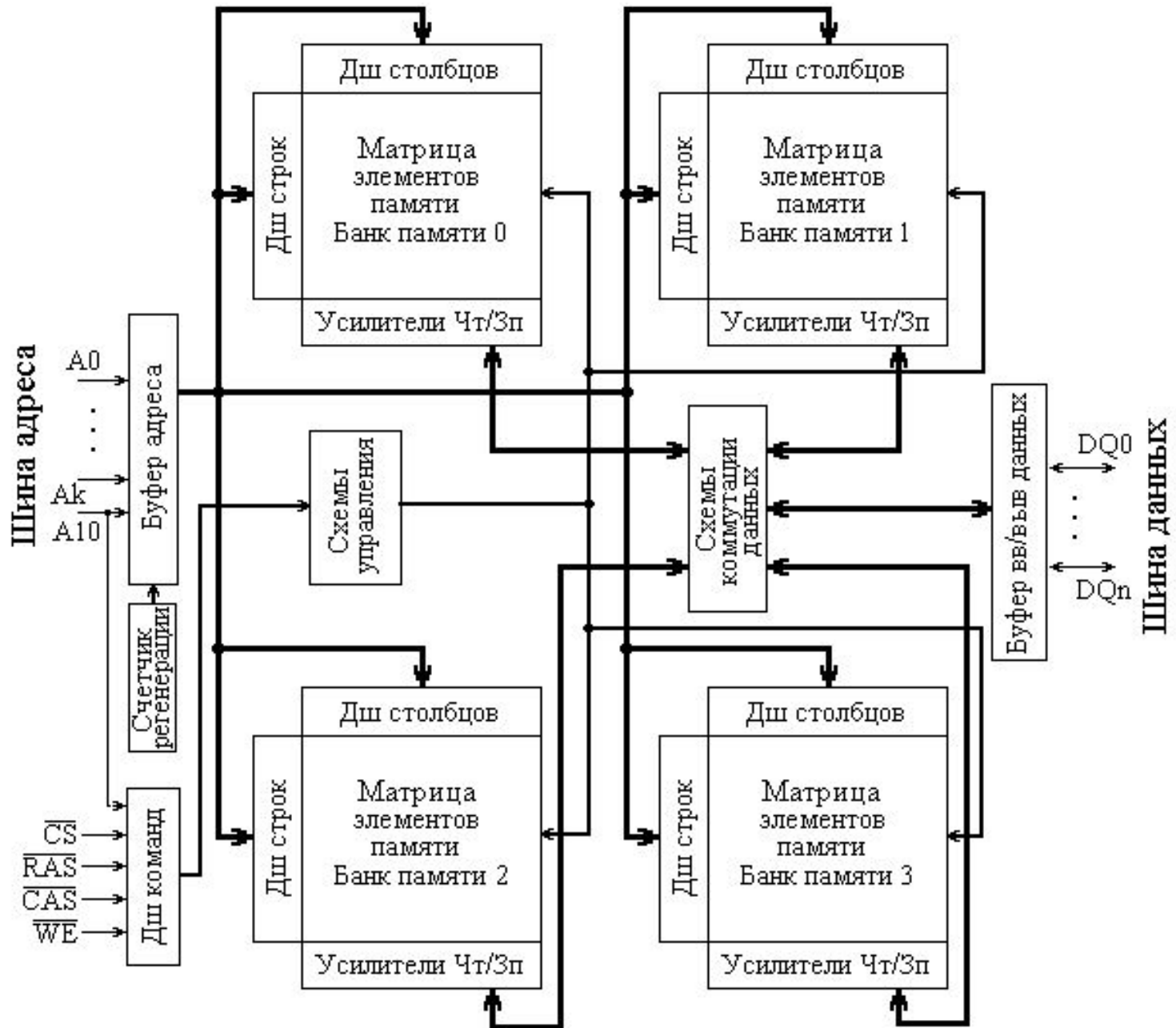


Цикл регенерации CBR (*CAS Before RAS*)

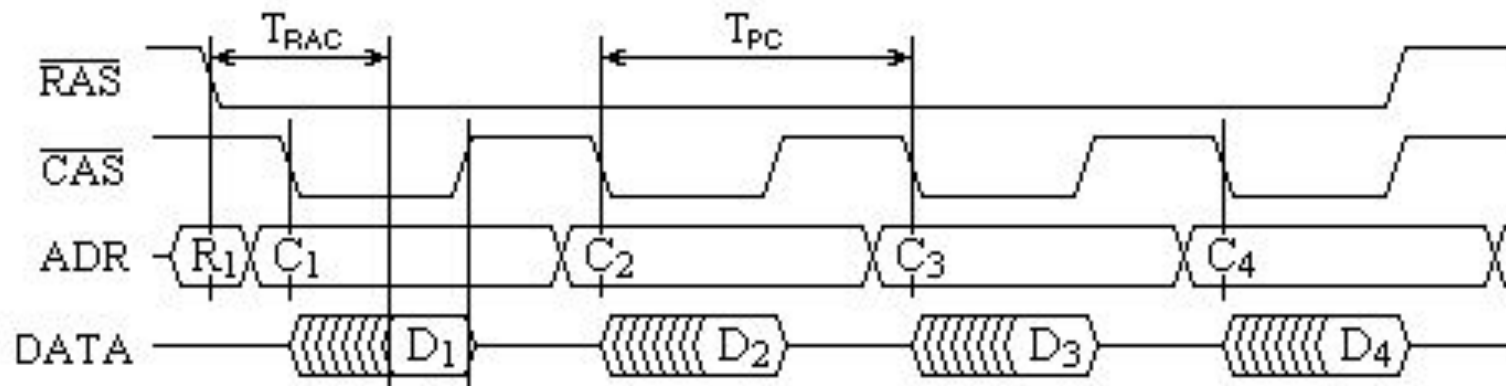


Адрес задается внутренним счетчиком

Структурная организация DRAM

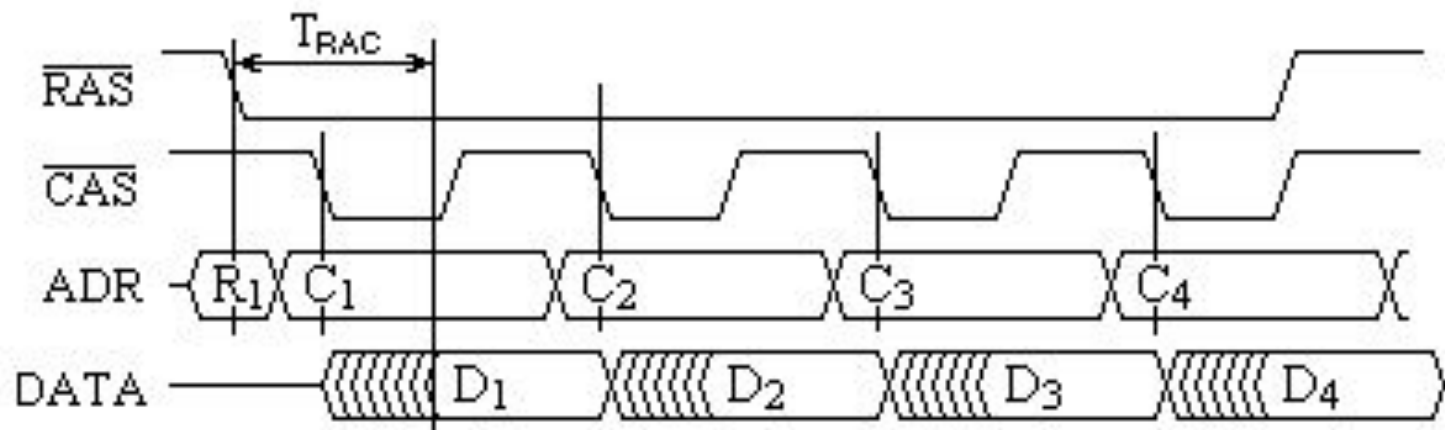


DRAM повышенного быстродействия первого поколения



Временная диаграмма цикла чтения последовательных адресов динамической памяти DRAM в режиме FPM

Timing: 5 – 3 – 3 – 3



Временная диаграмма цикла чтения последовательных адресов динамической памяти DRAM в режиме EDO

Timing: 5 – 2 – 2 – 2

Синхронные DRAM (SDRAM)

1. **CLK** – синхросигнал (по переднему фронту).
2. **CKE** (*Clock Enable*) разрешения (низкий – режим энергосбережения).
3. **CS** – сигнал, разрешающий декодирование команд
4. **BS0** и **BS1** (*Bank Select*) - сигналы выбора банка.
5. **DQM** - сигнал маски линий данных
6. **A10** - в момент подачи сигнала **CAS#** задает способ предзаряда строки банка.

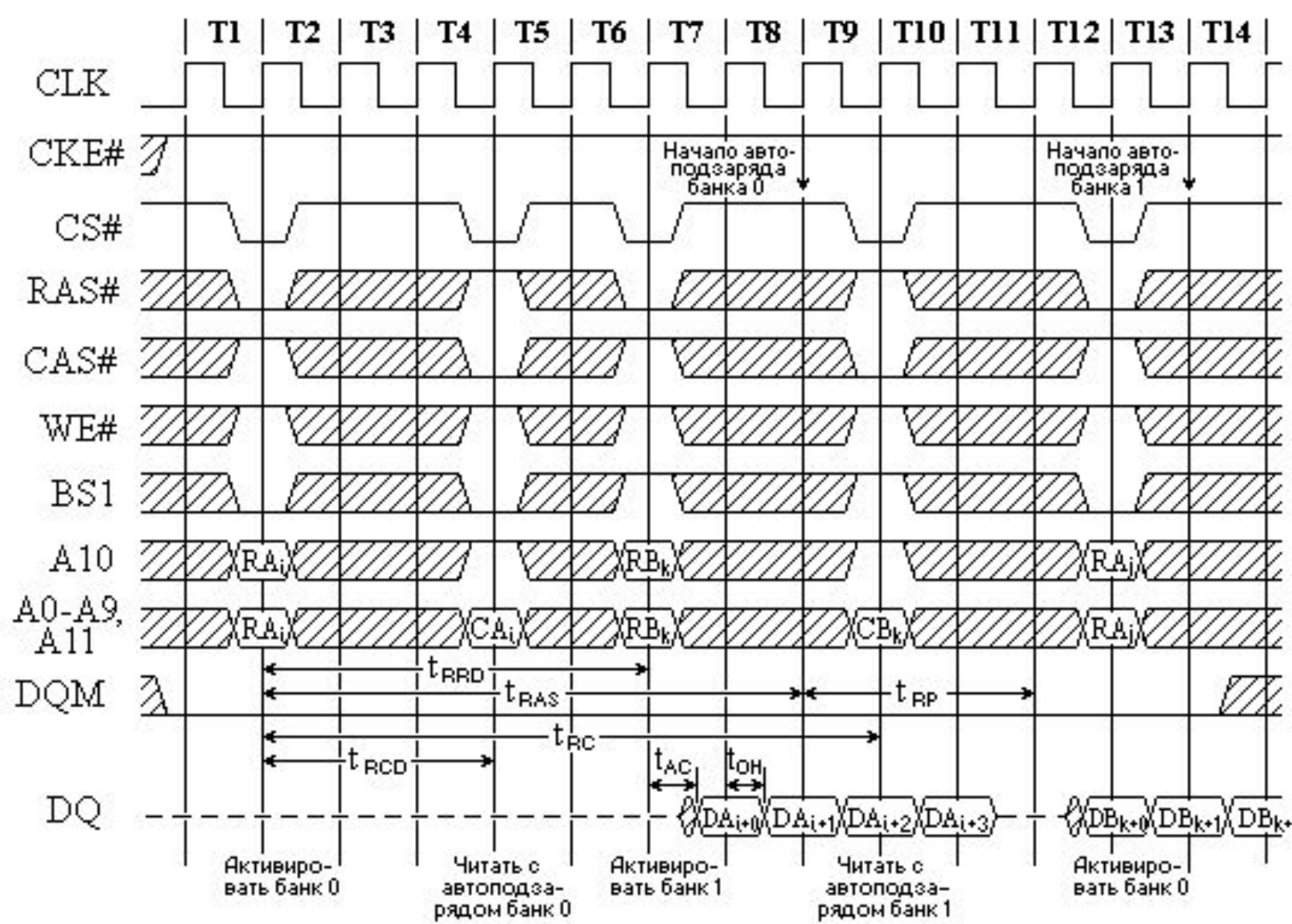
t_{CL} (CAS Latency) (2 – 2.5 – 3)T

t_{RCD} (RAS-to-CAS Delay) (2 – 3)T

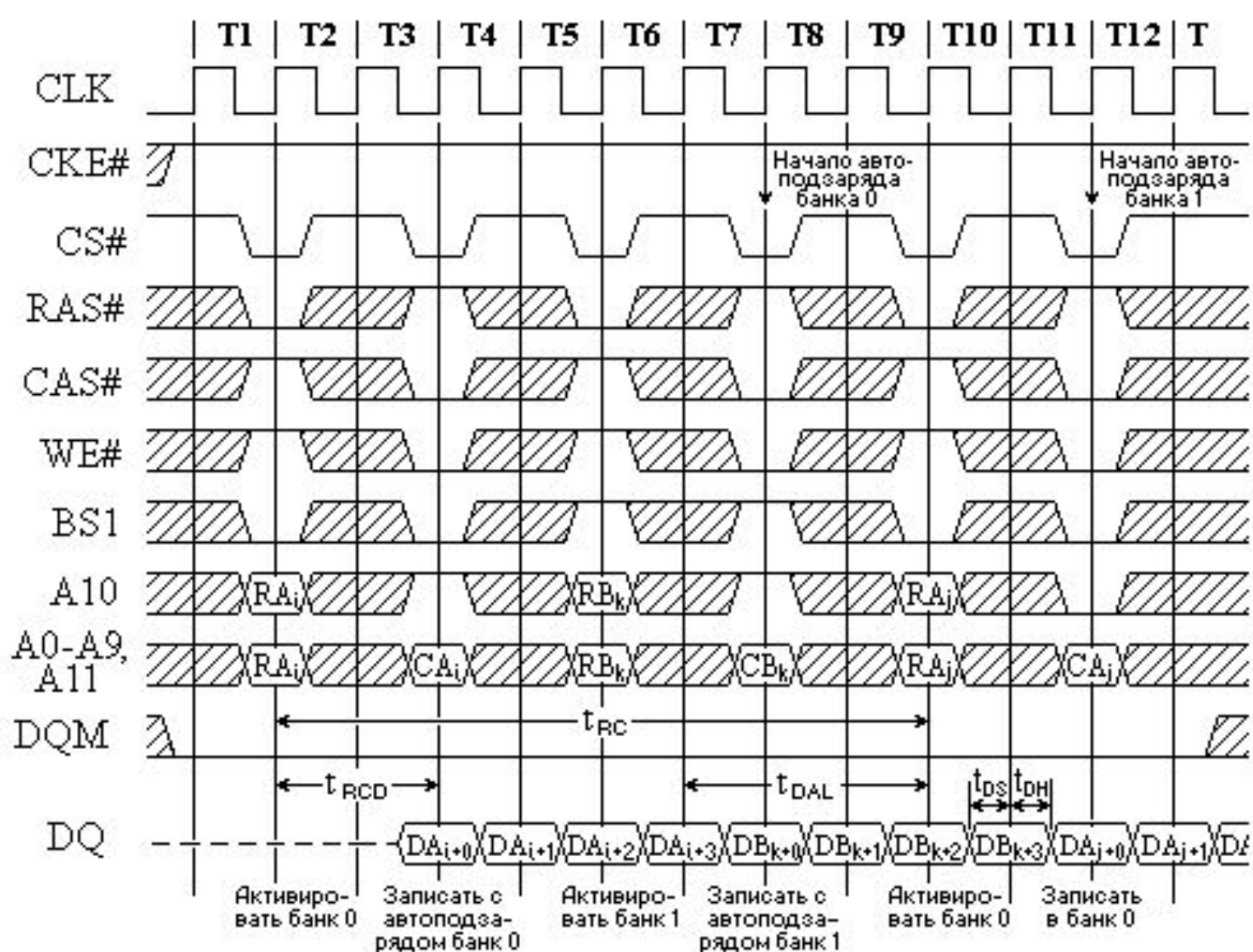
t_{RP} (RAS Precharge Time) (2 – 3)T

t_{AC} (Access from Clock) нс

t_{RC} (RAS Cycle Time) время цикла строки (7 – 8)T ($t_{RC} = t_{RAS} + t_{RP}$);

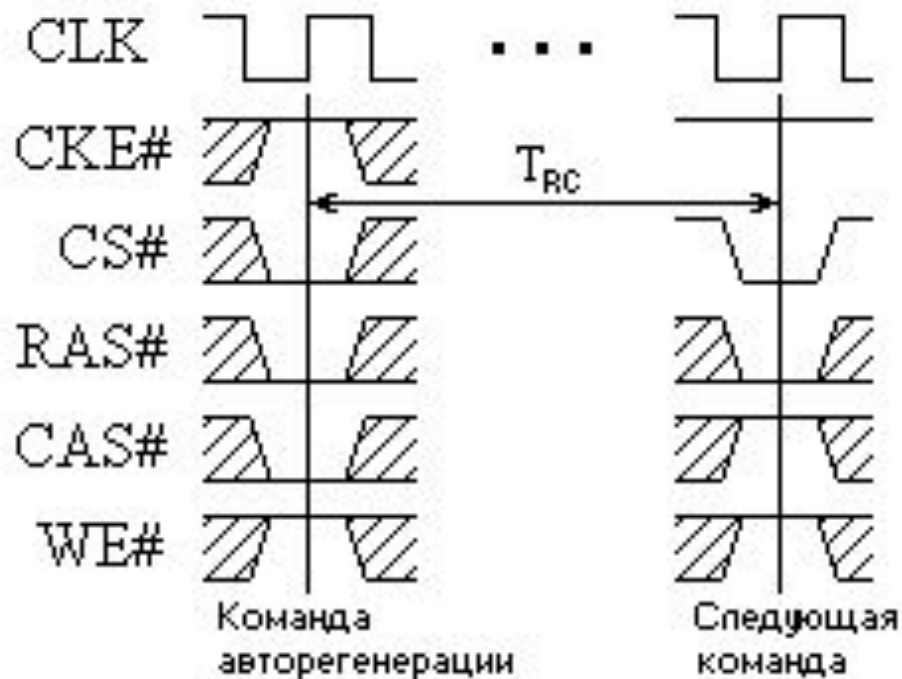


Временная диаграмма пакетного чтения из SDRAM (длина пакета = 4, задержка появления данных CAS Latency = 3)



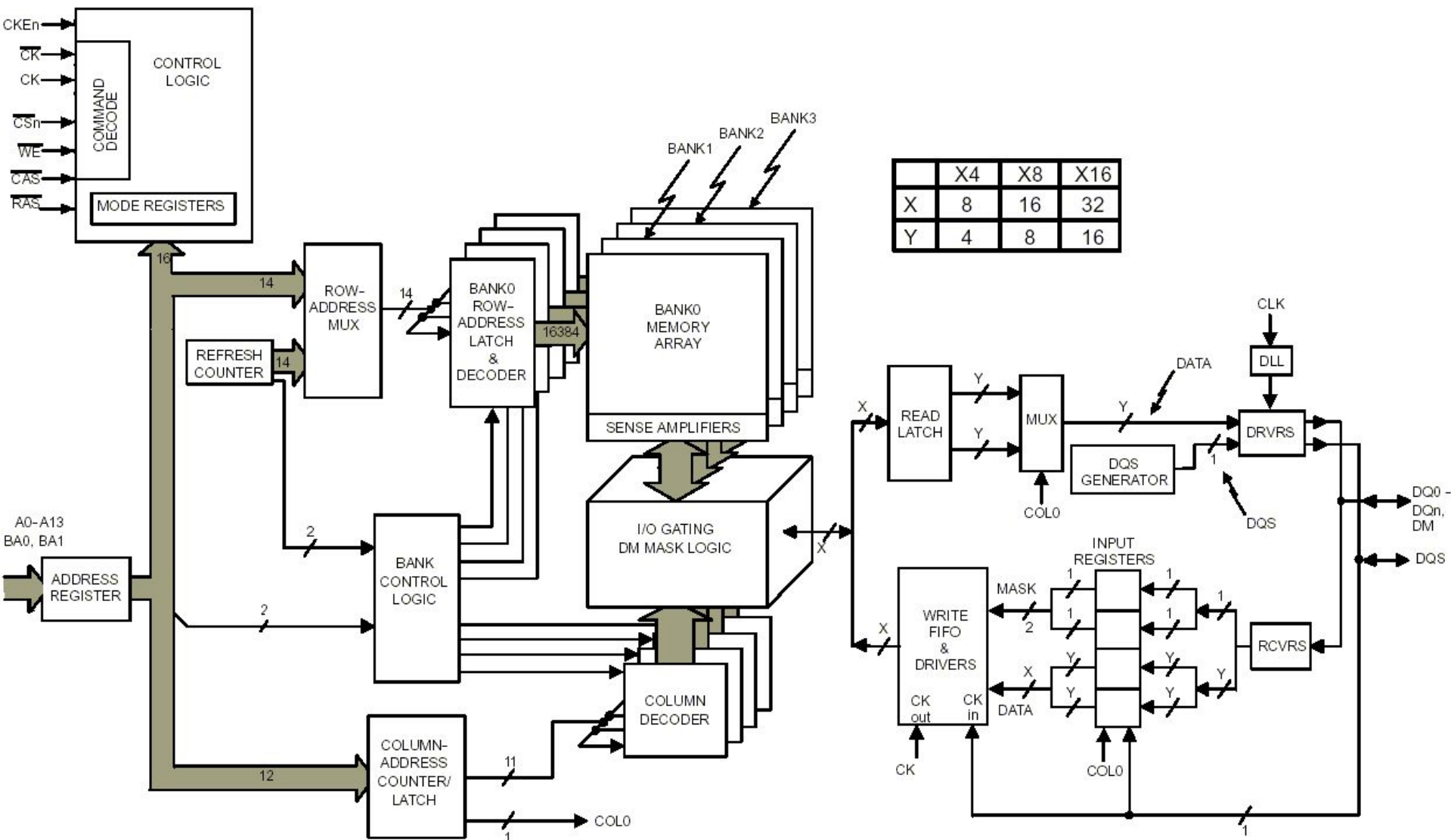
Временная диаграмма пакетной записи в SDRAM (длина пакета = 4, задержка появления данных CAS Latency = 2)

Регенерация (*refresh*) SDRAM



Временные диаграммы регенерации синхронной динамической памяти

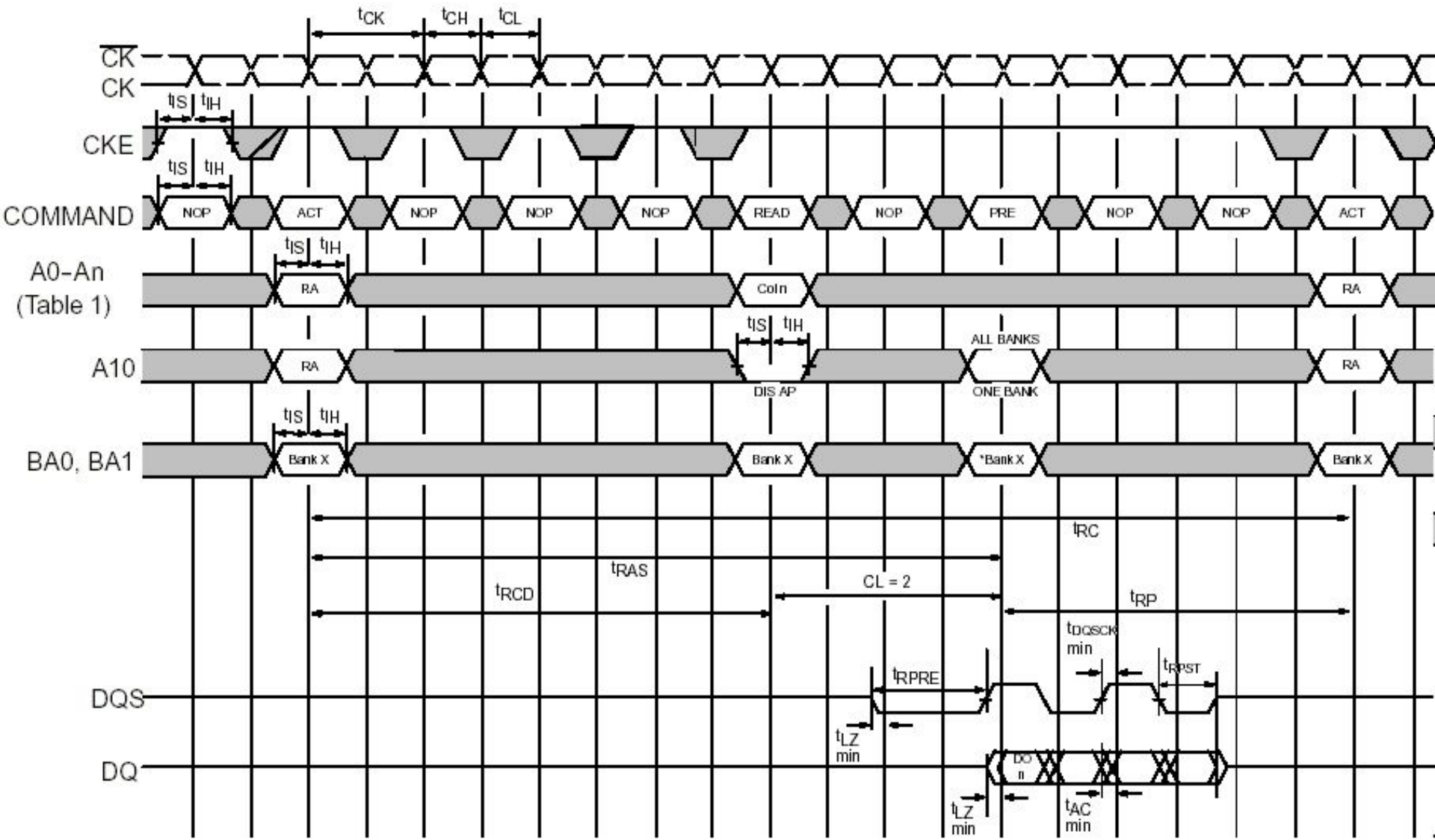
Структура DDR SDRAM



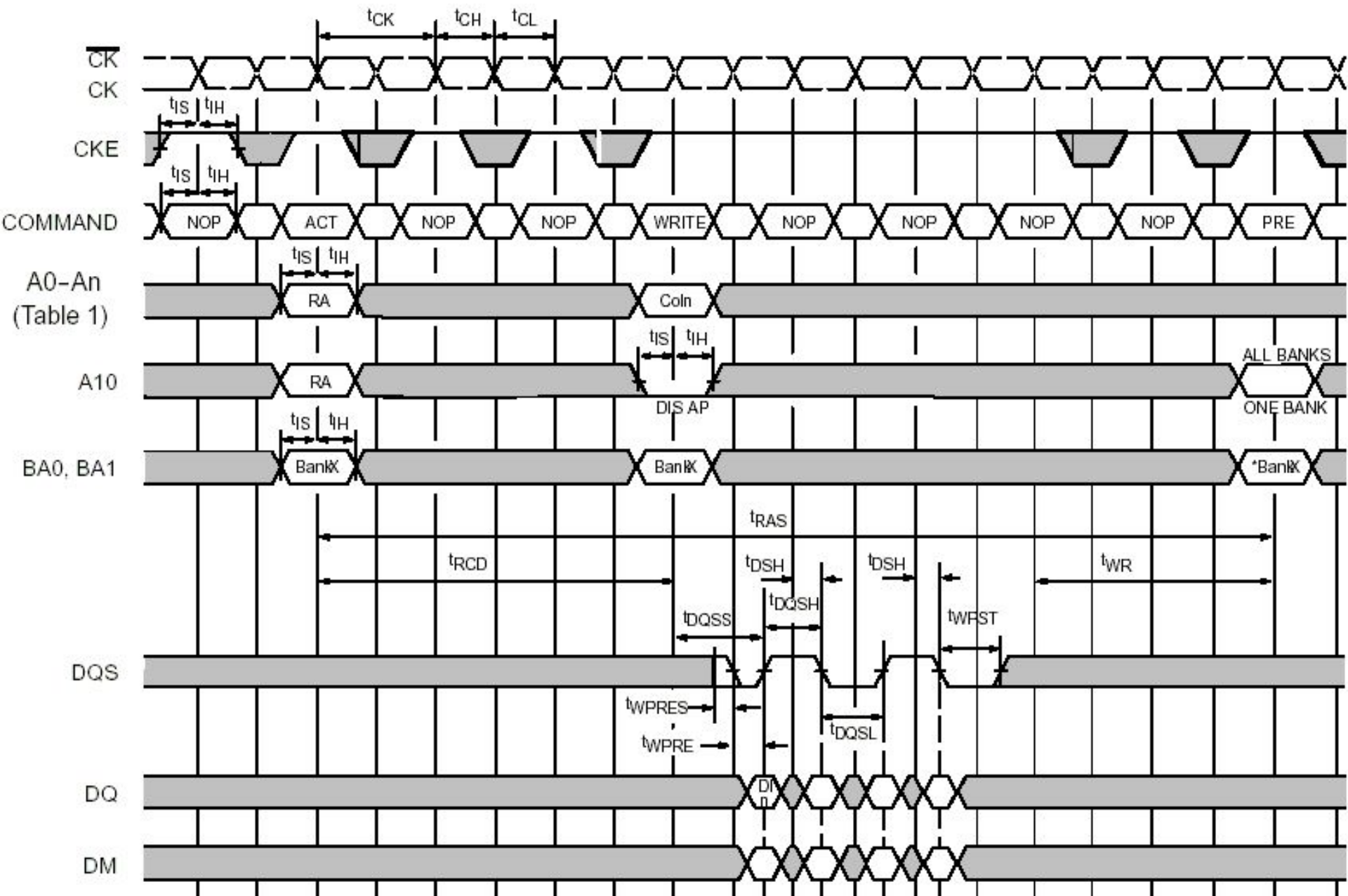
Режимы работы DDR SDRAM

NAME (Function)	\overline{CS}	\overline{RAS}	\overline{CAS}	\overline{WE}	ADDR
DESELECT (NOP)	H	X	X	X	X
NO OPERATION (NOP)	L	H	H	H	X
ACTIVE (Select bank and activate row)	L	L	H	H	Bank/Row
READ (Select bank and column, and start READ burst)	L	H	L	H	Bank/Col
WRITE (Select bank and column, and start WRITE burst)	L	H	L	L	Bank/Col
BURST TERMINATE	L	H	H	L	X
PRECHARGE (Deactivate row in bank or banks)	L	L	H	L	Code
AUTO refresh or Self Refresh (Enter self refresh mode)	L	L	L	H	X
MODE REGISTER SET	L	L	L	L	Op-Code

BANK READ ACCESS

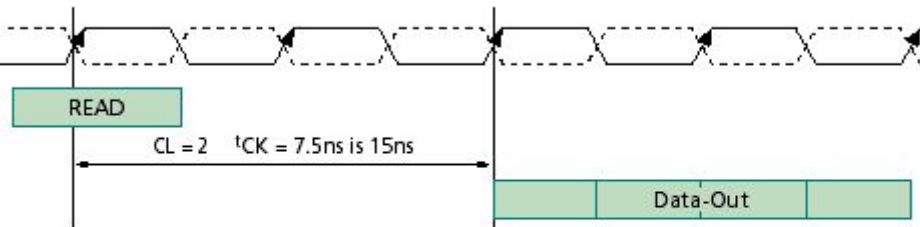


BANK WRITE ACCESS

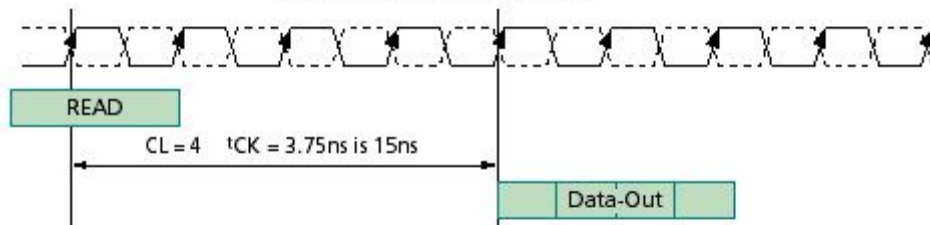


Особенности реализации DDR2 SDRAM

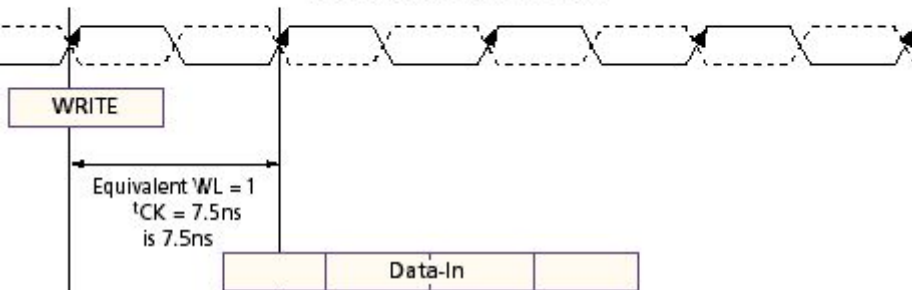
DDR READ at 266 MHz



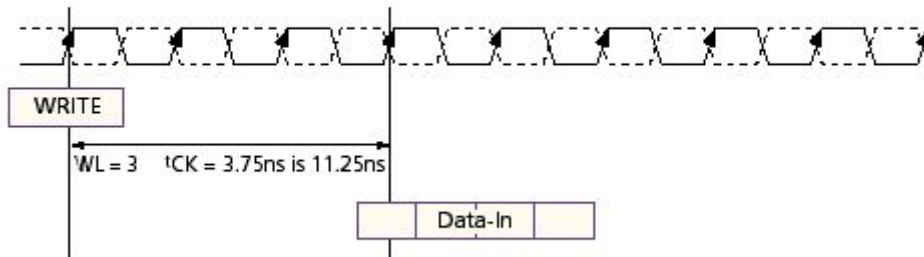
DDR2 READ at 533 MHz



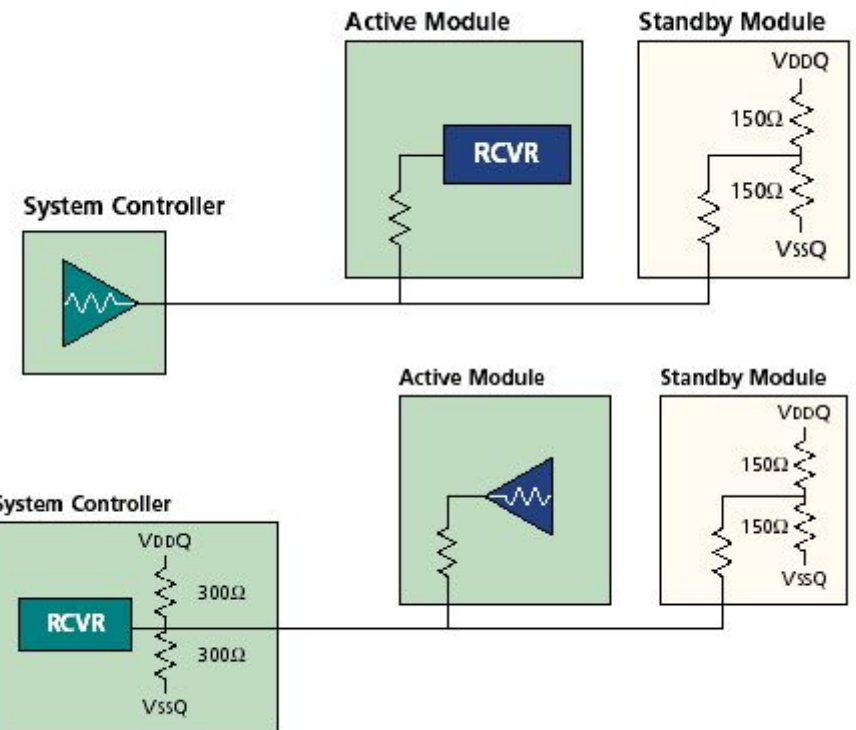
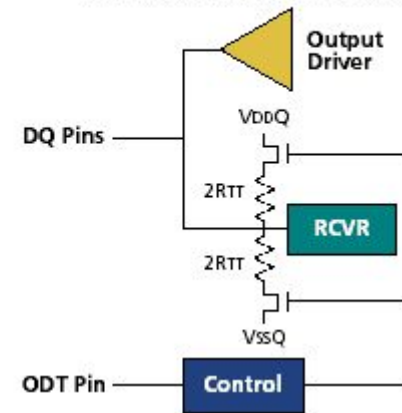
DDR WRITE at 266 MHz



DDR2 WRITE at 533 MHz



On-die termination (ODT)



Сравнительная характеристика DDR и DDR2 SDRAM

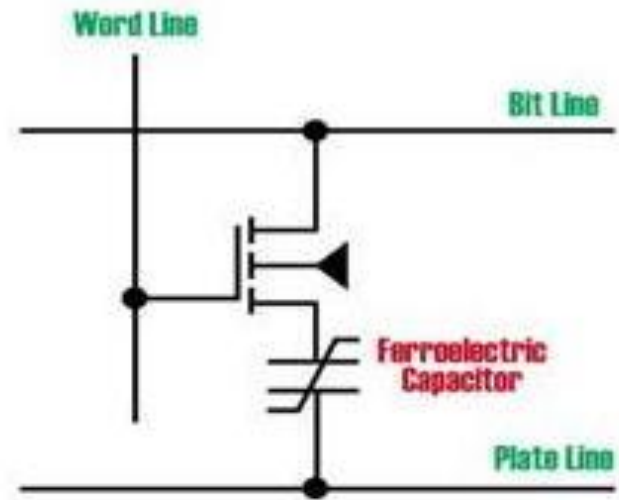
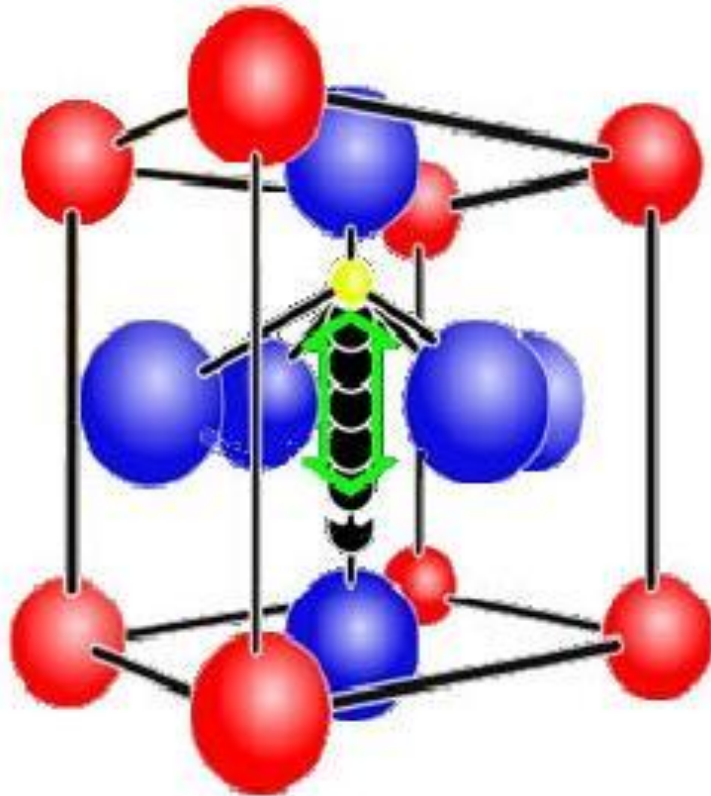
Feature/Option	DDR	DDR2
Data Transfer Rate	266, 333, 400 MHz	400, 533, 667, 800 MHz
Package	TSOP and FBGA	FBGA only
Operating Voltage	2.5V	1.8V
I/O Voltage	2.5V	1.8V
I/O Type	SSTL_2	SSTL_18
Densities	64Mb–1Gb	256Mb–4Gb
Internal Banks	4	4 and 8
Prefetch (MIN Write Burst)	2	4
CAS Latency (CL)	2, 2.5, 3 clocks	3, 4, 5 clocks
Additive Latency (AL)	no	0, 1, 2, 3, 4 clocks
READ Latency	CL	AL + CL
WRITE Latency	fixed	READ latency - 1 clock
I/O Width	x4/ x8/ x16	x4/ x8/ x16
Output Calibration	none	OCD
Data Strokes	bidirectional strobe (single ended)	bidirectional strobe (single ended or differential) with RDQS
On-Die Termination	none	selectable
Burst Lengths	2, 4, 8	4, 8

Модули оперативной памяти

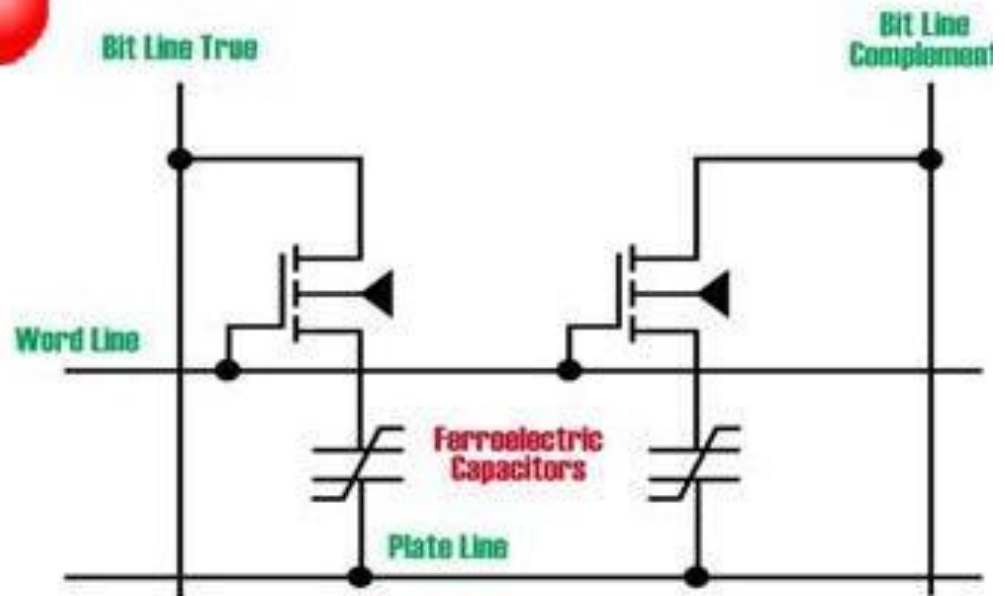
Модуль памяти	Частота шины, МГц			
	100	133	166	200
SDRAM	PC100	-	-	-
DDR SDRAM	PC1600	PC2100	PC2700	PC3200
DDR2 SDRAM	PC3200	PC4300	PC5400	PC6400

SPD (Serial Presence Detect) - последовательный способ идентификации

Запоминающий элемент FRAM (ферроэлектрических)

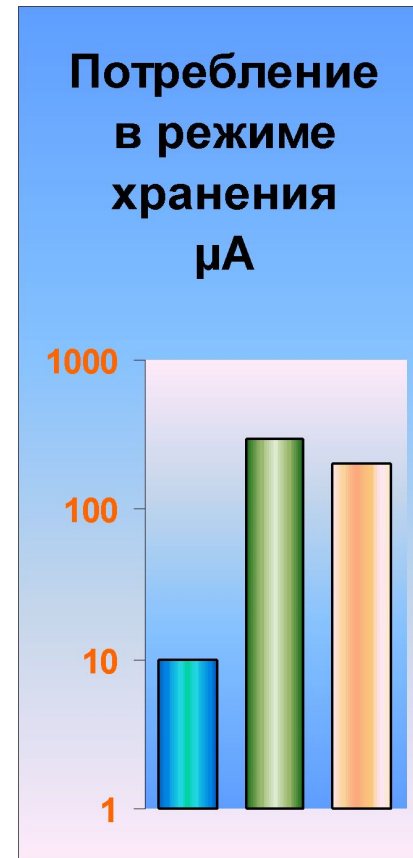
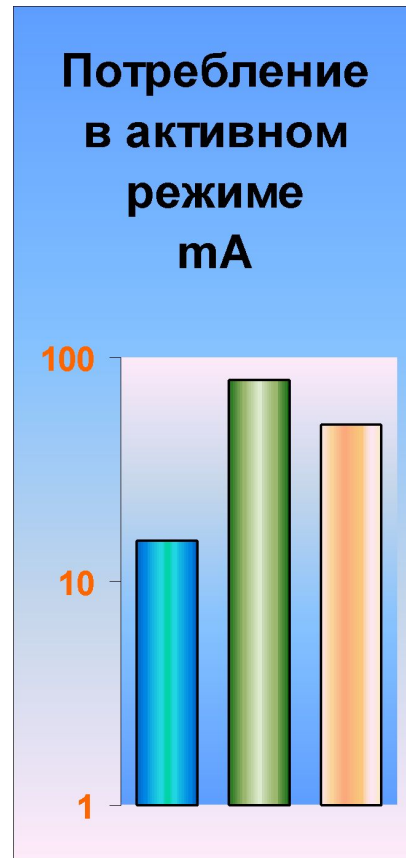
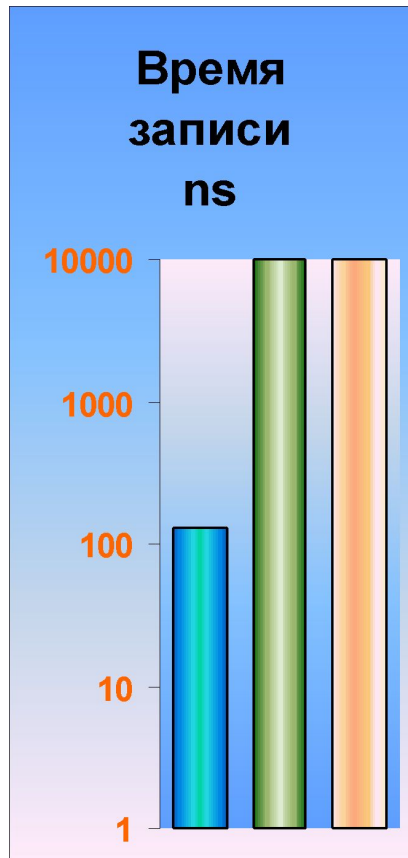
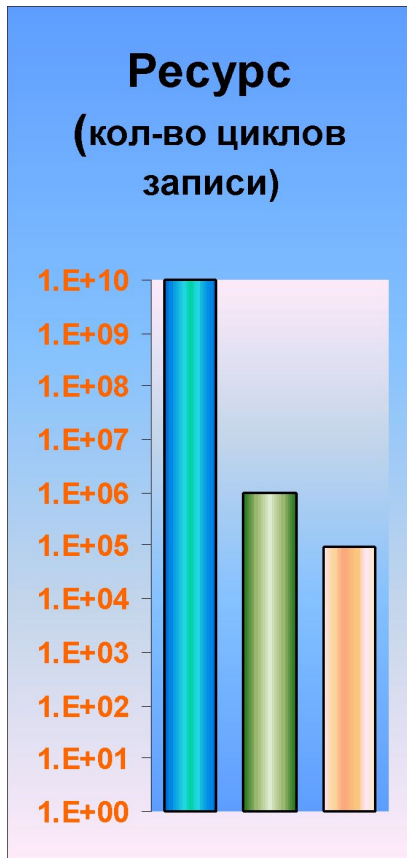


1-Transistor/1-Capacitor FRAM Cell



2-Transistor/2-Capacitor FRAM Cell

Сравнительные характеристики



FRAM
EEPROM
FLASH

Производитель	Наименование	Ток хранения	Ток актив.	Ресурс циклов R/W	Время записи байта	Время записи массива
Ramtron	FM24C16	10µA	150µA	1E10	72µS	47mS
Atmel	AT24C16	18µA	3mA	1E6	10mS	1.3sec
ST	ST24C16	300µA	2mA	1E6	10mS	1.3sec
Microchip	24AA16	100µA	3mA	1E6	10mS	1.3sec
Xicor	X24C16	150µA	3mA	1E5	10mS	1.3sec