

Программируемые логические устройства

Классические ПЛМ

Способы достижения универсальности компонентов

- Программный. СБИС обрабатывают цифровые данные по заданной программе (микропроцессоры).
- Аппаратный. Состав и назначение СБИС определяется конечным приложением (программируемая логика).

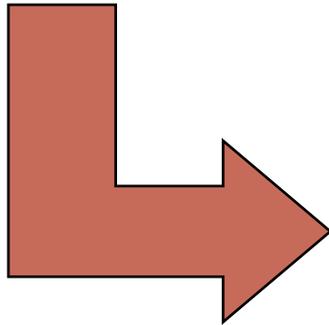
Двухуровневая логика

Every logic function can be expressed in sum-of-products format (AND-OR)

$$f_0 = x_0x_1 + \bar{x}_2$$

$$f_1 = x_0x_1x_2 + \bar{x}_2 + \bar{x}_0x_1$$

minterm



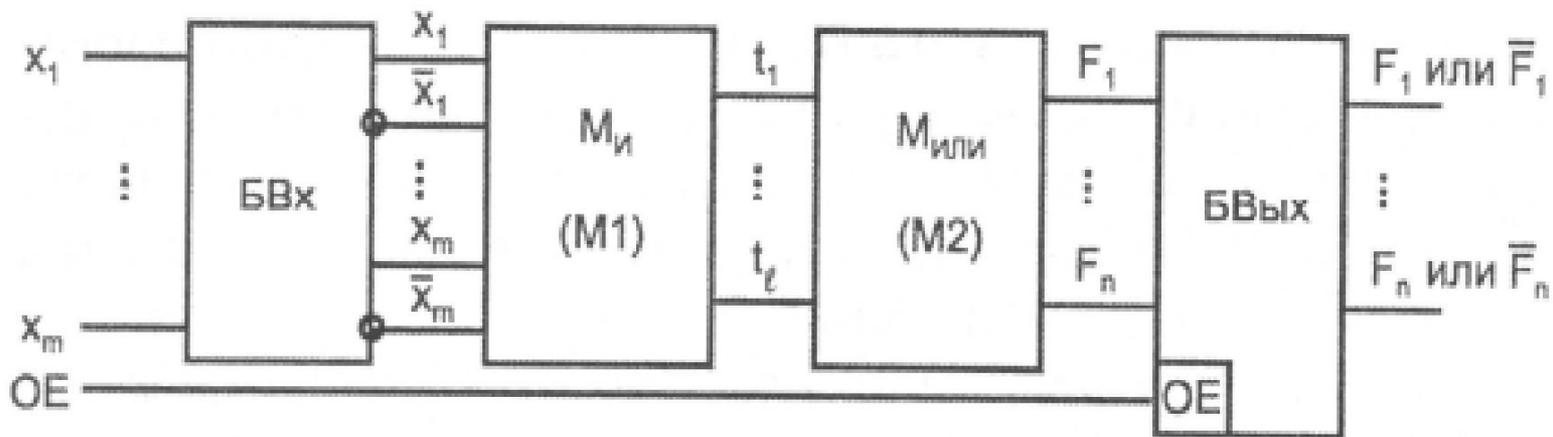
Inverting format
(NOR-NOR) more
effective

$$\bar{f}_0 = \overline{(\bar{x}_0 + \bar{x}_1) + \bar{x}_2}$$

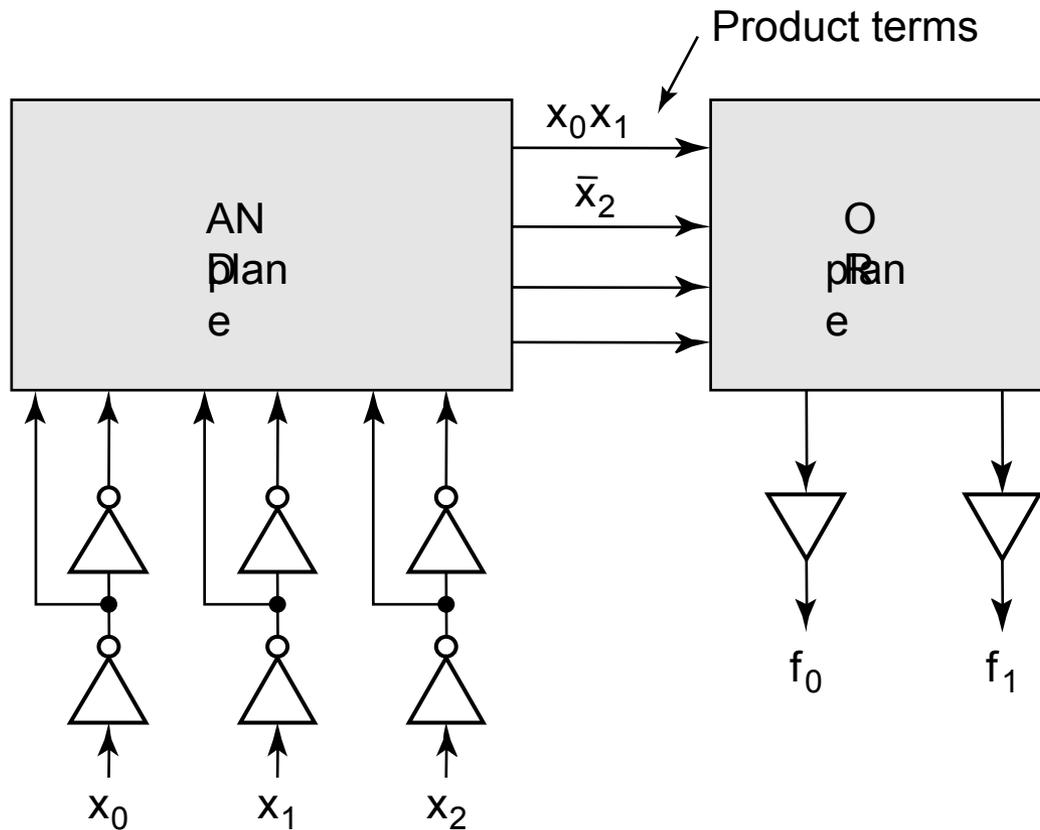
$$\bar{f}_1 = \overline{(\bar{x}_0 + \bar{x}_1 + \bar{x}_2) + \bar{x}_2 + (x_0 + x_1)}$$

Программируемые логические матрицы (ПЛМ)

- Основой ПЛМ служит последовательность программируемых матриц элементов И и ИЛИ. В их структуру входят также блоки входных и выходных буферных каскадов (БВх и БВых).



Архитектура ПЛМ

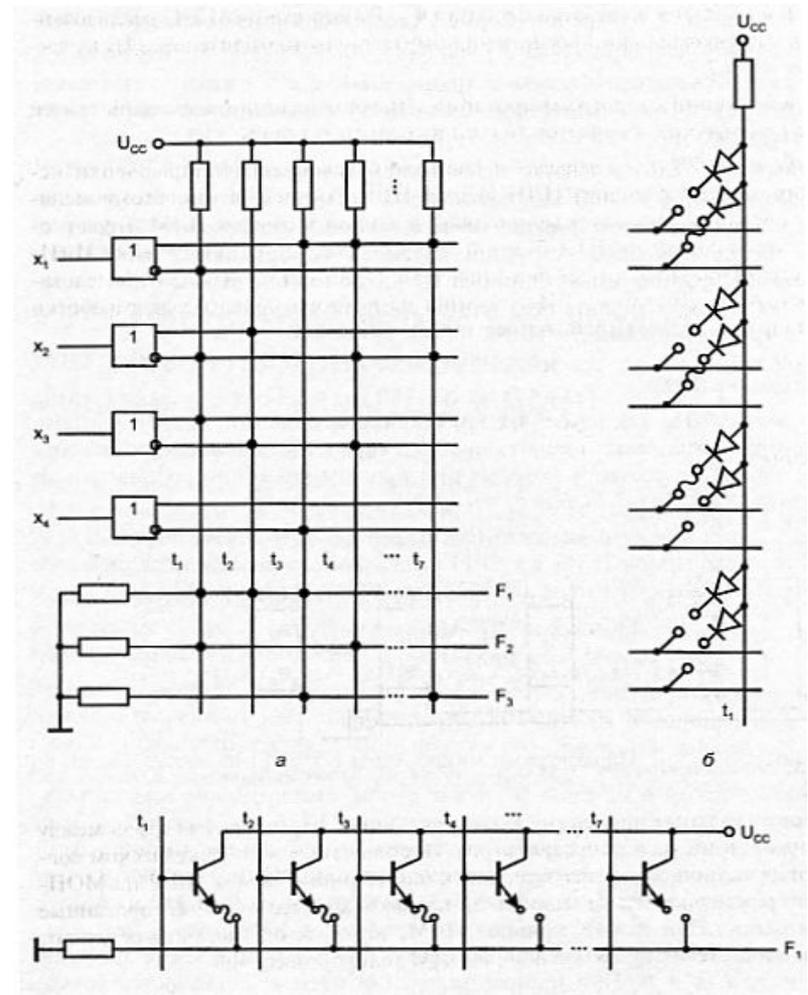


Программируемые логические матрицы (ПЛМ)

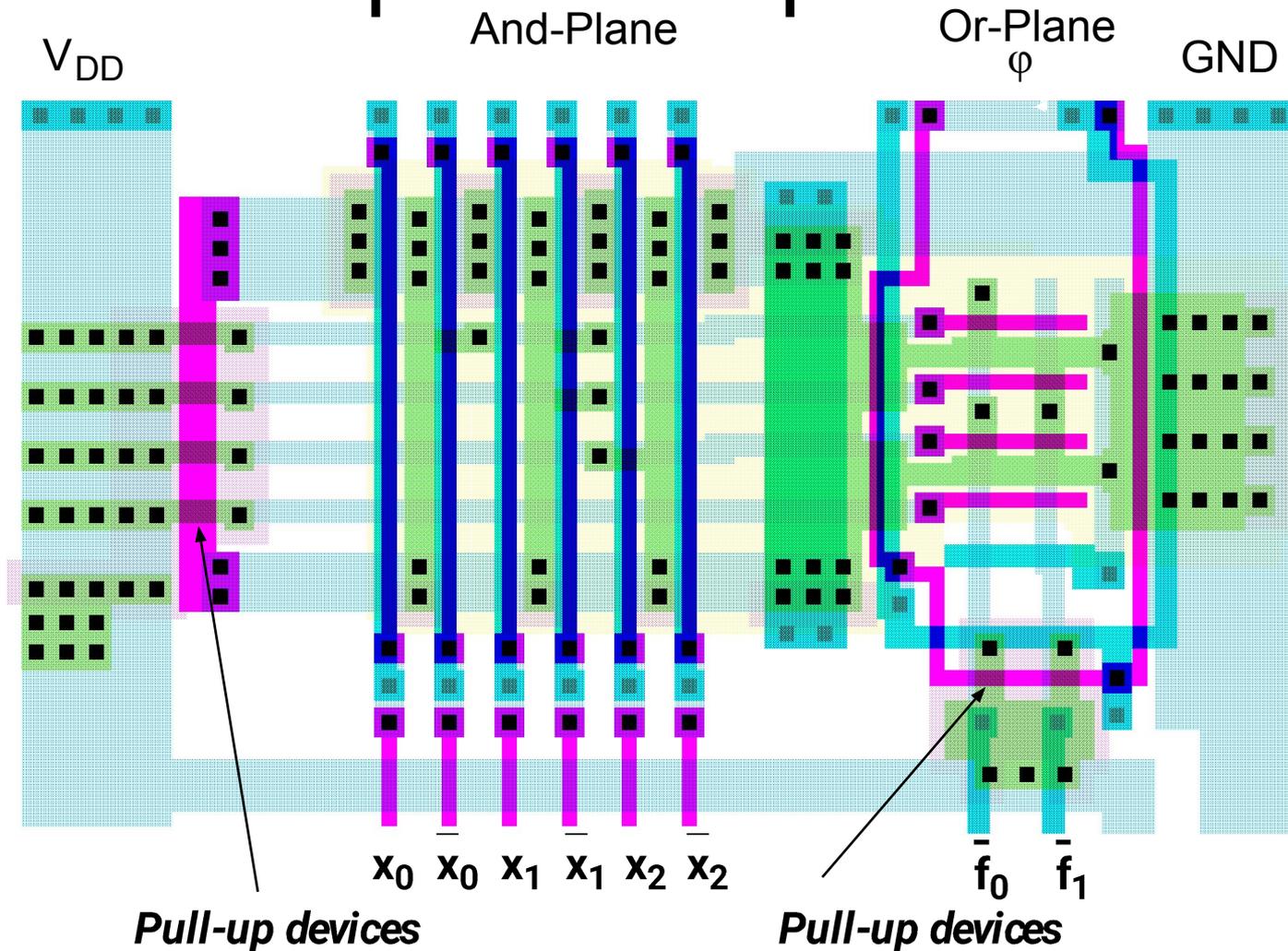
- Основными параметрами ПЛМ являются число входов m , число термов l и число выходов n .
- **Терм** – конъюнкция, связывающая m входных переменных, представленных в прямой или инверсной форме. Число формируемых термов равно числу конъюнкторов (числу выходов матрицы И).
- Термы подаются на входы дизъюнкторов (входы матрицы ИЛИ), формирующих n выходных функций.
- ПЛМ реализует **дизъюнктивную нормальную форму** (ДНФ).

Схемотехника ПЛМ

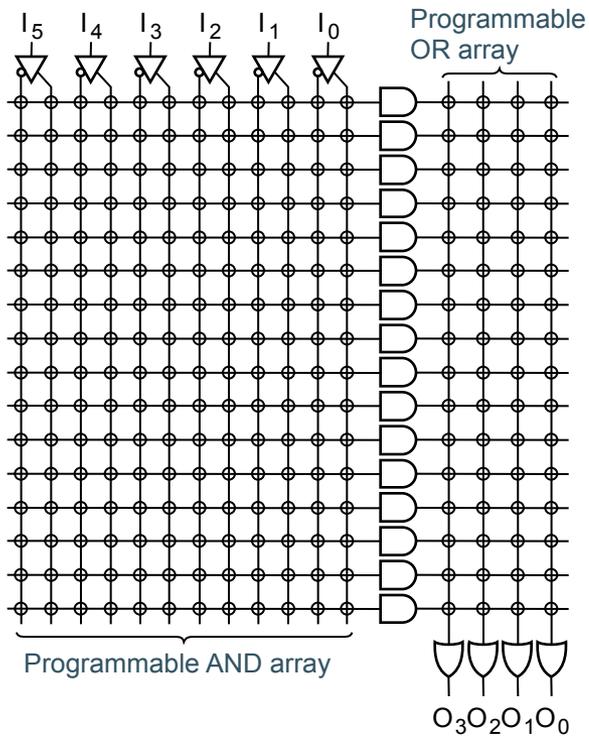
- Упрощенный вид биполярной ПЛМ
- Цепь выработки термов – диодная схема И
- Матрица ИЛИ формируется транзисторами, включенными по схеме эмитерных повторителей



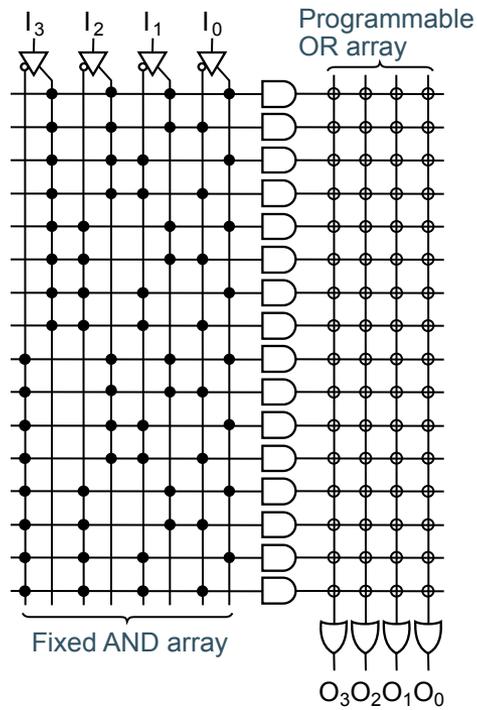
Реализация ПЛМ на транзисторах



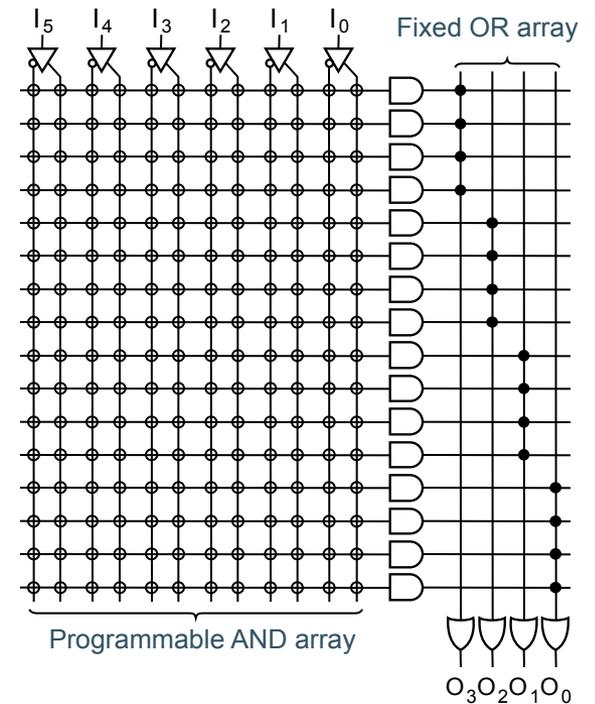
Способы реализации



ПЛМ



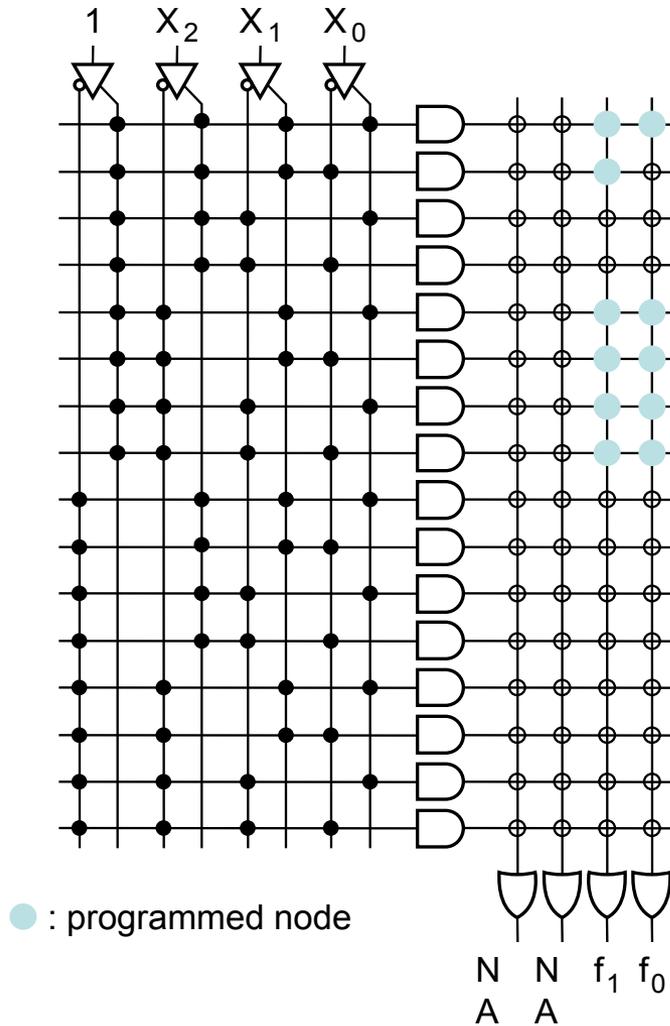
ПЛЗ



ПМЛ

- ⊕ Indicates programmable connection
- Indicates fixed connection

Programming a PROM

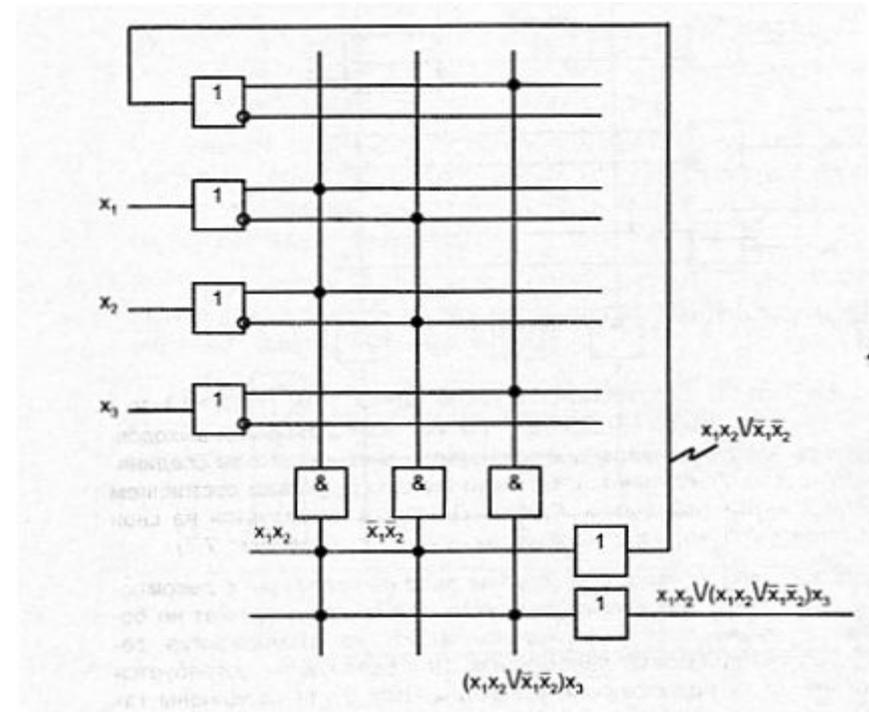


$$f_0 = x_0x_1 + \overline{x_2}$$

$$f_1 = x_0x_1x_2 + \overline{x_2} + \overline{x_0}x_1$$

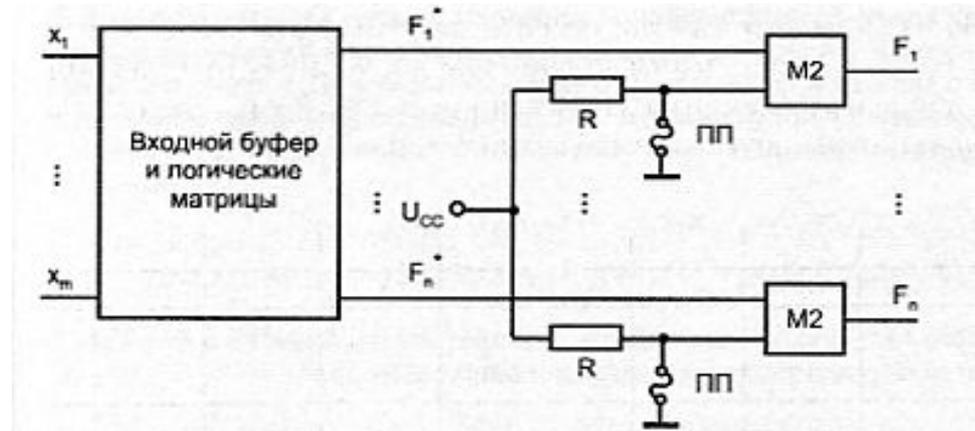
Схемотехника ПЛМ

- Воспроизведение скобочных форм переключательных функций – для этого в ПЛМ должны присутствовать обратные связи



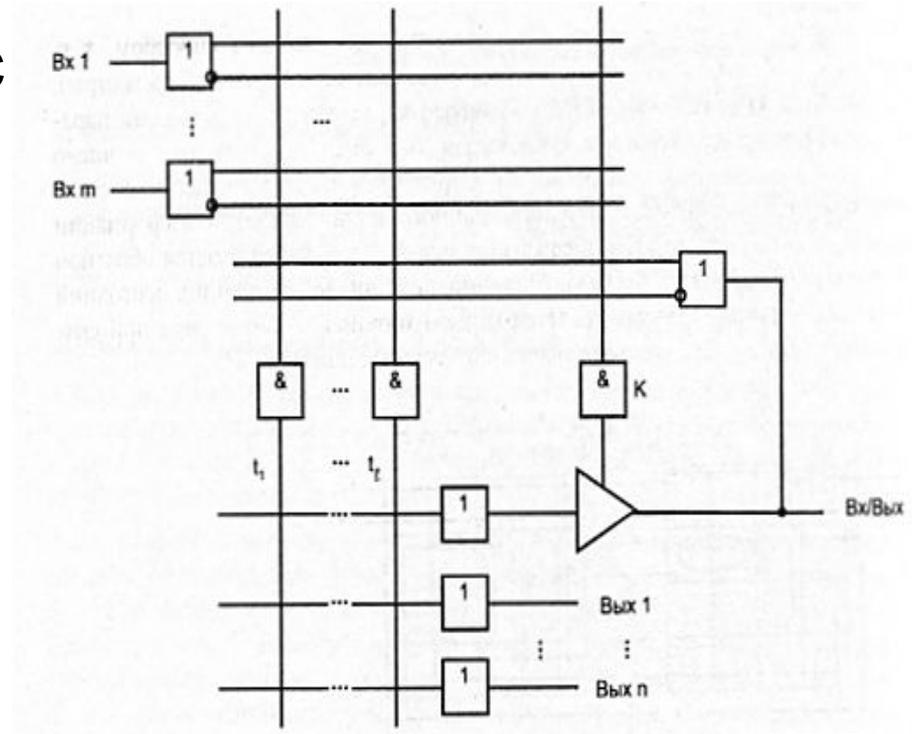
Схемотехника ПЛМ

- Для формирования прямого или инверсного выходного сигнала используются сумматоры по модулю 2



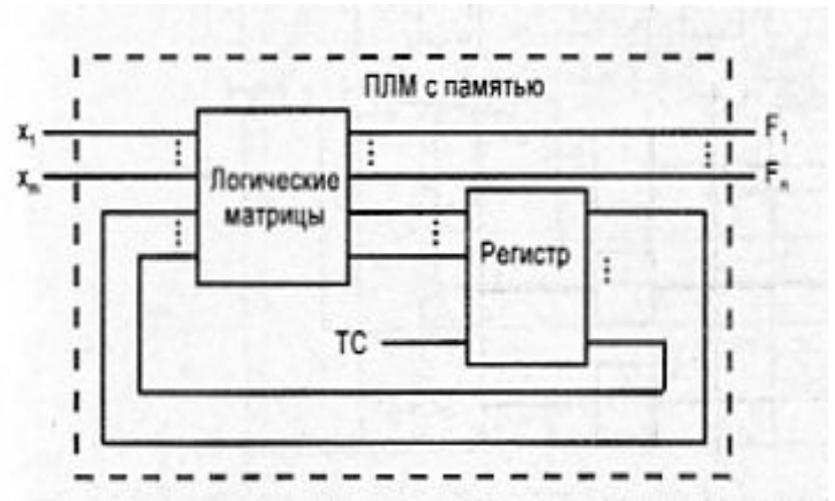
Схемотехника ПЛМ

- Расширение возможностей ПЛМ с использованием элементов ввода/вывода с тремя состояниями



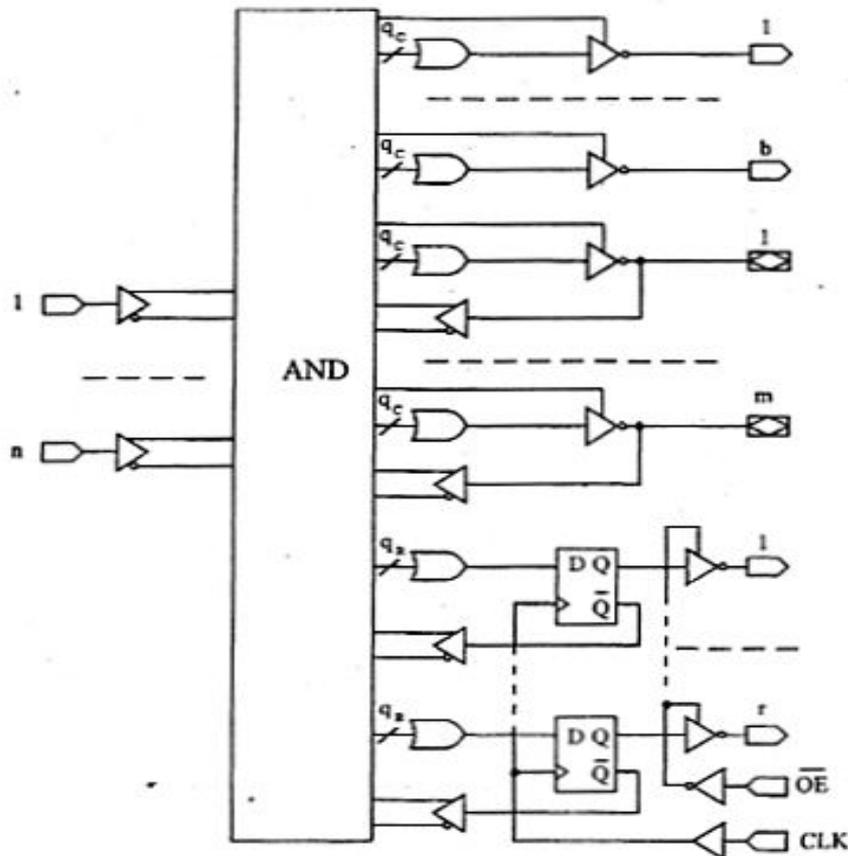
Схемотехника ПЛМ

- Добавление к комбинационной части триггеров позволяет создавать устройства с памятью



Обобщенная структура классической ПЛМ

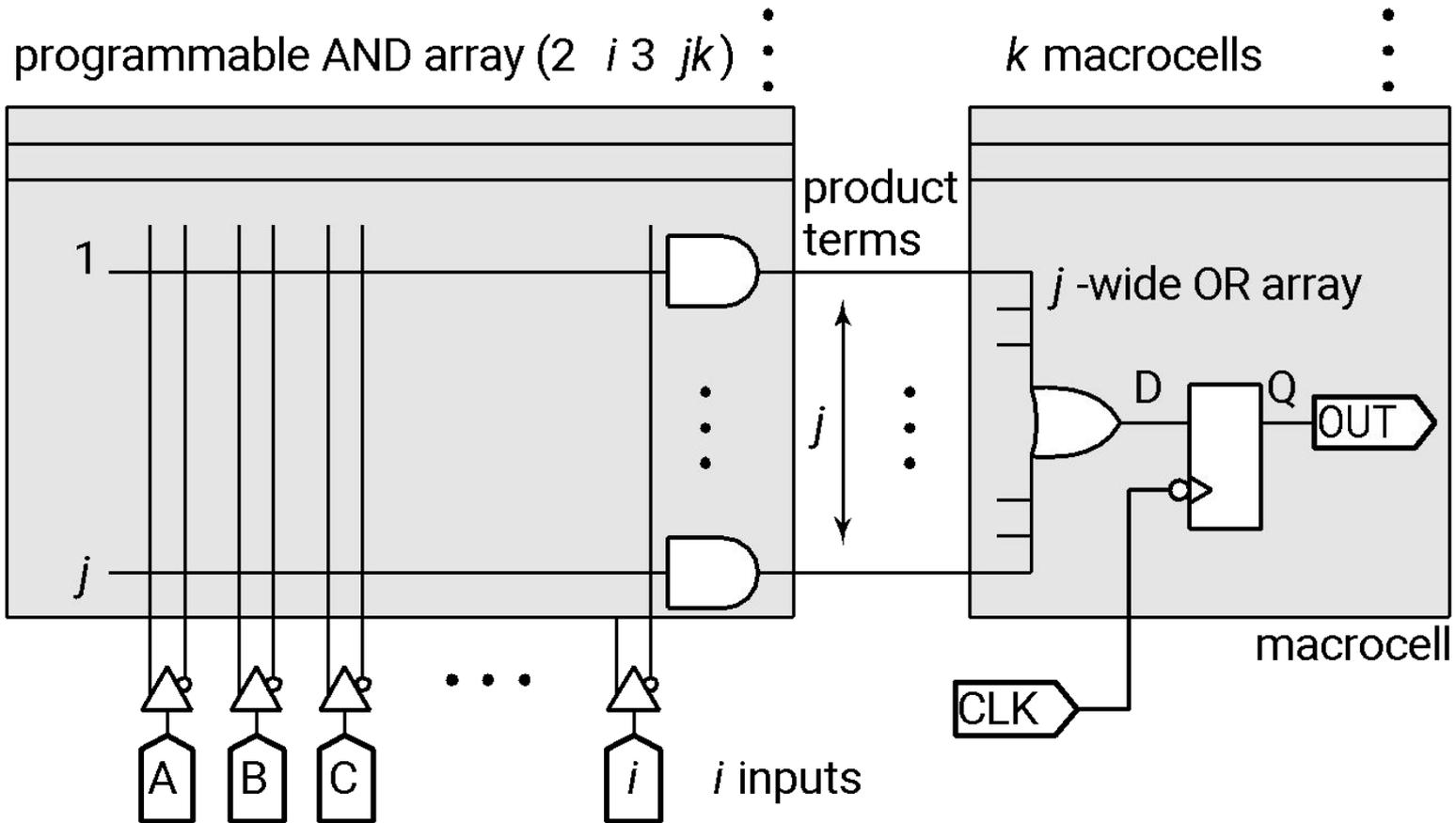
1.2. Стандартные PLD



Дальнейшее развитие ПЛМ

- Недостаток классических ПЛМ – фиксированная настройка выходных макроячеек.
- Совершенствование архитектуры выходных макроячеек привело к созданию универсальных ПЛМ.

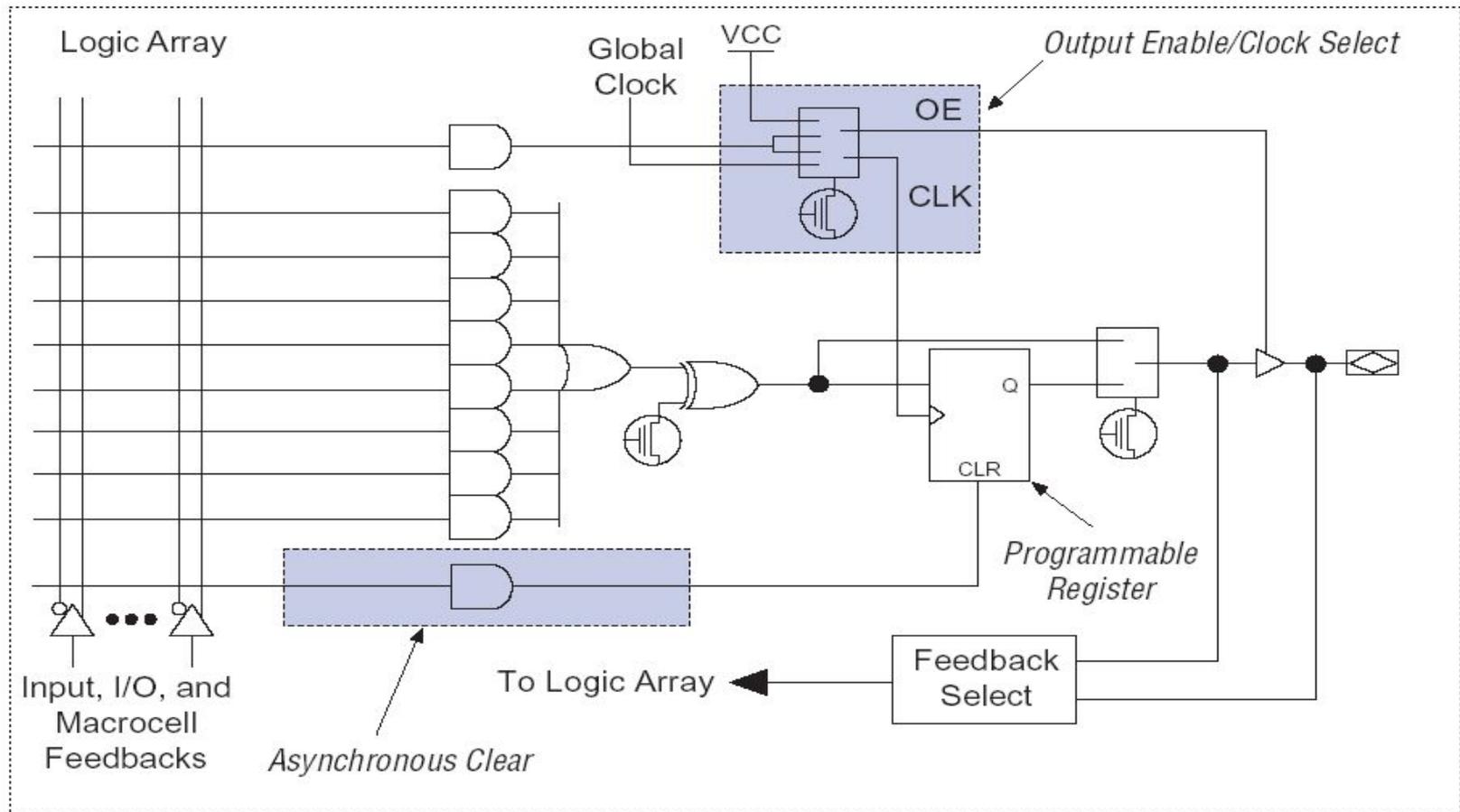
Переход к универсальной ПЛМ



i inputs, j minterms/macrocell, k macrocells

Архитектура логической ячейки классической универсальной ПЛМ

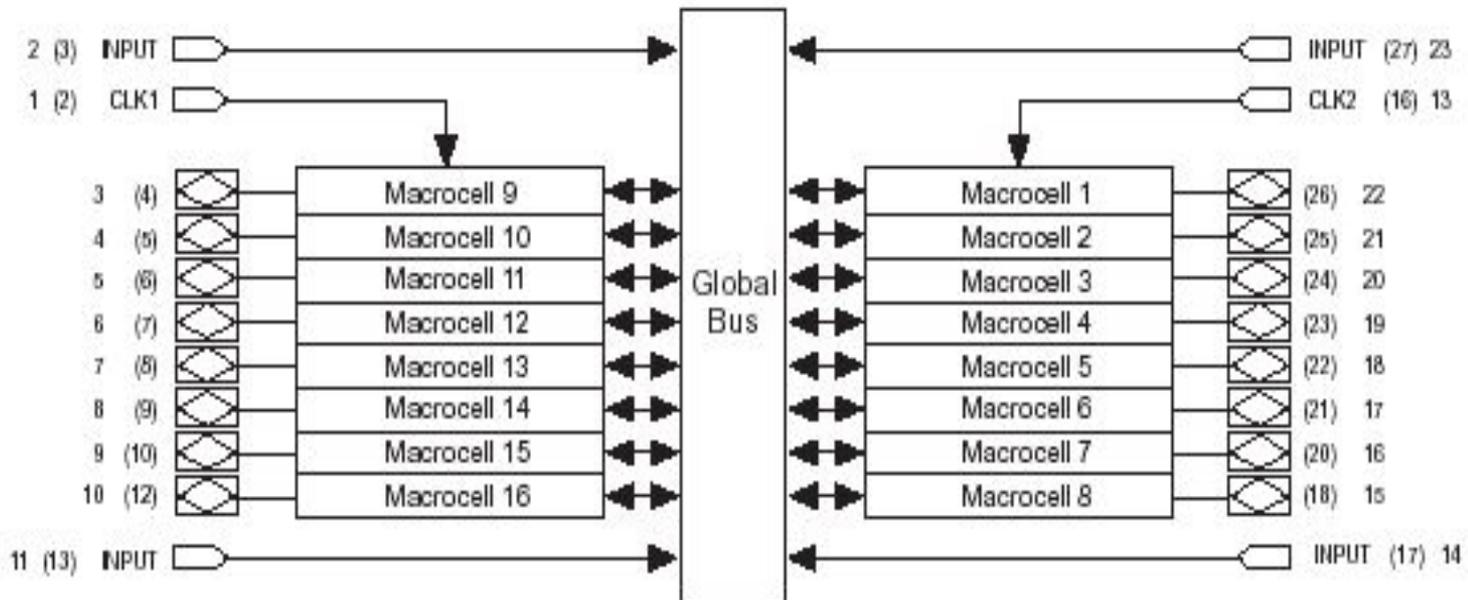
Figure 1. Classic Device Macrocell



Архитектура классической универсальной ПЛМ

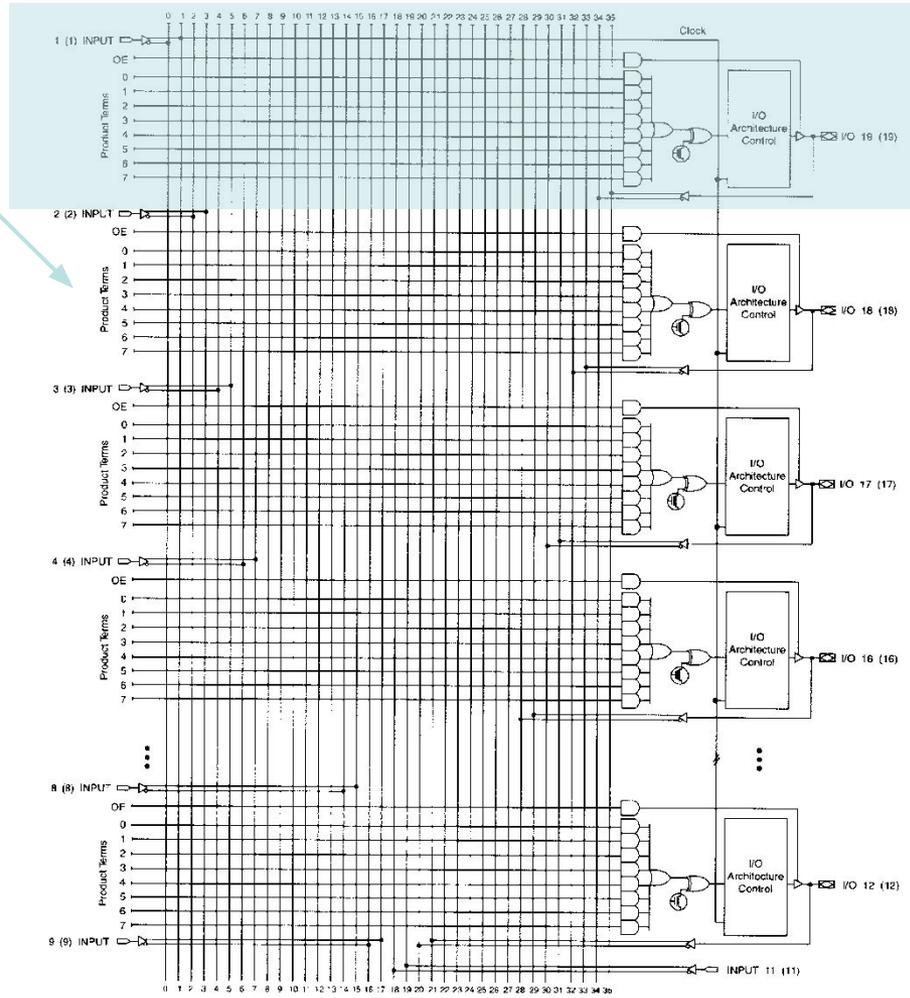
Figure 8. EP610 Block Diagram

Numbers without parentheses are for DIP and SOIC packages. Numbers in parentheses are for J-lead packages.



Универсальная ПЛМ Atmel

Primary inputs

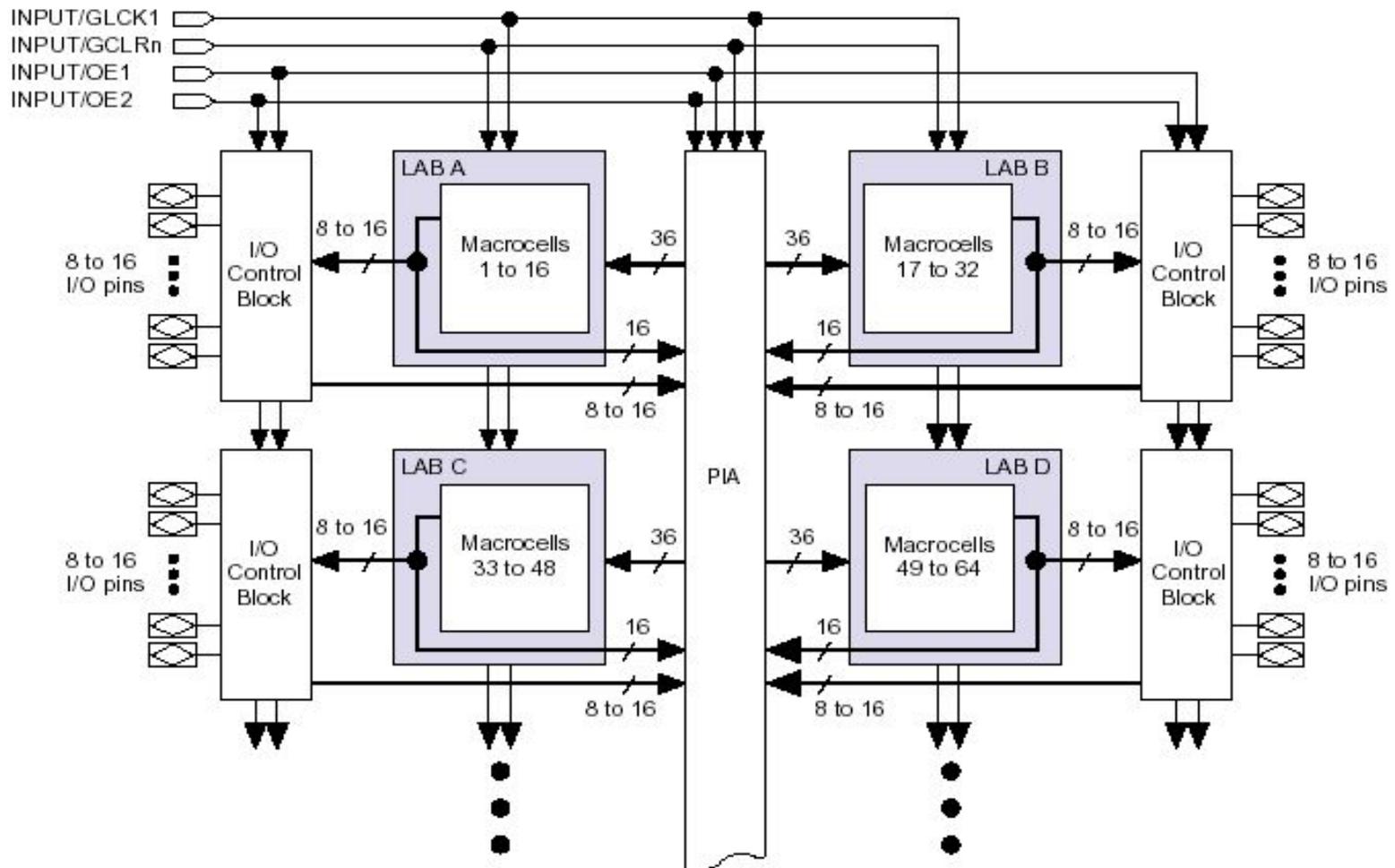


Macrocell

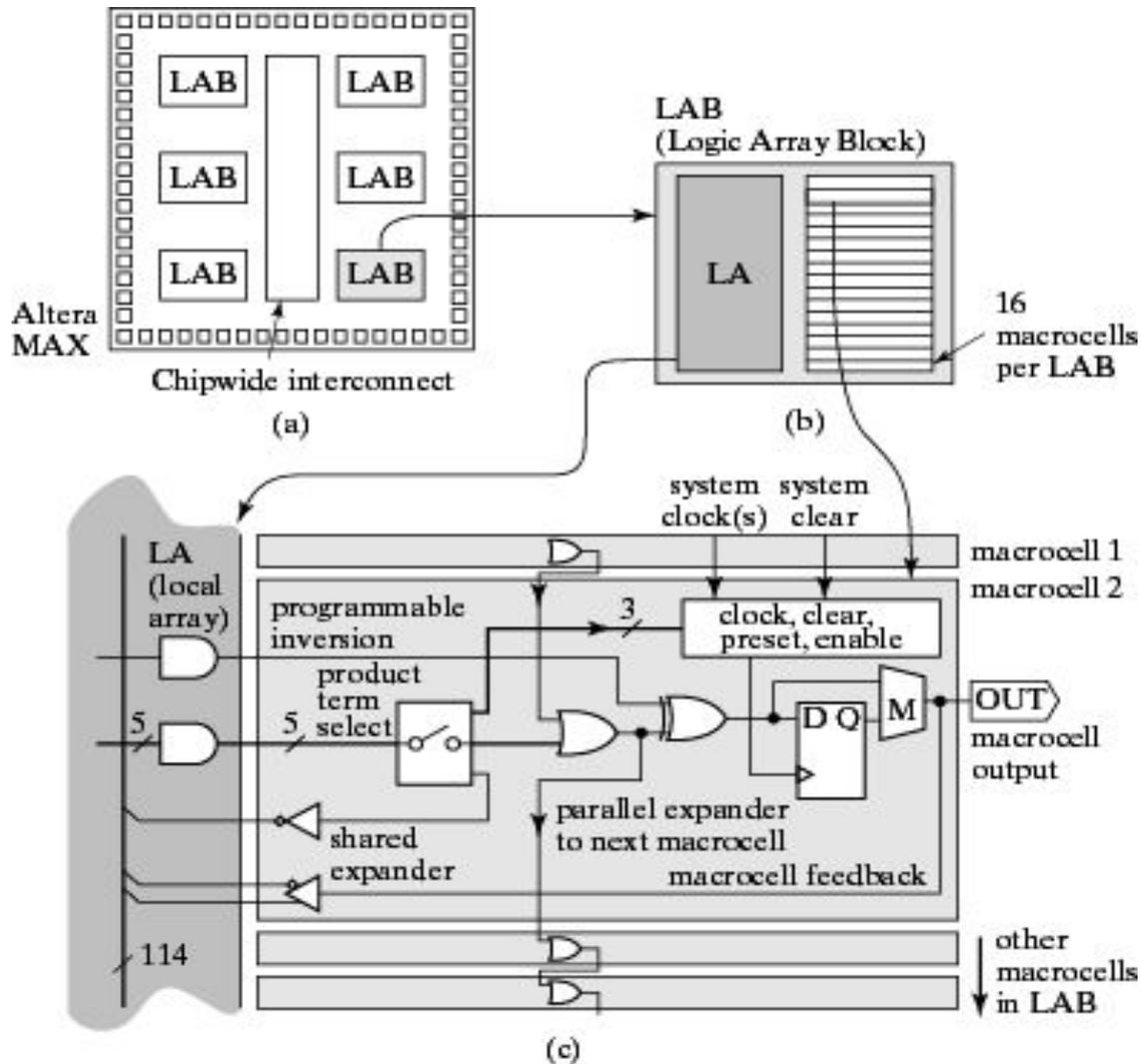
Сложные программируемые логические интегральные схемы (CPLD)

- СПЛИС (CPLD) являются дальнейшим развитием структур ПЛМ
- Архитектурно CPLD состоят из центральной коммутационной матрицы, множества функциональных логических блоков (универсальных ПЛМ) и блоков ввода/вывода на периферии кристалла.
- Ведущими производителями CPLD являются компании ALTERA, Xilinx, Atmel, Vantis, Cypress Semicond. и др.

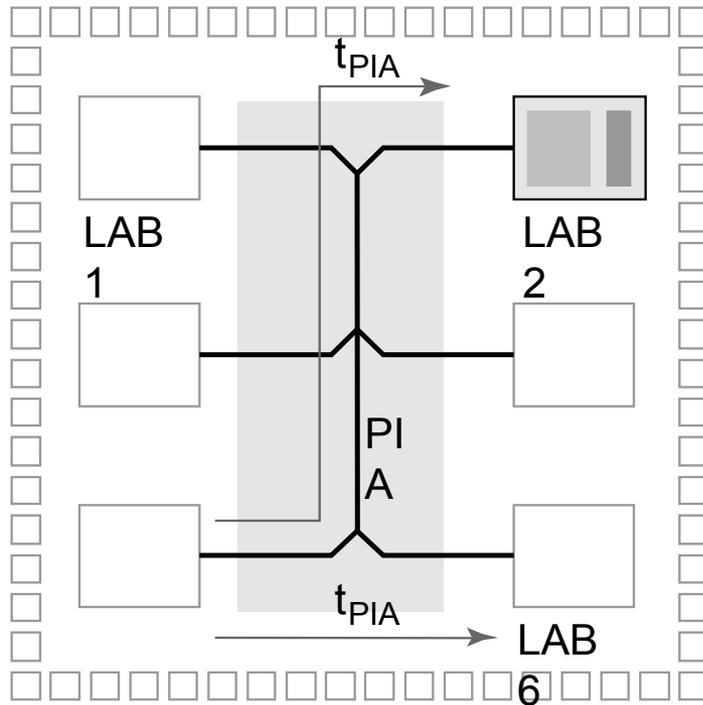
Структура CPLD



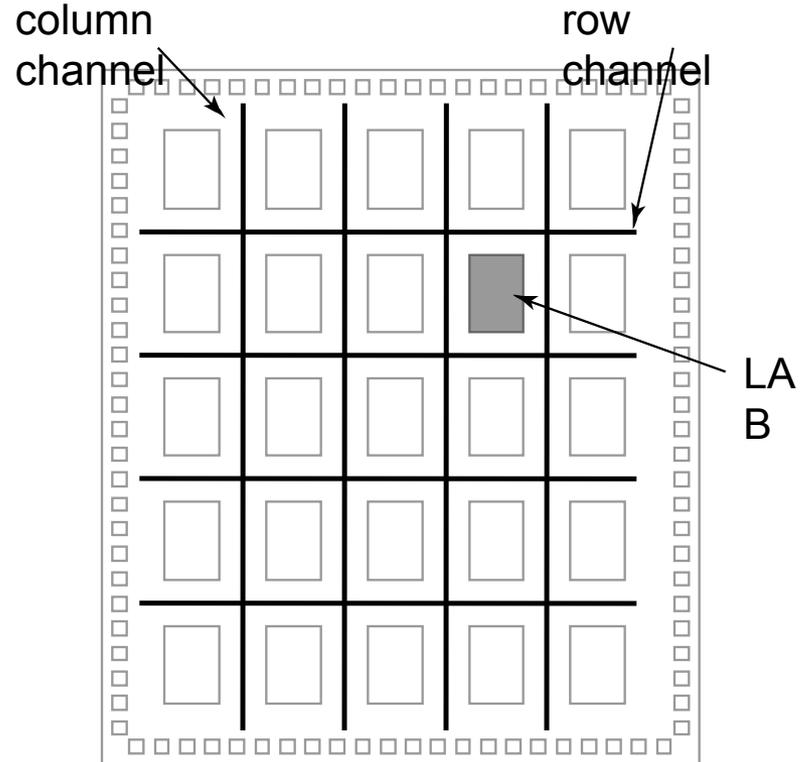
Altera MAX



Altera MAX - Способы соединений

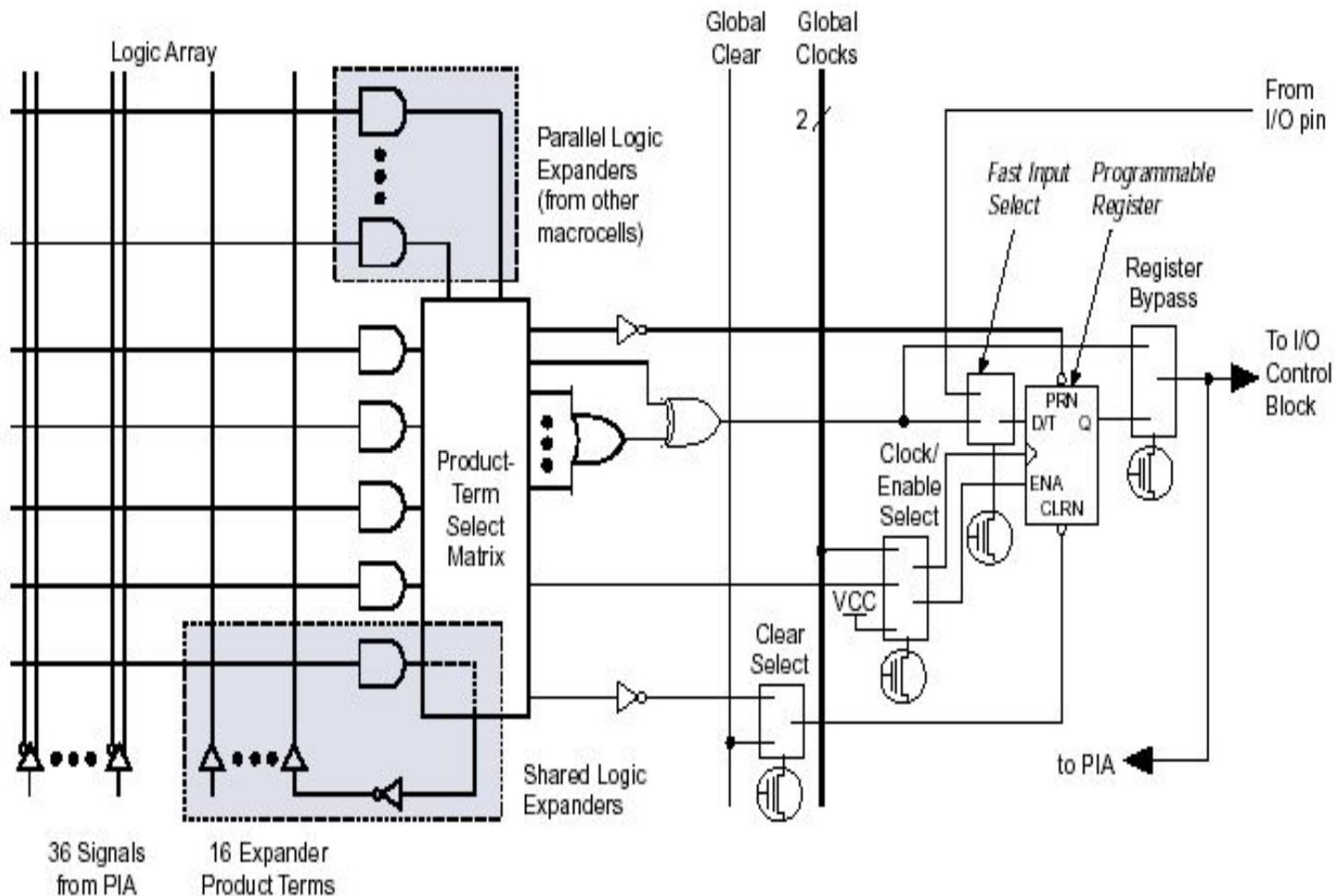


Array-based
(MAX 3000-7000)

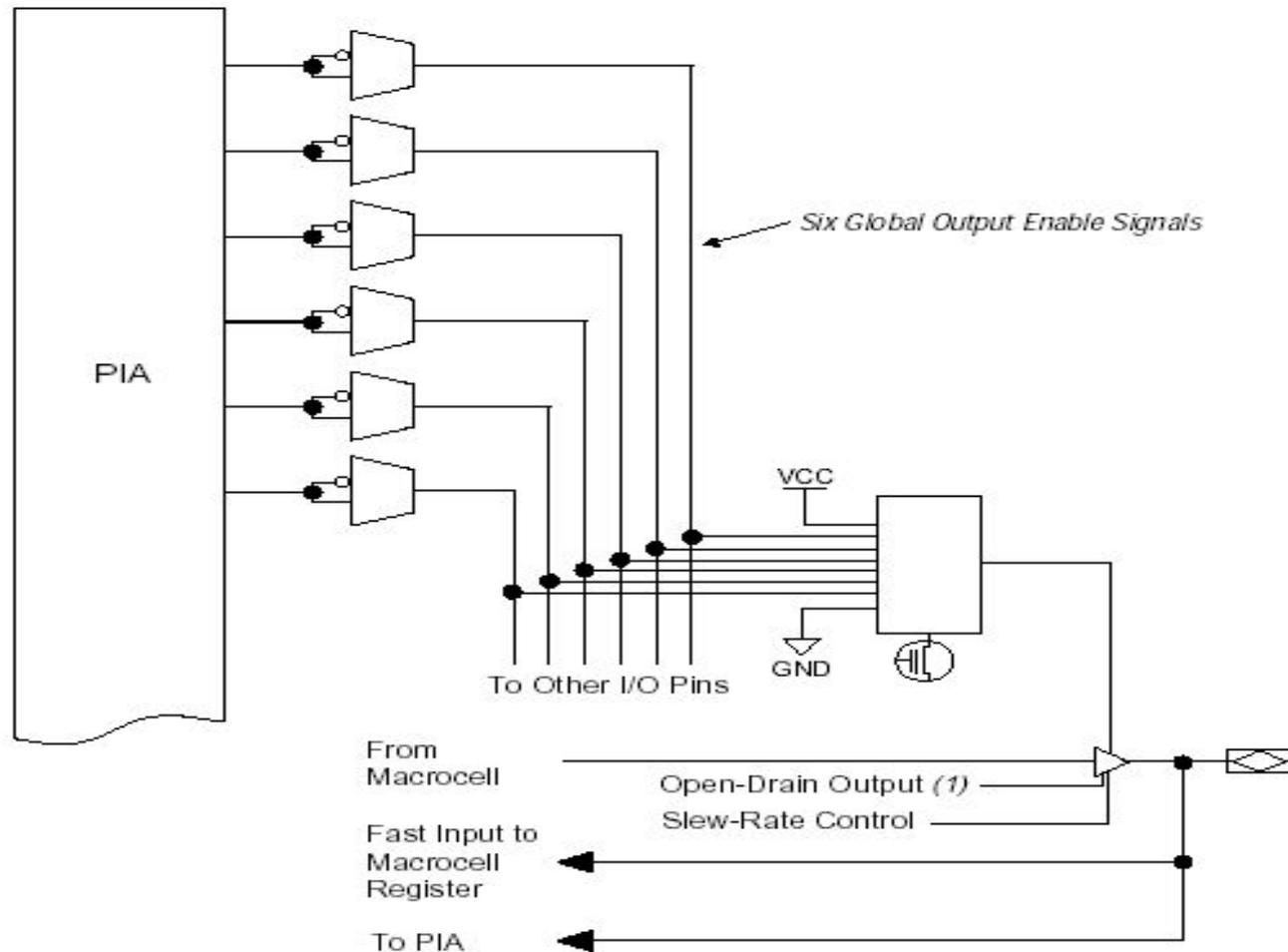


Mesh-based
(MAX 9000)

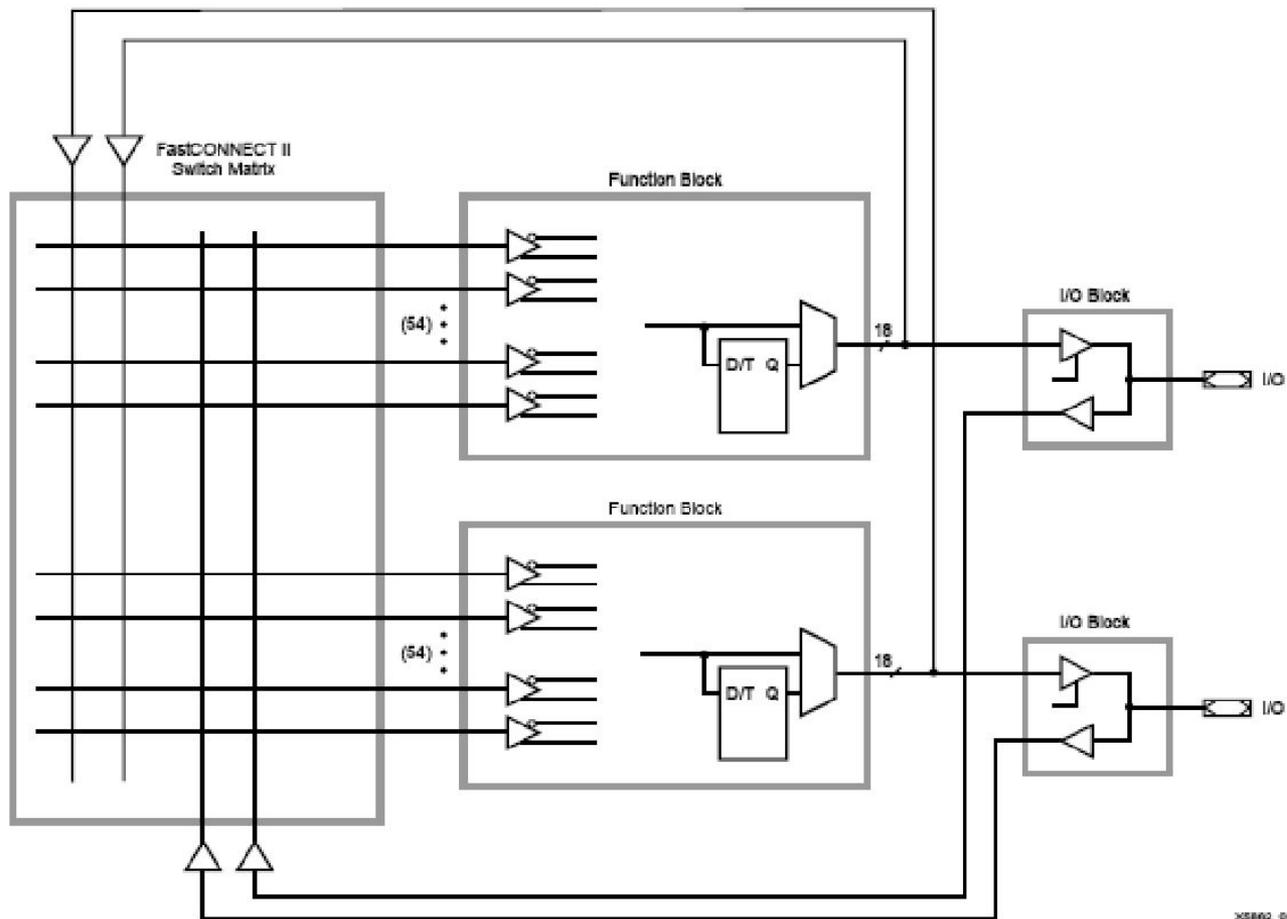
Логическая ячейка CPLD



Блок ввода/вывода CPLD



Программируемая матрица соединений CPLD



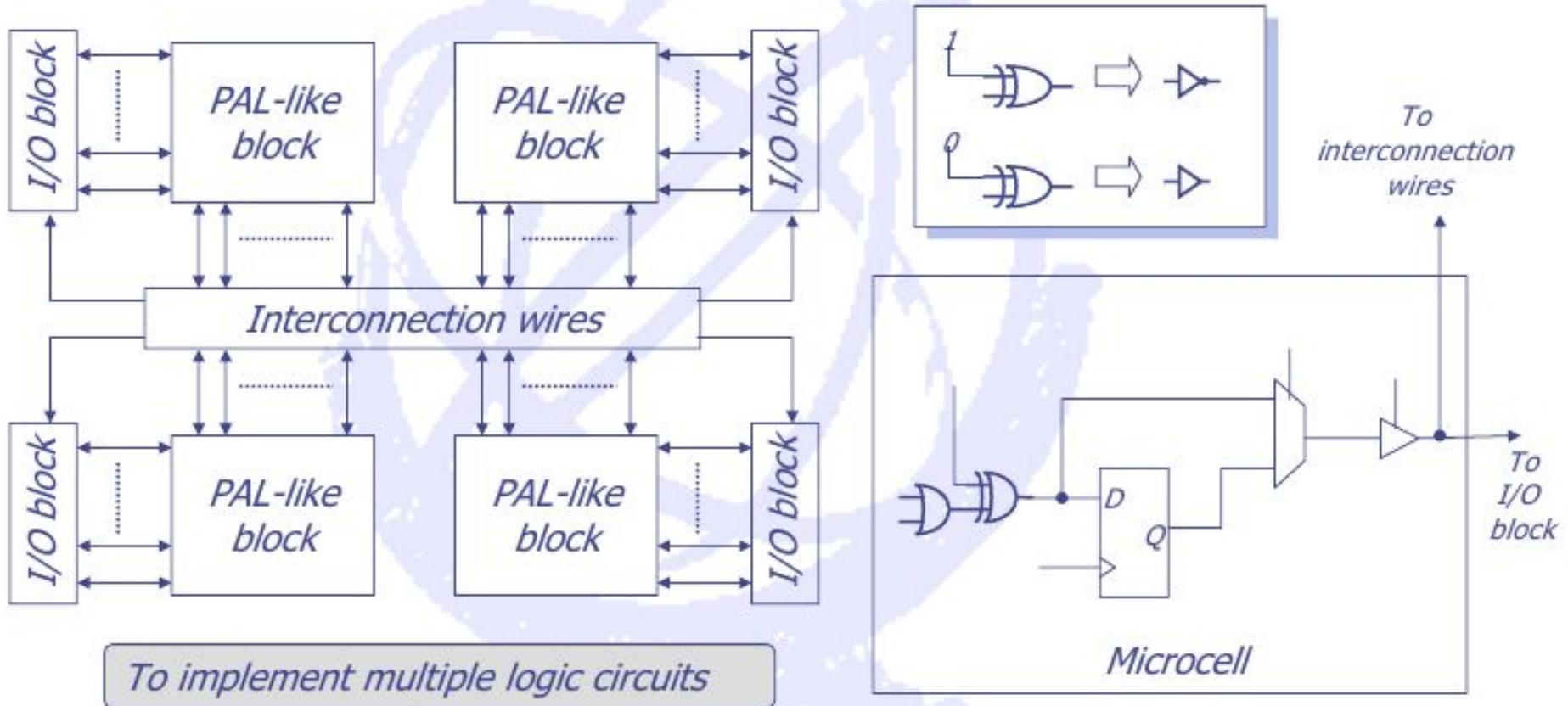
Сравнительные характеристики семейств CPLD

	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Macrocells	36	72	108	144	216	288
Usable Gates	800	1,600	2,400	3,200	4,800	6,400
Registers	36	72	108	144	216	288
t_{PD} (ns)	5	7.5	7.5	7.5	10	15
t_{SU} (ns)	3.5	4.5	4.5	4.5	6.0	8.0
t_{CO} (ns)	4.0	4.5	4.5	4.5	6.0	8.0
f_{CNT} (MHz)	100	125	125	125	111.1	92.2
f_{SYSTEM} (MHz)	100	83.3	83.3	83.3	66.7	56.6

Table 1. MAX 7000 Device Features

Feature	EPM7032	EPM7064	EPM7096	EPM7128E	EPM7160E	EPM7192E	EPM7256E
Usable gates	600	1,250	1,800	2,500	3,200	3,750	5,000
Macrocells	32	64	96	128	160	192	256
Logic array blocks	2	4	6	8	10	12	16
Maximum user I/O pins	36	68	76	100	104	124	164
t_{PD} (ns)	6	6	7.5	7.5	10	12	12
t_{SU} (ns)	5	5	6	6	7	7	7
t_{FSU} (ns)	2.5	2.5	3	3	3	3	3
t_{CO1} (ns)	4	4	4.5	4.5	5	6	6
f_{CNT} (MHz)	151.5	151.5	125.0	125.0	100.0	90.9	90.9

CPLDs

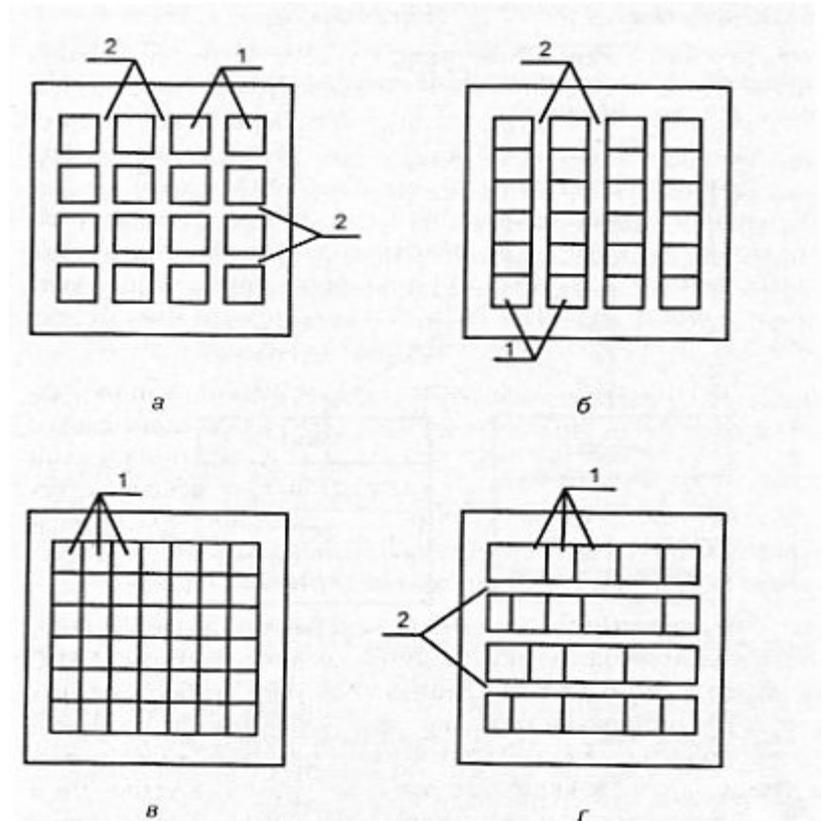


Базовые матричные кристаллы (БМК)

- БМК относятся к полузаказным ИС. Это полуфабрикат, придание которому индивидуального характера происходит на заключительных стадиях производства СБИС.
- Основа БМК – совокупность регулярно расположенных на кристалле базовых ячеек (БЯ), между которыми могут располагаться свободные зоны для создания соединений (каналы).
- БЯ содержат группы нескоммутированных элементов (транзисторов, резисторов и др.).
- В периферийной области кристалла располагаются ячейки ввода/вывода.

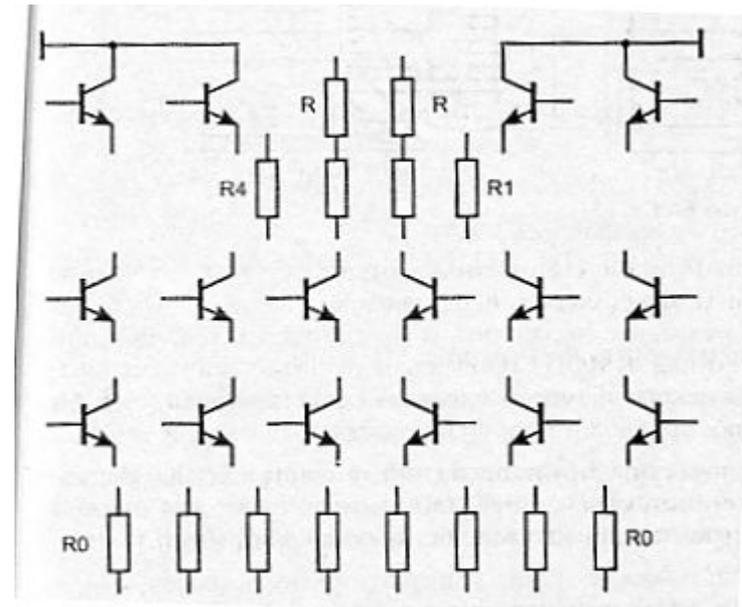
Различные структуры БМК

- Базовая ячейка (1) и каналы связи (2) БМК.
- Канальная структура БМК (а, б).
- Бесканальная структура БМК (в).
- Изменяемая структура БМК (г) – с переменной длиной ячейки.



Терминология, относящаяся к БМК

- **Базовая ячейка (БЯ)** – набор схемных элементов, регулярно повторяющихся на определенной площади кристалла. Элементы могут быть нескоммутированными или частично скоммутированными. БЯ внутренней области называются **матричными**, периферийной области – **периферийными**.



Терминология, относящаяся к БМК

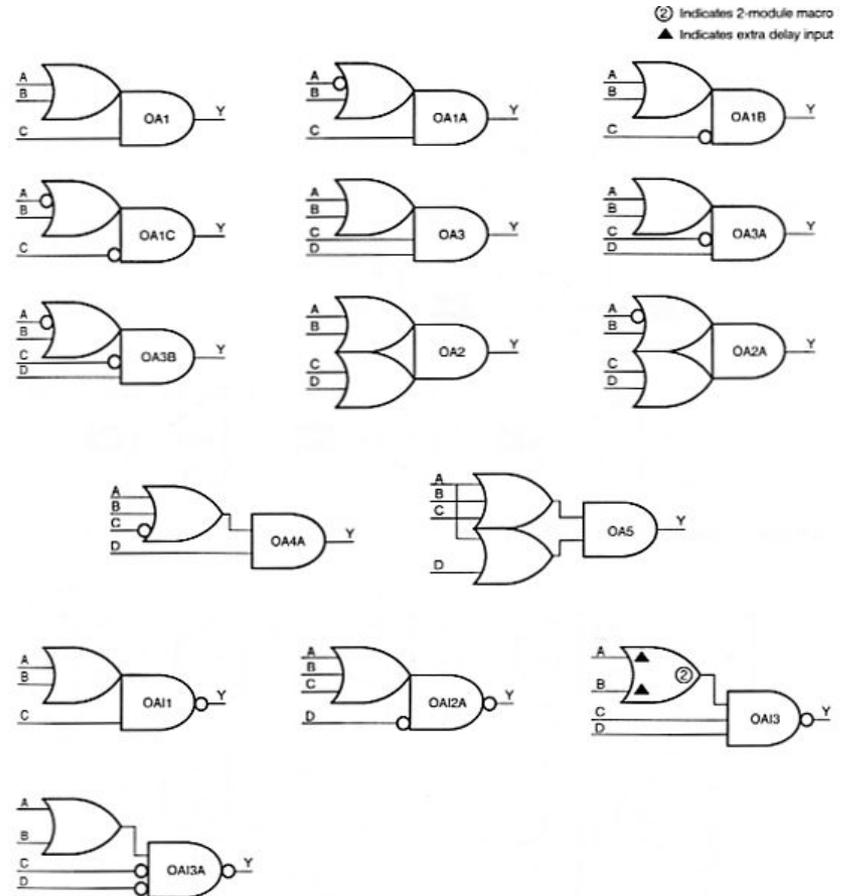
- Способы организации ячеек БМК:
 - Из элементов МБЯ может быть сформирован один логический элемент, а для реализации более сложных функций используются несколько ячеек;
 - Из элементов МБЯ может быть сформирован любой функциональный узел, а состав элементов ячейки определяется схемой самого сложного узла.
- **Функциональная ячейка (ФЯ)** – функционально законченная схема, реализуемая путем соединения элементов в пределах одной или нескольких БЯ.

Терминология, относящаяся к БМК

- **Библиотека функциональных ячеек** — совокупность ФЯ, используемых при проектировании БИС. Создается на этапе разработки БМК и предоставляет разработчику готовые схемотехнические решения.
- **Эквивалентный вентиль (ЭВ)** — группа элементов БМК, соответствующая возможности реализации логической функции вентиля (обычно — двухходовый элемент И-НЕ или ИЛИ-НЕ). Используется для оценки логической емкости БМК.
- **Каналы трассировки** — пути размещения межсоединений в БМК.

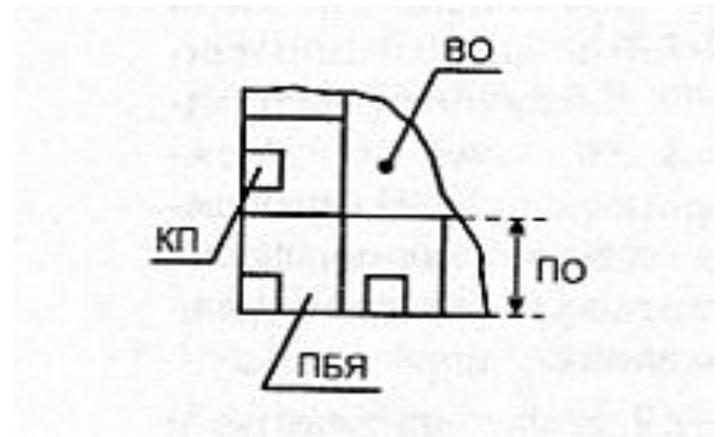
Терминология, относящаяся к БМК

- Пример библиотеки функциональных ячеек БМК фирмы Actel



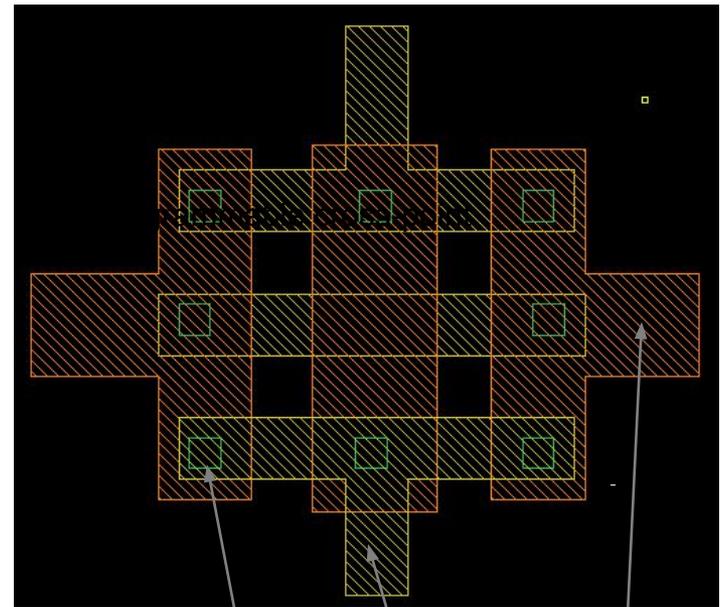
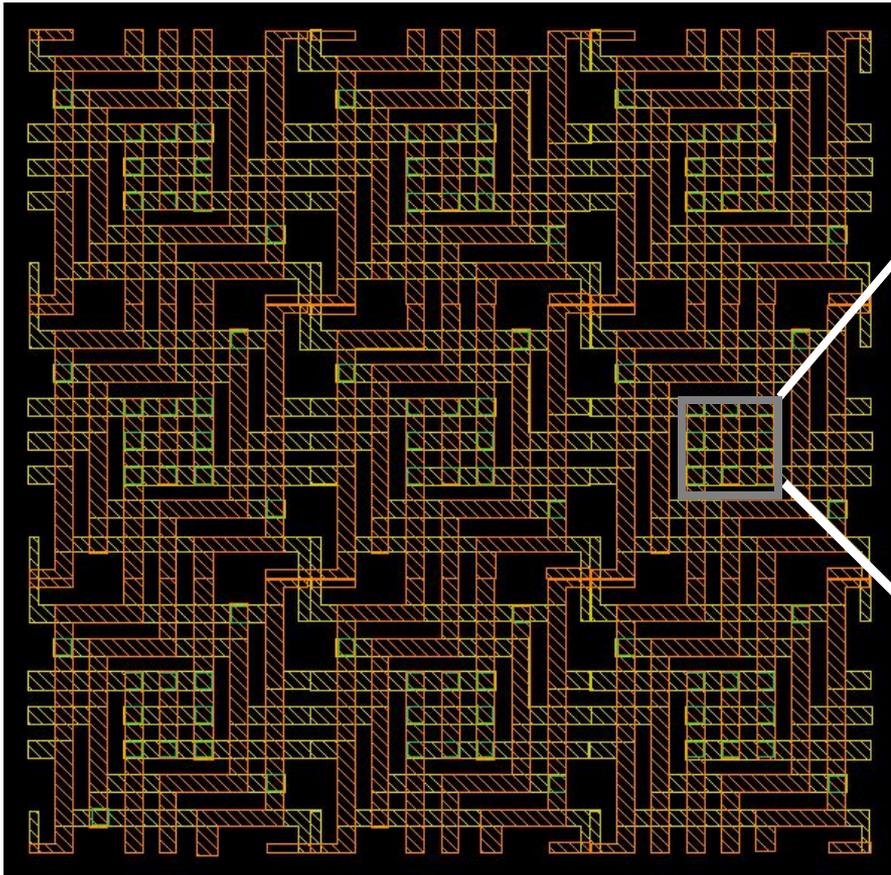
Терминология, относящаяся к БМК

- Внутренняя область кристалла (ВО) окружена периферийной областью (ПО), расположенной по краям БМК. В периферийной области расположены специальные ПБЯ, набор схемных элементов которых ориентирован на решение задач ввода/вывода сигналов, а также контактные площадки (КП).



Пример базовой ячейки БМК

Via programmable gate array
(VPGA)



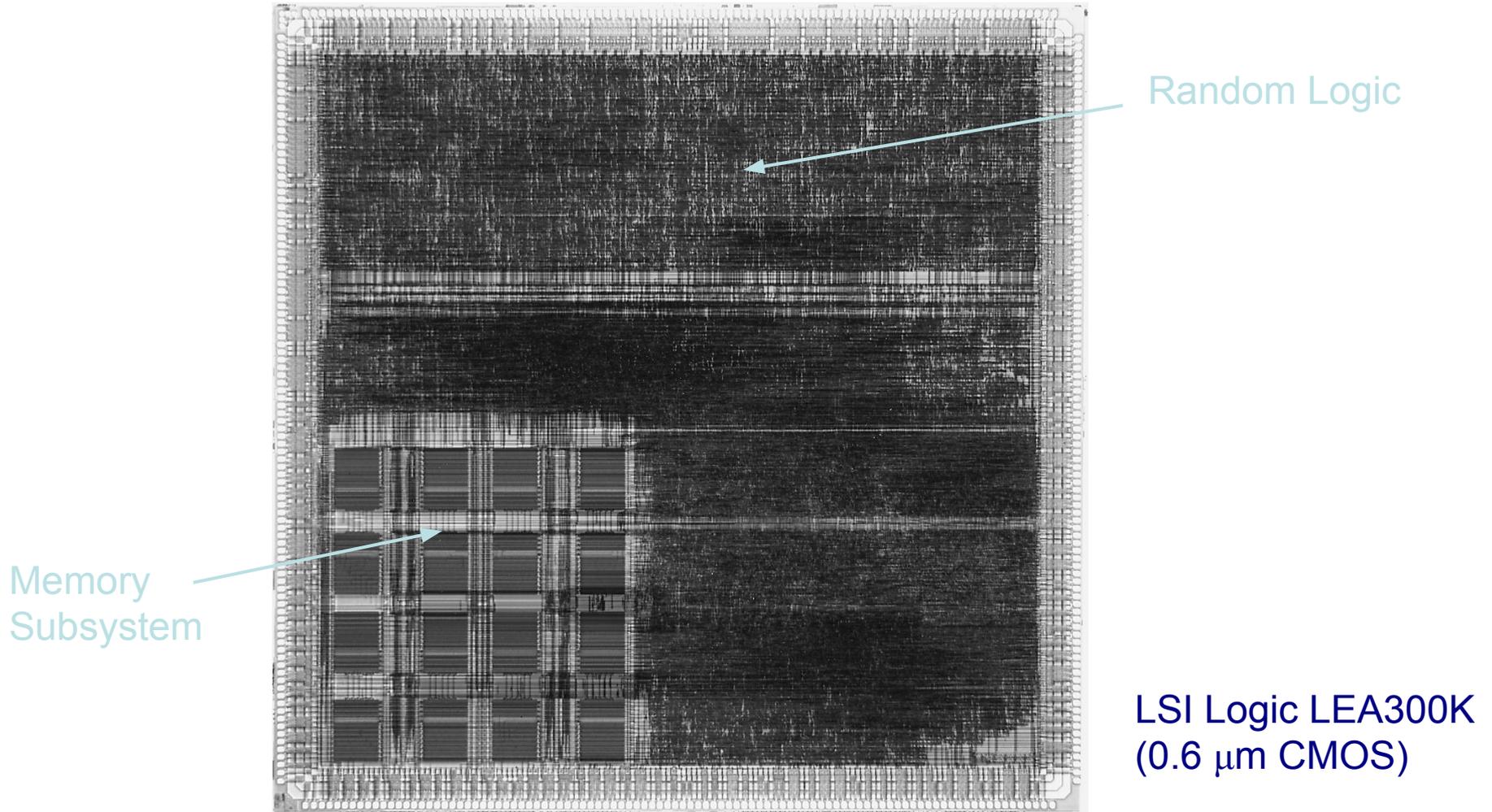
programmable
via

metal-
5

metal-
6

Exploits regularity of interconnect

Пример типичного БМК



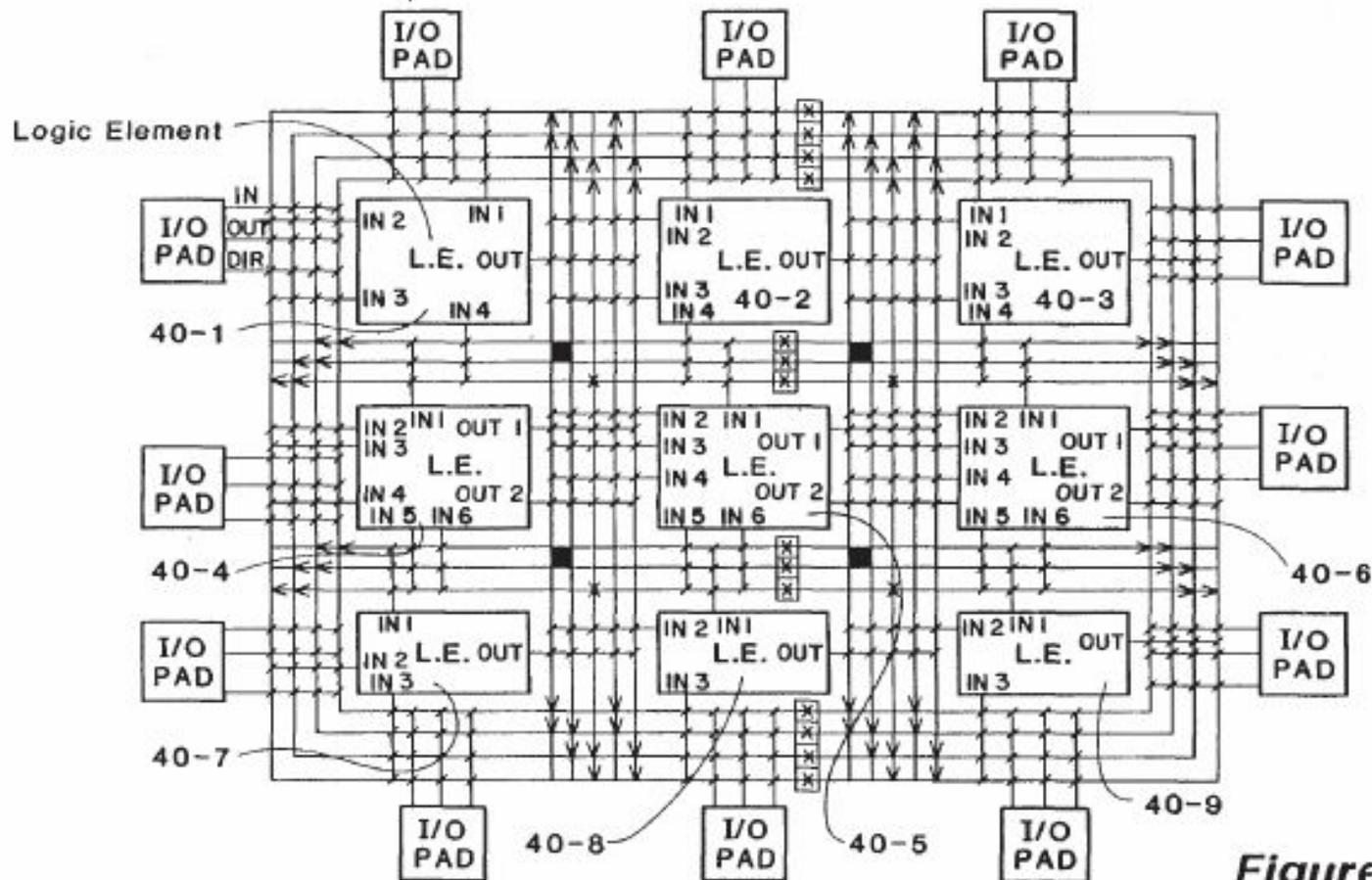
Программируемые пользователем вентильные матрицы (FPGA)

- Топологически сходны с канальными БМК
- Во внутренней области размещается множество регулярно расположенных идентичных конфигурируемых логических блоков (КЛБ)
- Между КЛБ проходят трассировочные каналы
- На периферии кристалла расположены блоки ввода\вывода

First FPGA Patent: US 4,870,302

(Feb. 19, 1988)

Example of a 3x3 Logic Element CLA with 12 I/O pads & 3 types of L. E.'s



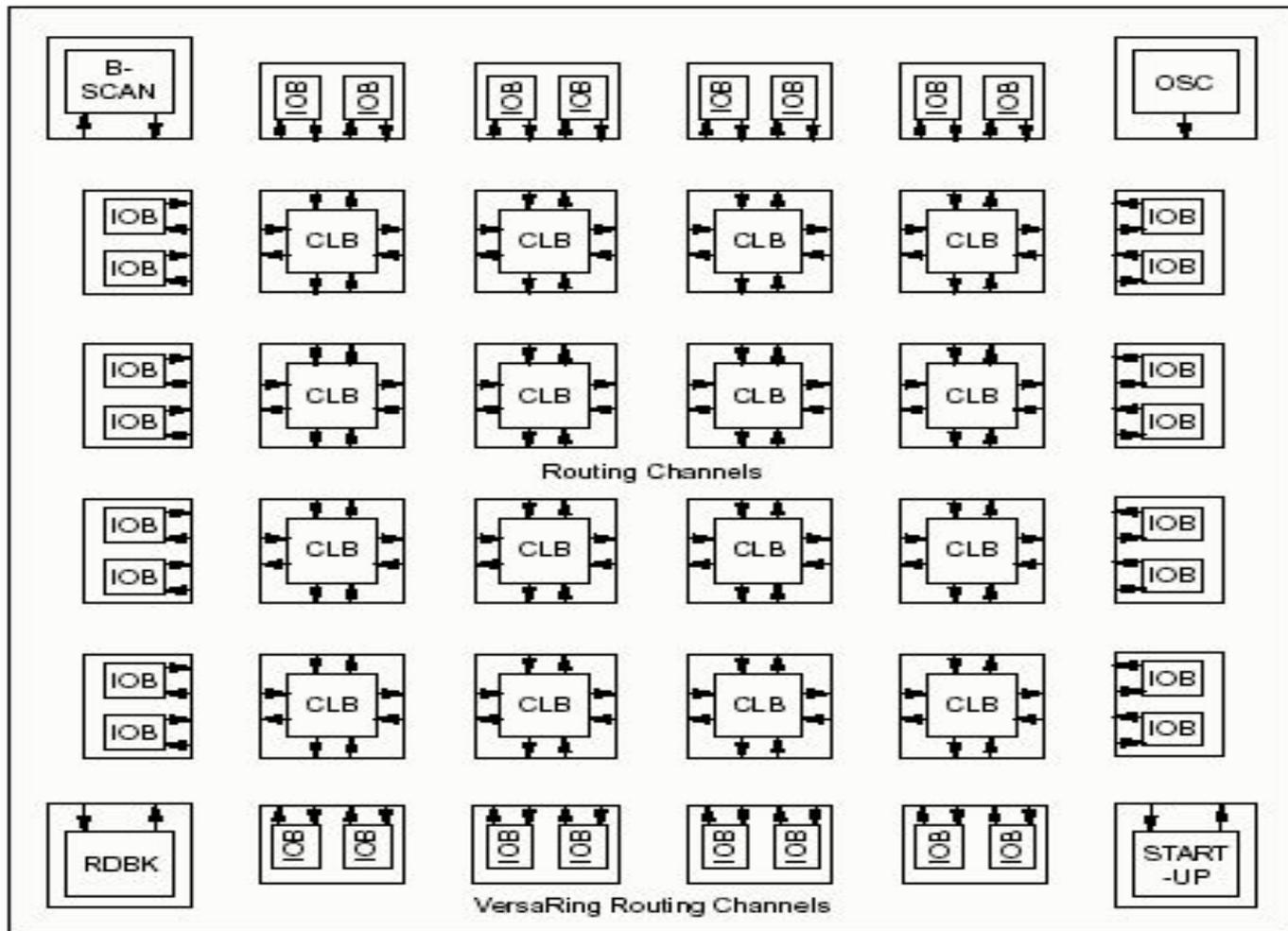
Ross H. Freeman,
Xilinx Inc

*"Configurable
Electrical Circuit
Having Configurable
Logic Elements and
Configurable
Interconnects"*

... many patents
followed...

Figure 4A

Структура FPGA



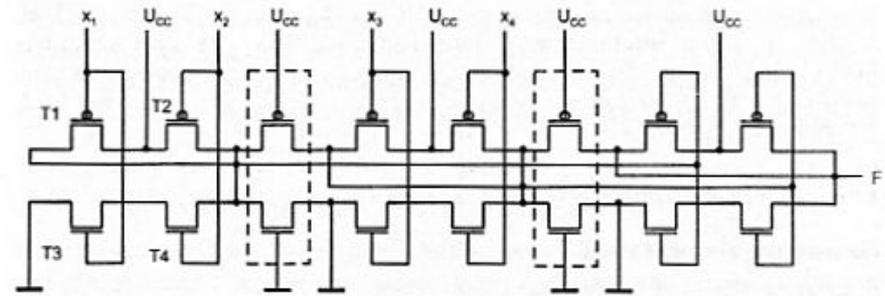
Структура логического блока FPGA

- Свойства и возможности FPGA зависят в первую очередь от характера их КЛБ и системы межсоединений
- В качестве КЛБ могут использоваться:
 - транзисторные пары (SLC – Simple Logic Cells);
 - мультиплексоры;
 - программируемые ПЗУ (LUTs – Look-Up Tables)

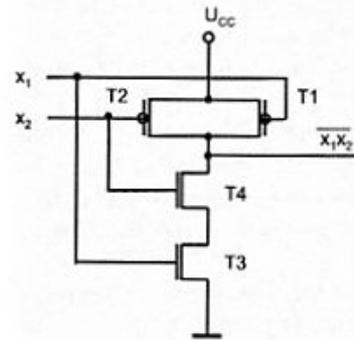
Структура логического блока FPGA

- Пример логического блока на основе транзисторных пар
- Реализуемая функция:

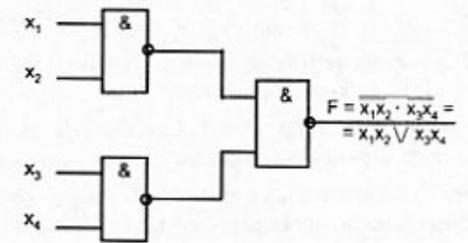
$$F = x_1x_2 \vee x_3x_4$$



б

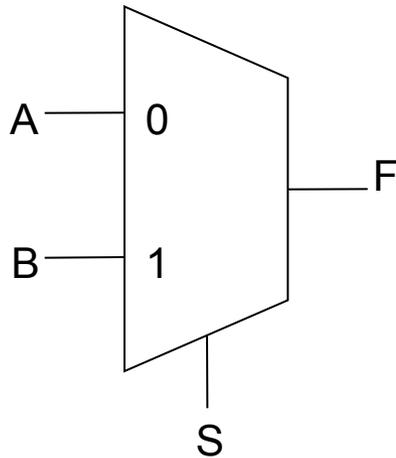


в



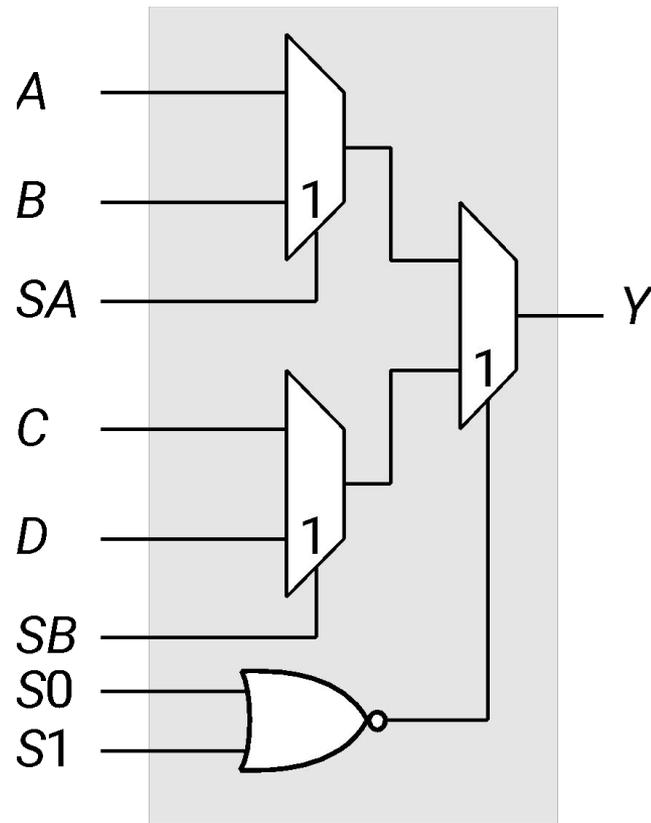
г

2-входовой мультиплексор как программируемый блок



Configuration			F
A	B	S	
0	0	0	0
0	X	1	X
0	Y	1	Y
0	Y	X	$X \overline{Y}$
X	0	Y	$\overline{X} Y$
Y	0	X	$\overline{X} Y$
Y	1	X	$X Y$
1	0	X	$\overline{X} Y$
1	0	Y	\overline{Y}
1	1	1	1

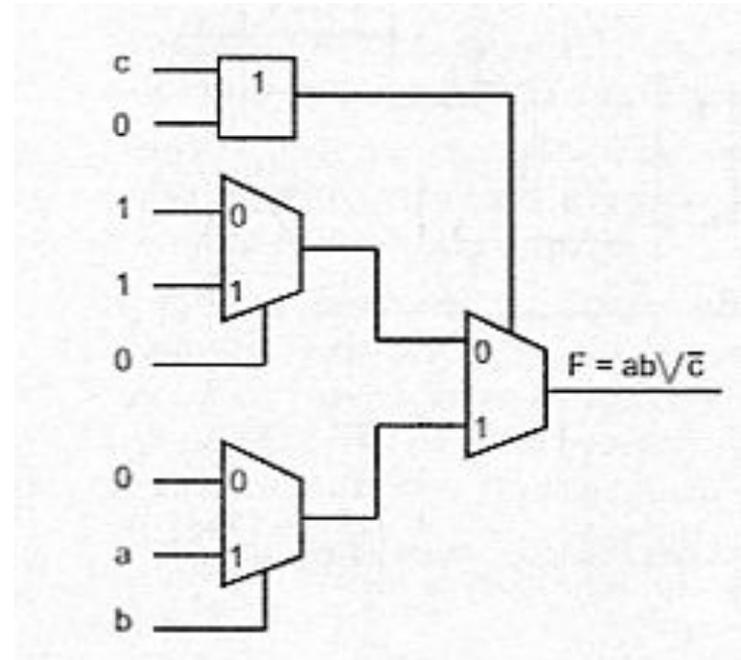
Логическая ячейка Astel



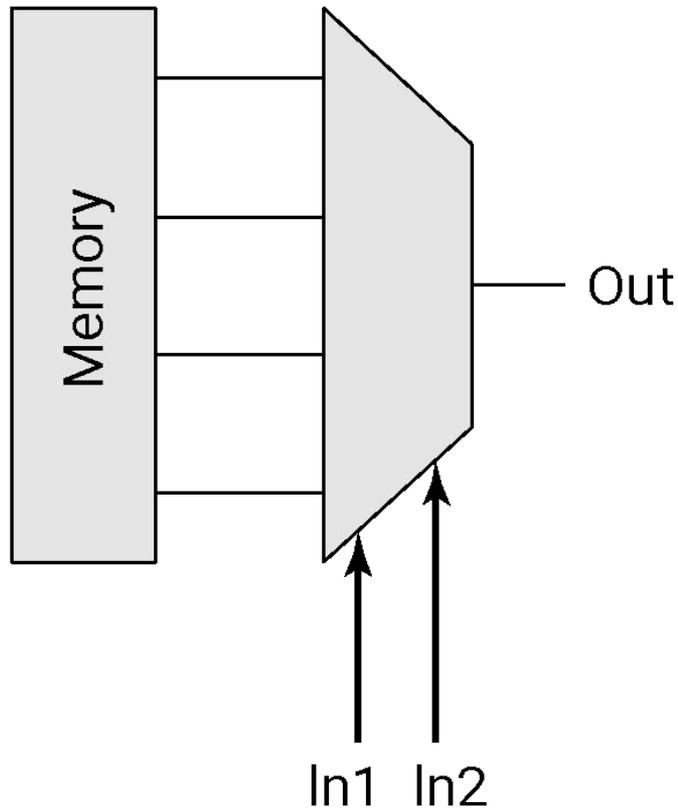
Структура логического блока FPGA

- Пример логического блока на основе мультиплексоров
- Реализуемая логическая функция:

$$F = ab \vee \bar{c}$$



Логическая ячейка на основе ПЗУ



In	Out
00	00
01	1
10	1
11	0

LUT as general logic gate

- ◆ An n-LUT as a direct implementation of a function **truth-table**.
- ◆ Each latch location holds the value of the function corresponding to one input combination.

Example: 2-lut

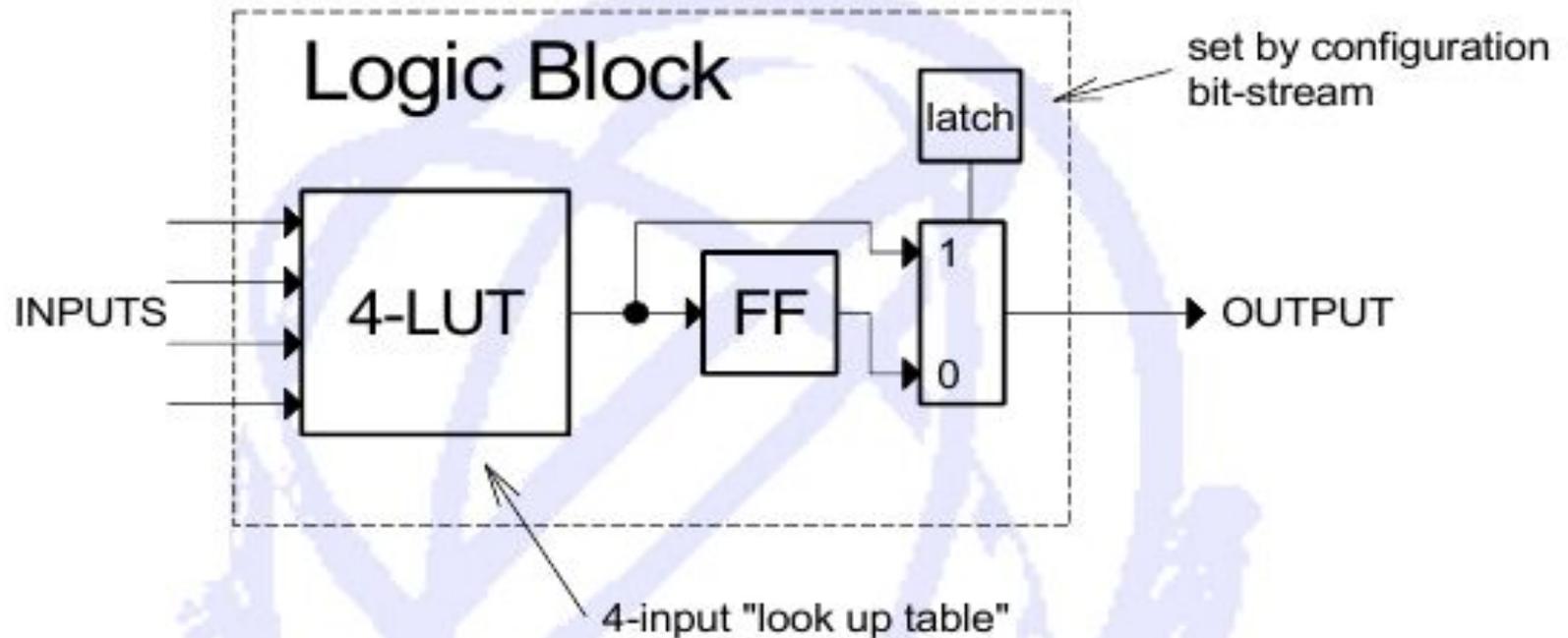
INPUTS	AND	OR
00	0	0
01	0	1
10	0	1
11	1	1

Implements *any* function of 2 inputs.

Example: 4-lut

INPUTS		
0000	F(0,0,0,0)	← store in 1st latch
0001	F(0,0,0,1)	← store in 2nd latch
0010	F(0,0,1,0)	←
0011	F(0,0,1,1)	←
0011		
0100	•	
0101	•	
0110	•	
0111		
1000		
1001		
1010		
1011		
1100		
1101		
1110		
1111		

Idealized FPGA Logic Block



❖ 4-input *look up table (LUT)*

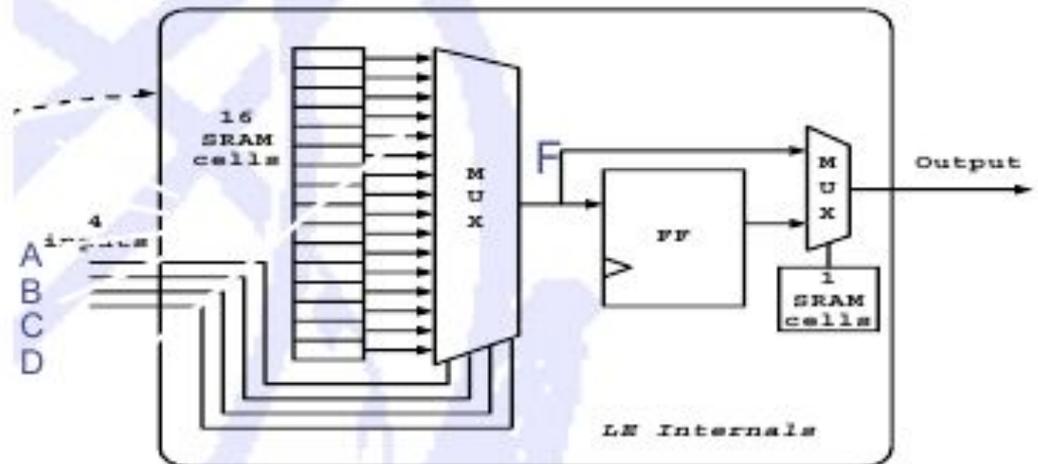
- implements combinational logic functions

❖ Register

- optionally stores output of LUT

LUT Content

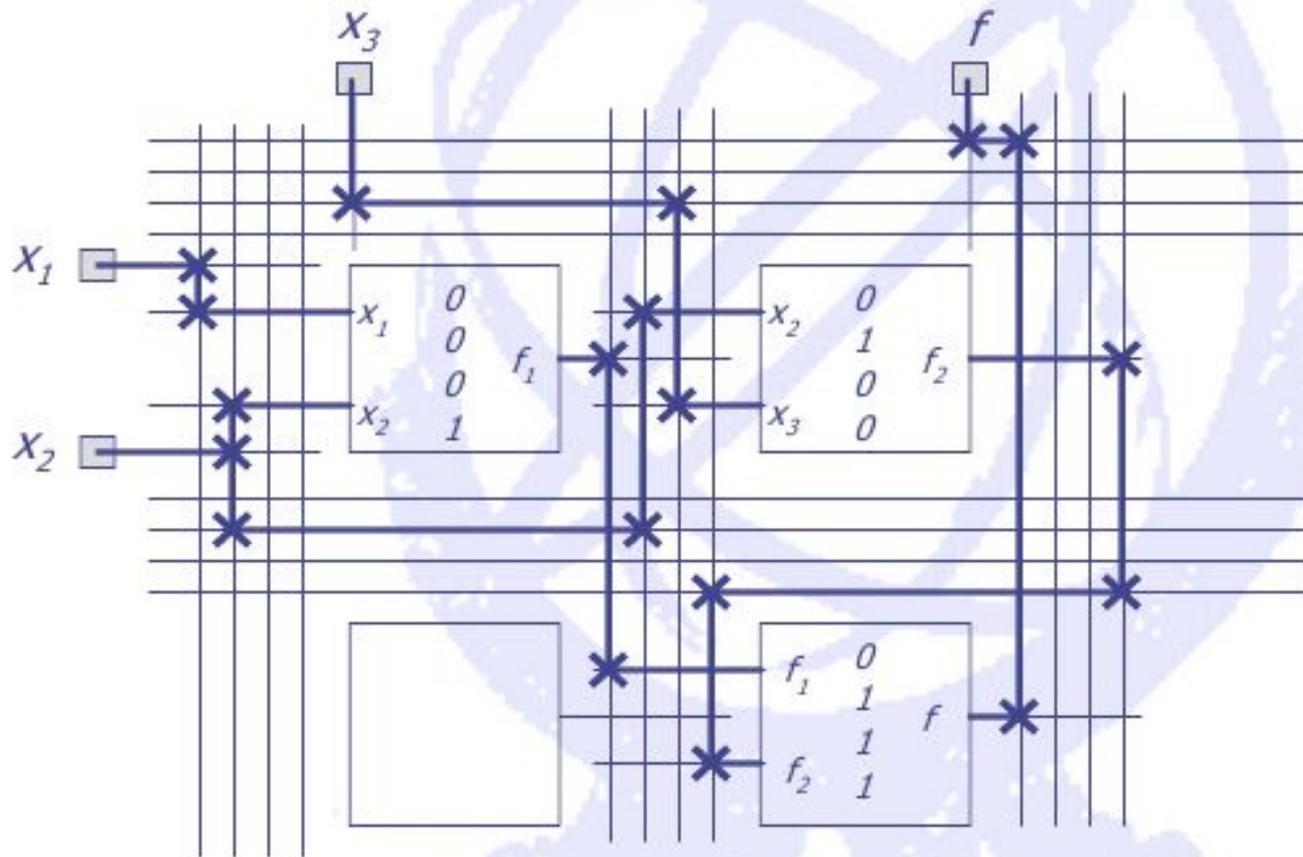
A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1



$$F = A*B + C*D$$

The 16 SRAM cell LUT stores the output column of the truth table of the F function. The 4 inputs A, B, C and D will determine which bit the F value is for the current values of A, B, C and D.

Programming An FPGA

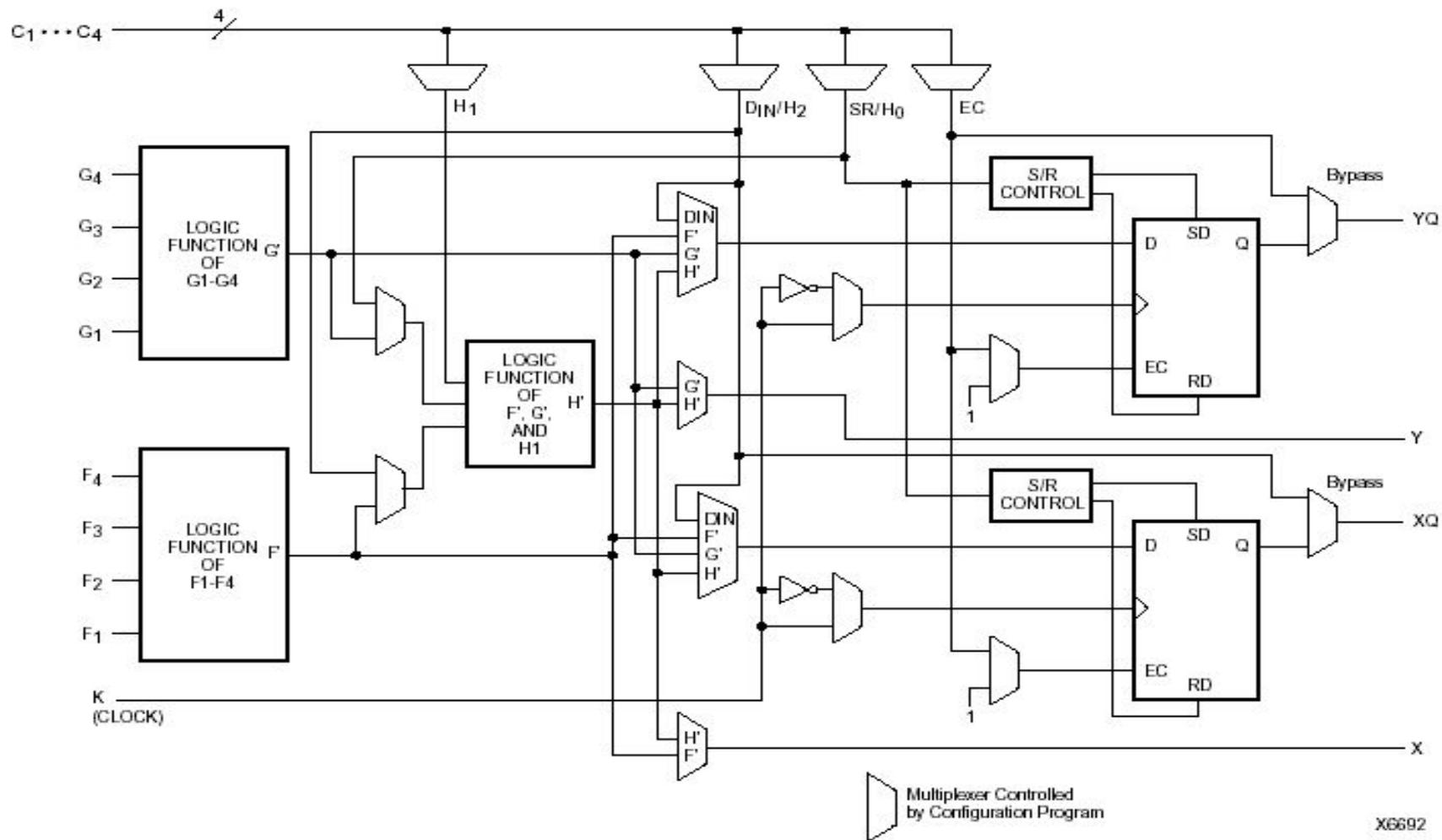


$$f_1 = x_1x_2$$

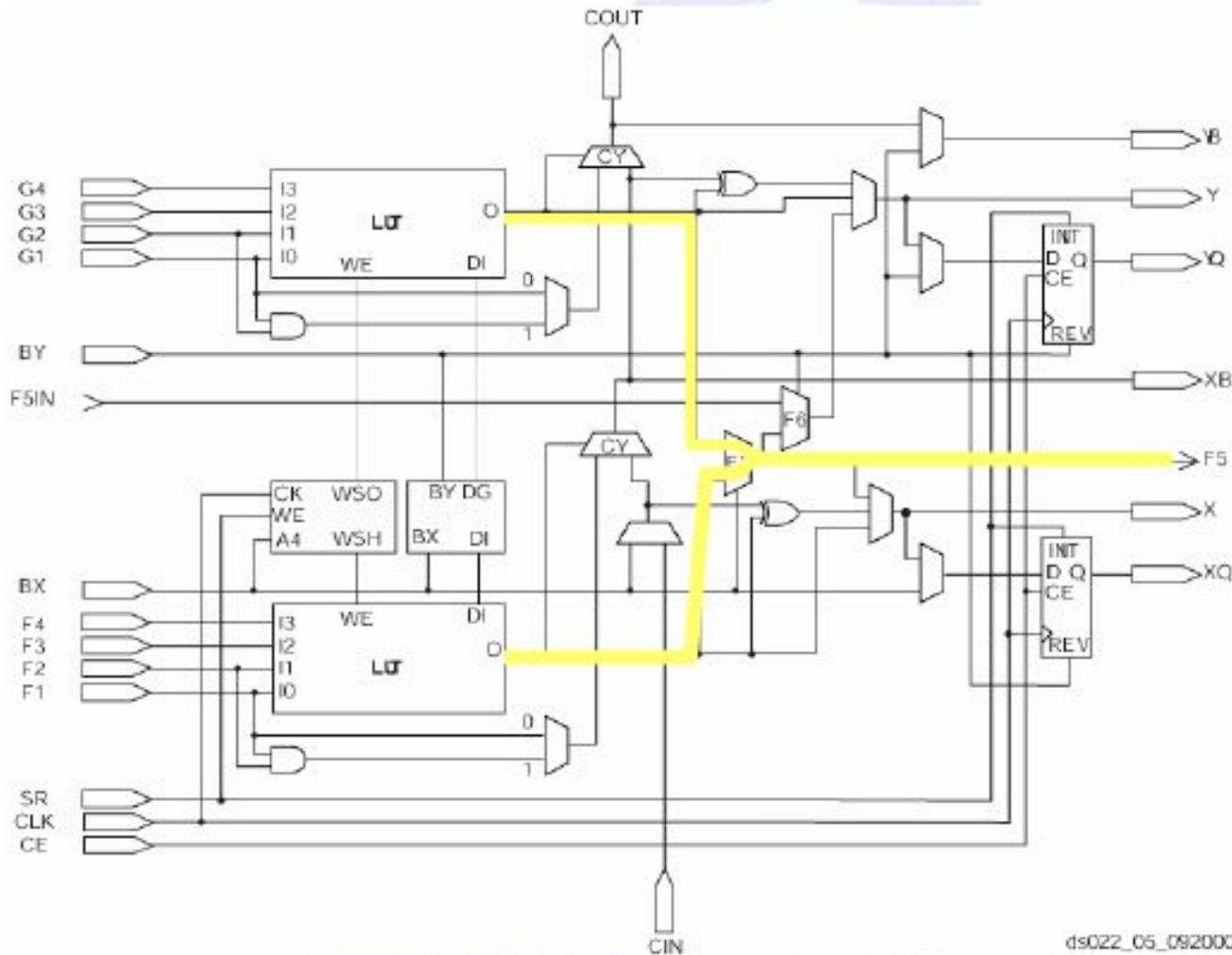
$$f_2 = \overline{x_2}x_3$$

$$f = x_1x_2 + \overline{x_2}x_3$$

Структура логического блока FPGA на основе ПЗУ



Details of one Slice



LUT

- 4-input functions
- 16x1 sram
- 32x1 or 16x2 in 1 slice
- 16 bit shift register

Storage element

- D flipflip
- latch

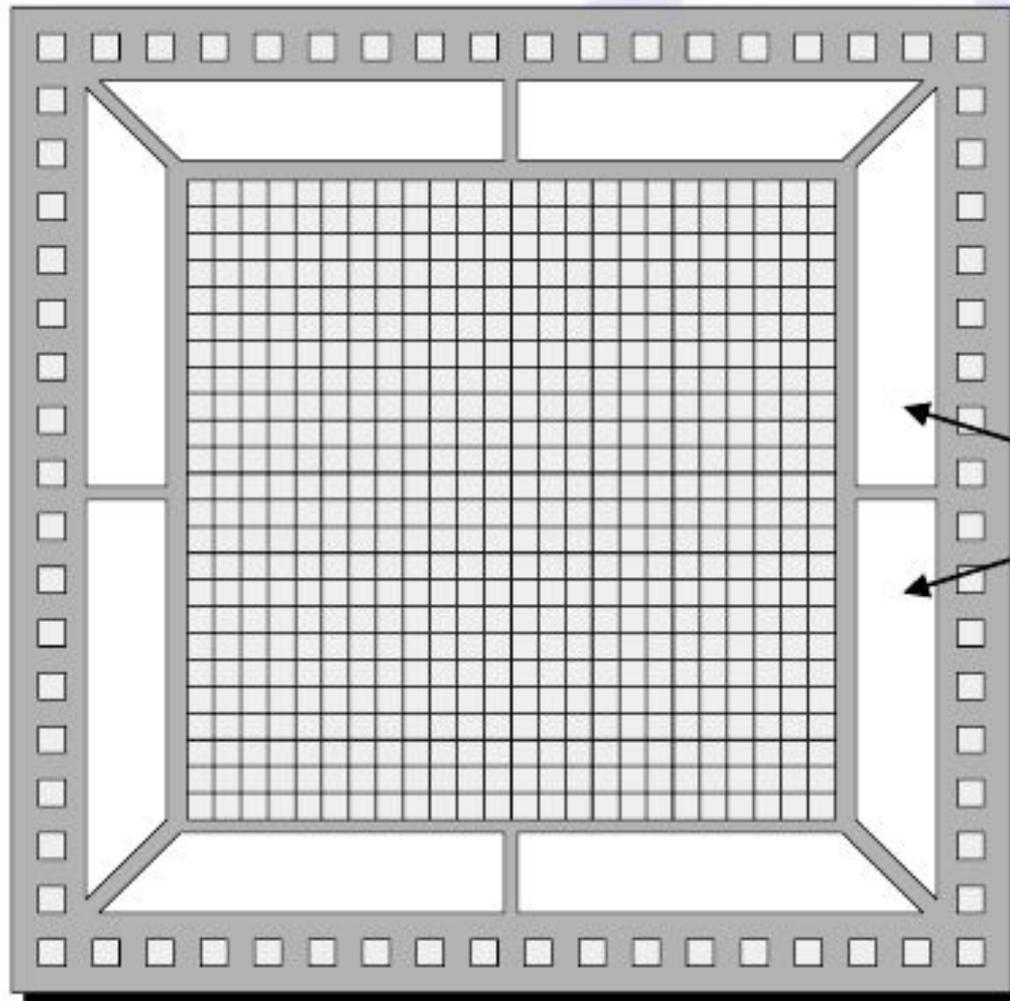
Combinational outputs

5 and 6 input functions

Carry chain

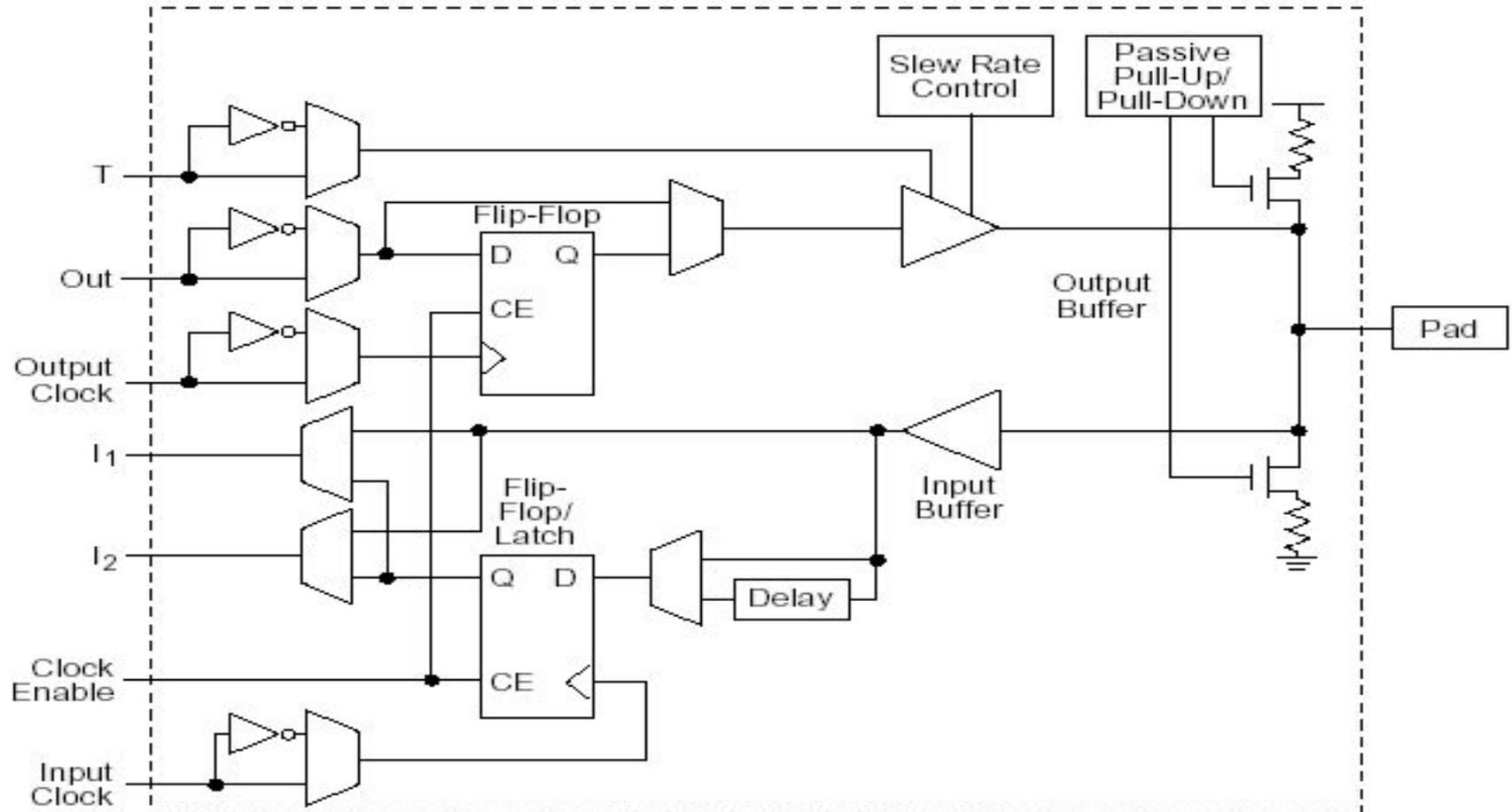
- arithmetic along row or col

I/O Blocks

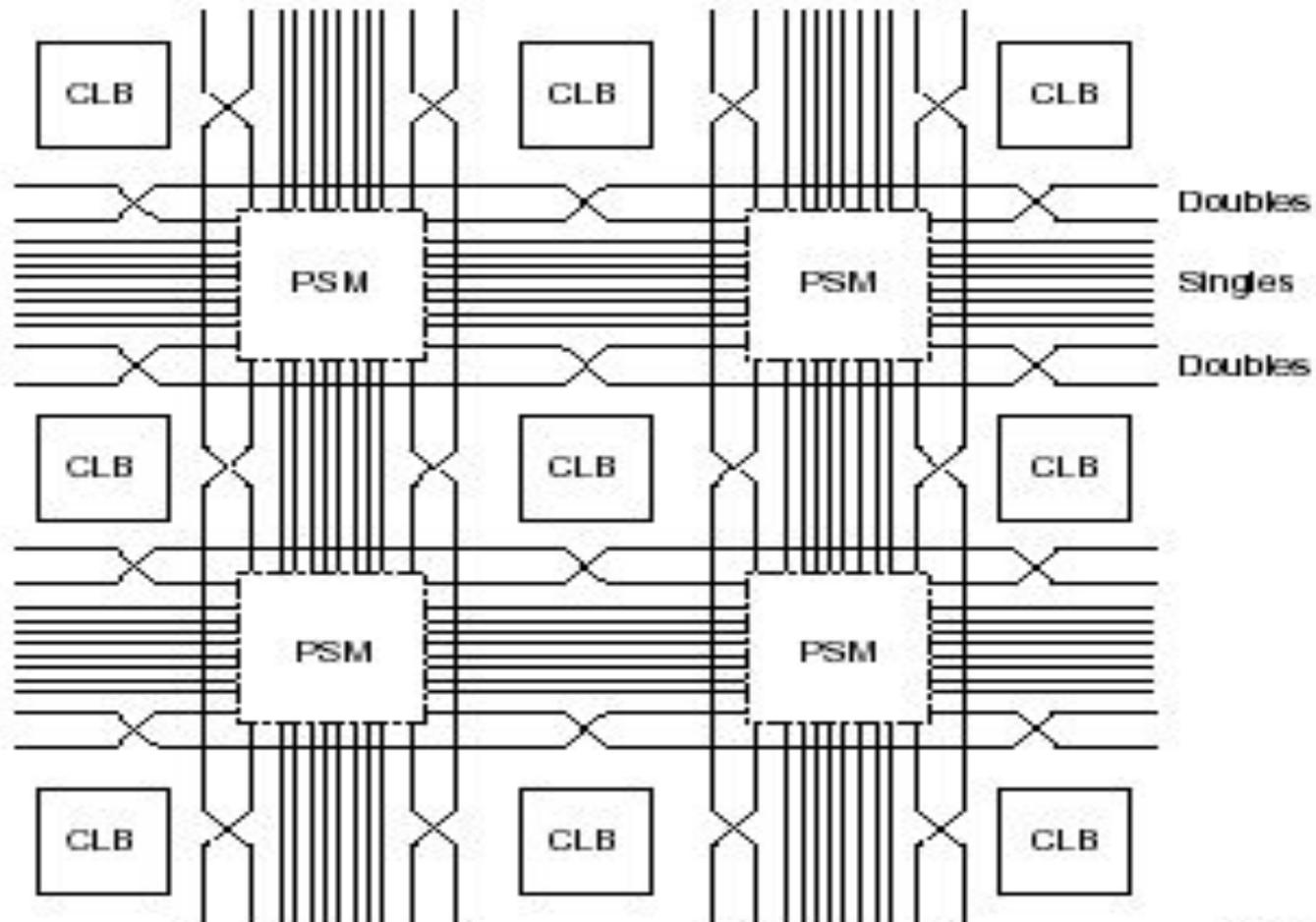


General-purpose I/O
banks 0 through 7

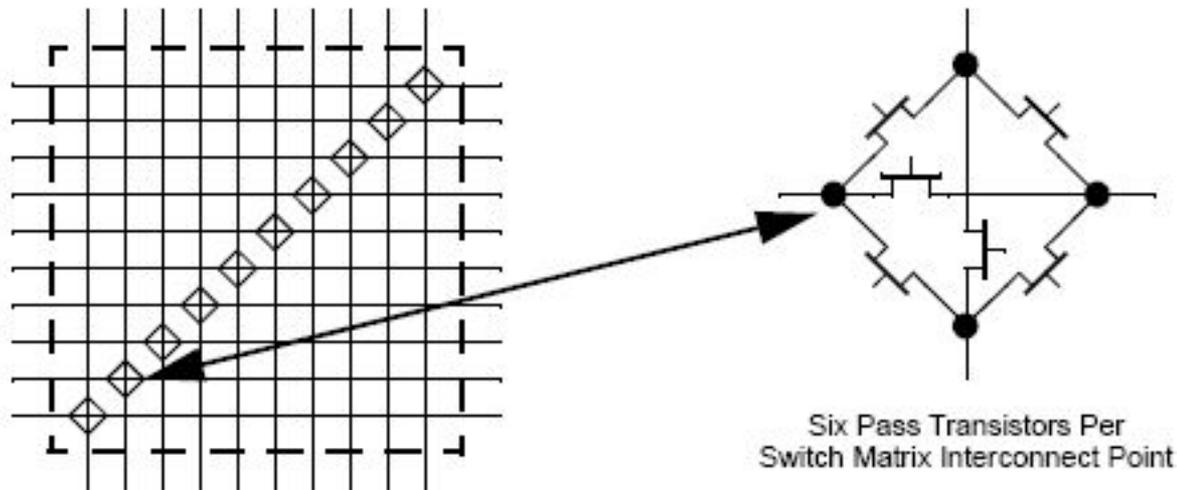
Блок ввода/вывода FPGA



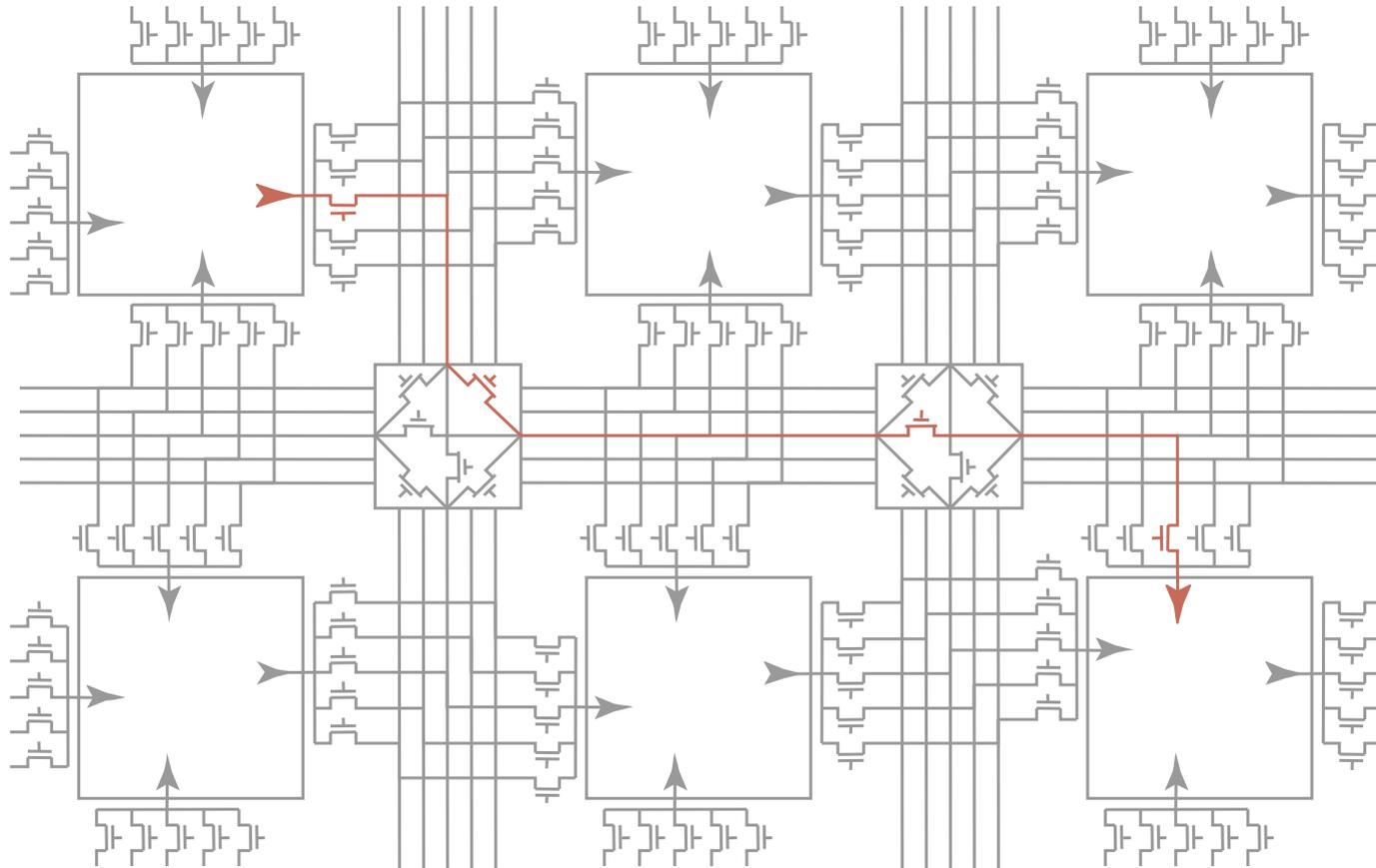
Система соединений FPGA



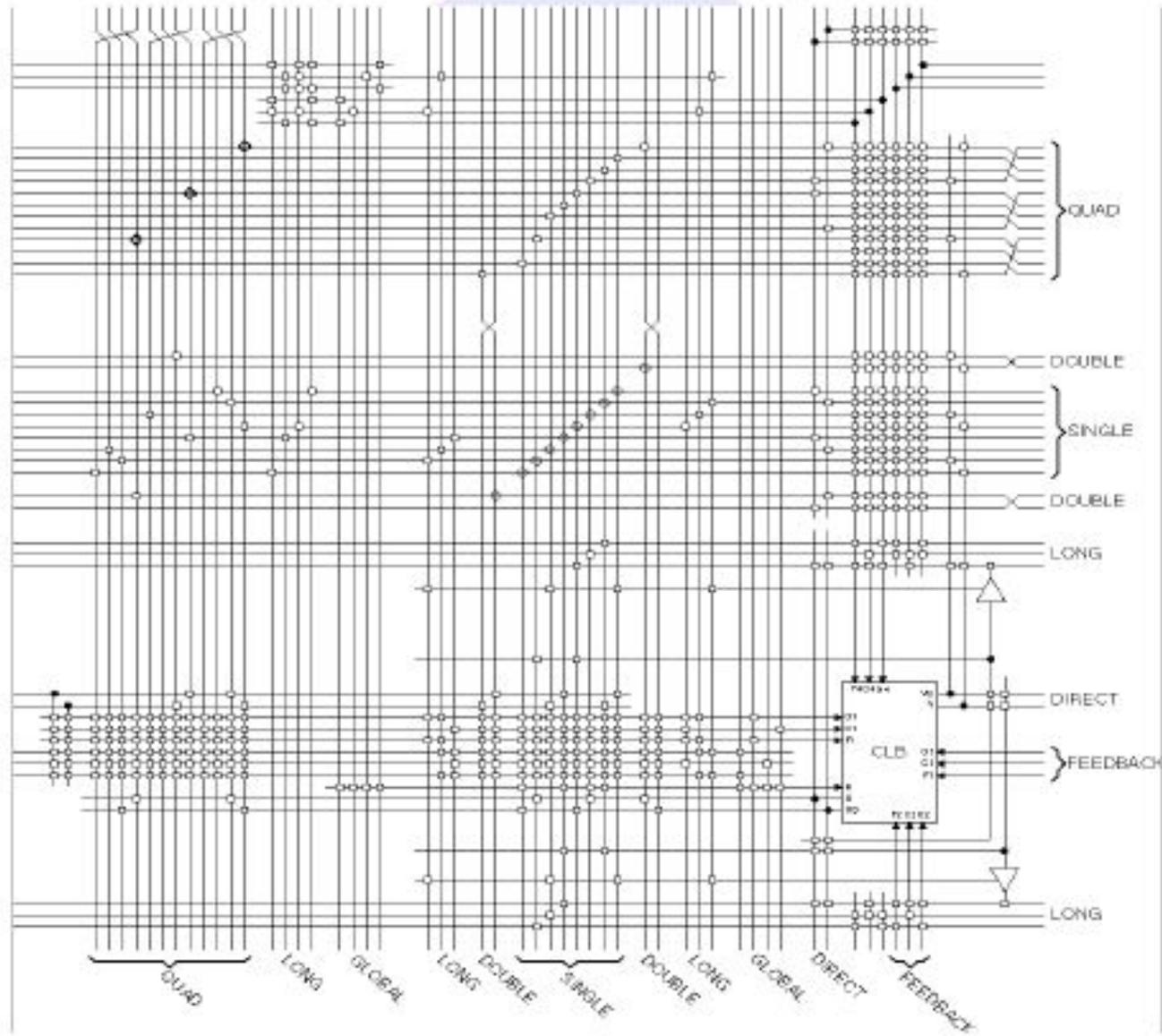
Структура переключательного блока (PSM) FPGA



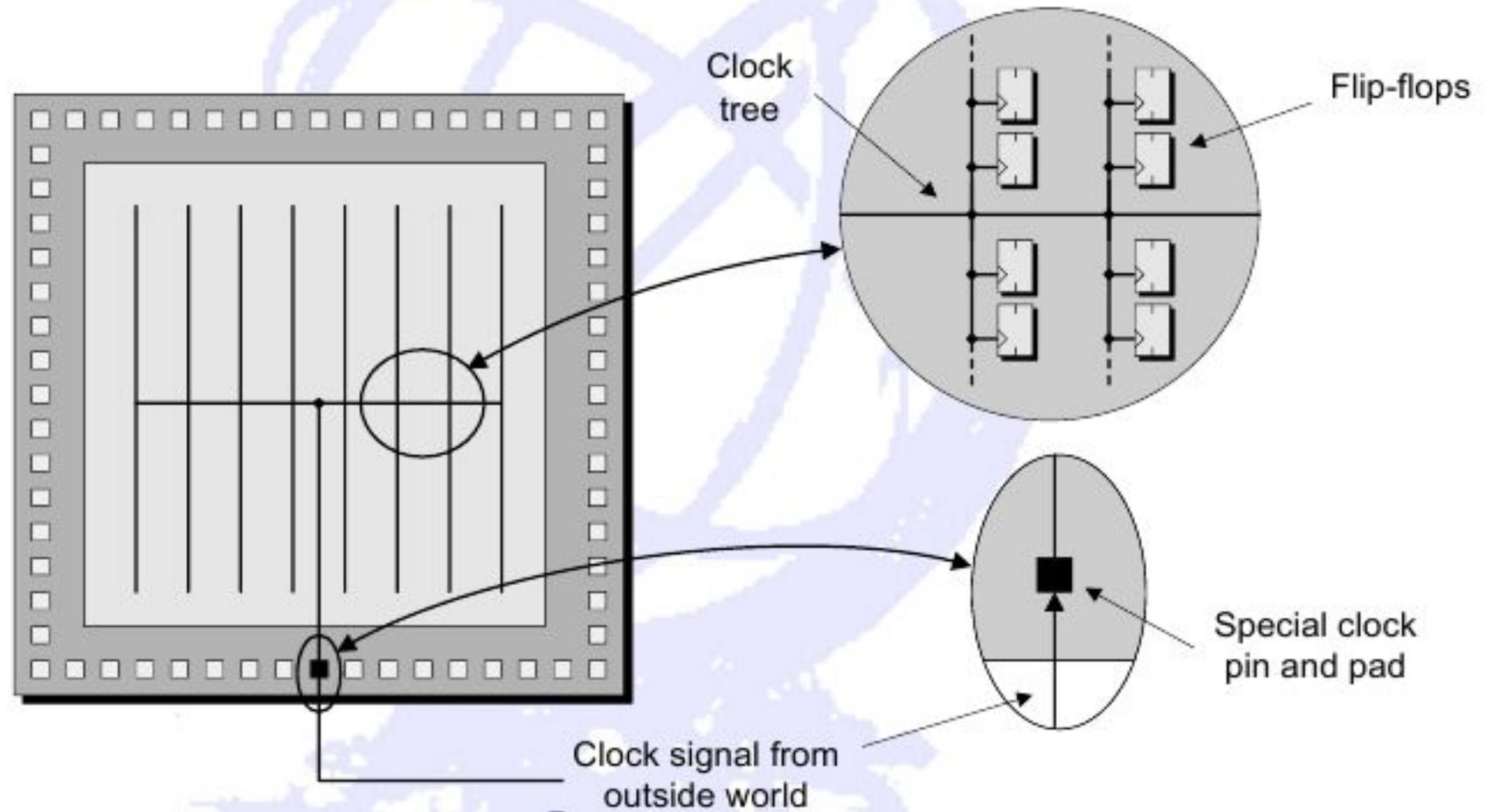
Пример создания связи в FPGA



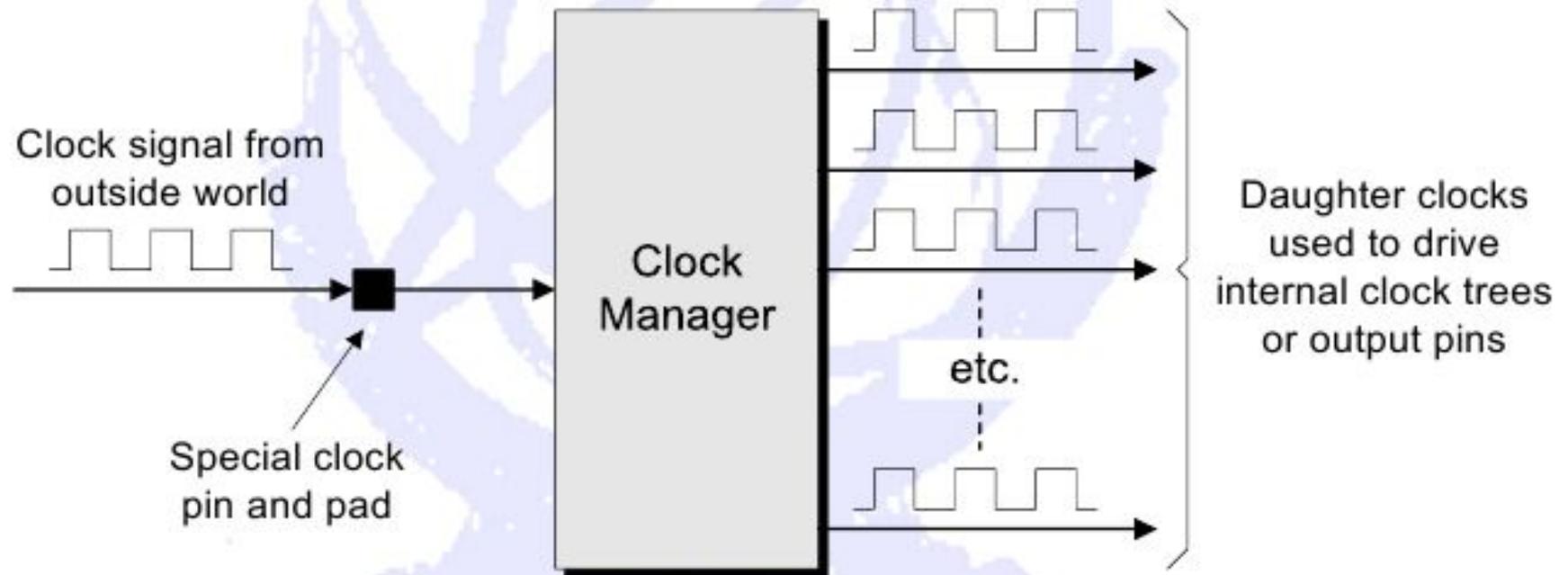
Xilinx FPGAs (interconnect detail)



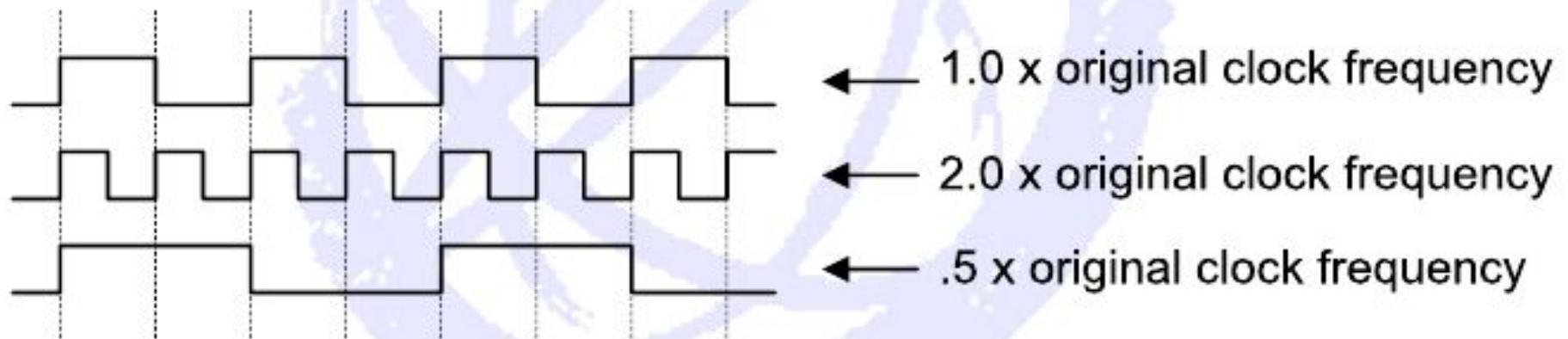
Clock Network on FPGA



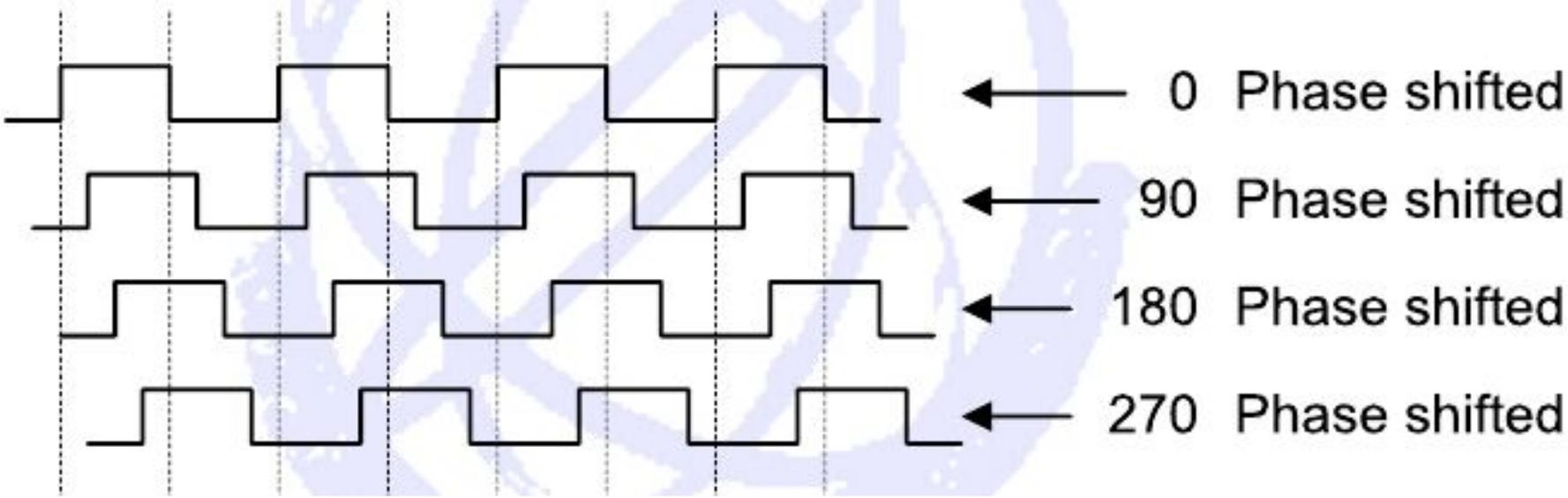
PLL Clock Manager (Phased Locked Loop)



By introducing logic functions in PLL
Phase Locked Loop feedback loop,
internal clock frequency can be changed

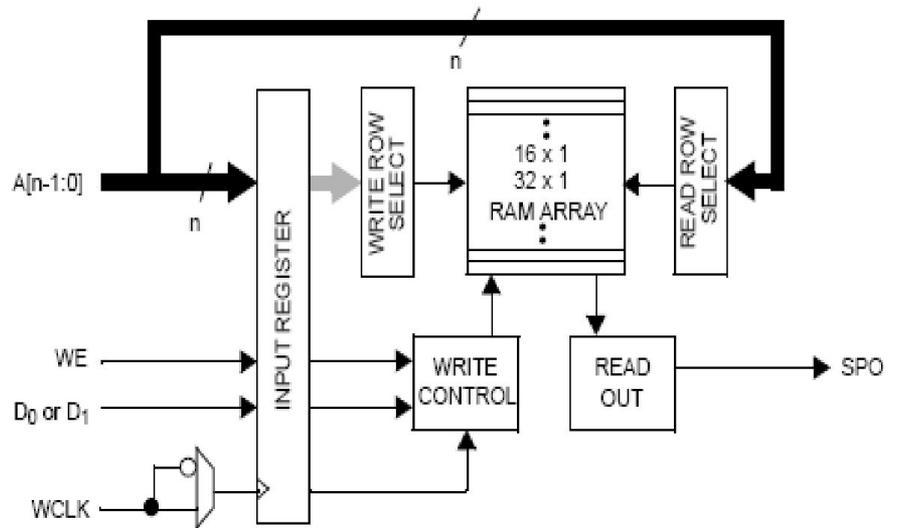


PLL phase locked loop can also generate subclocks at several phases



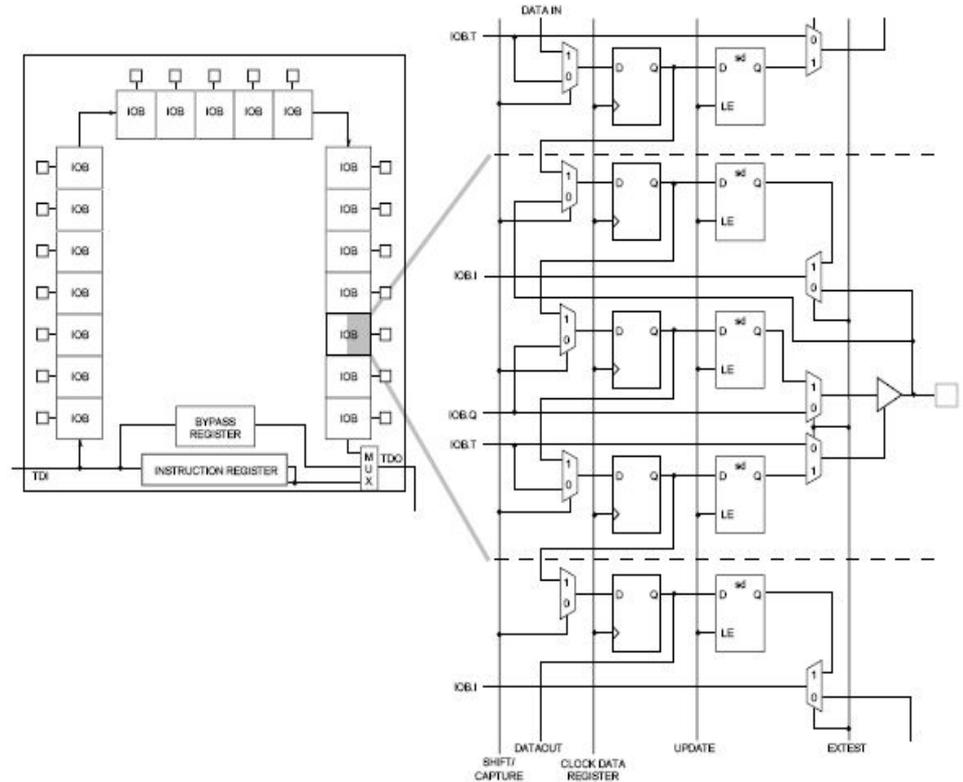
Дополнительные блоки FPGA

- Встроенные блоки памяти (небольшого объема) – 16x1 или 32x1 бит



Дополнительные блоки FPGA

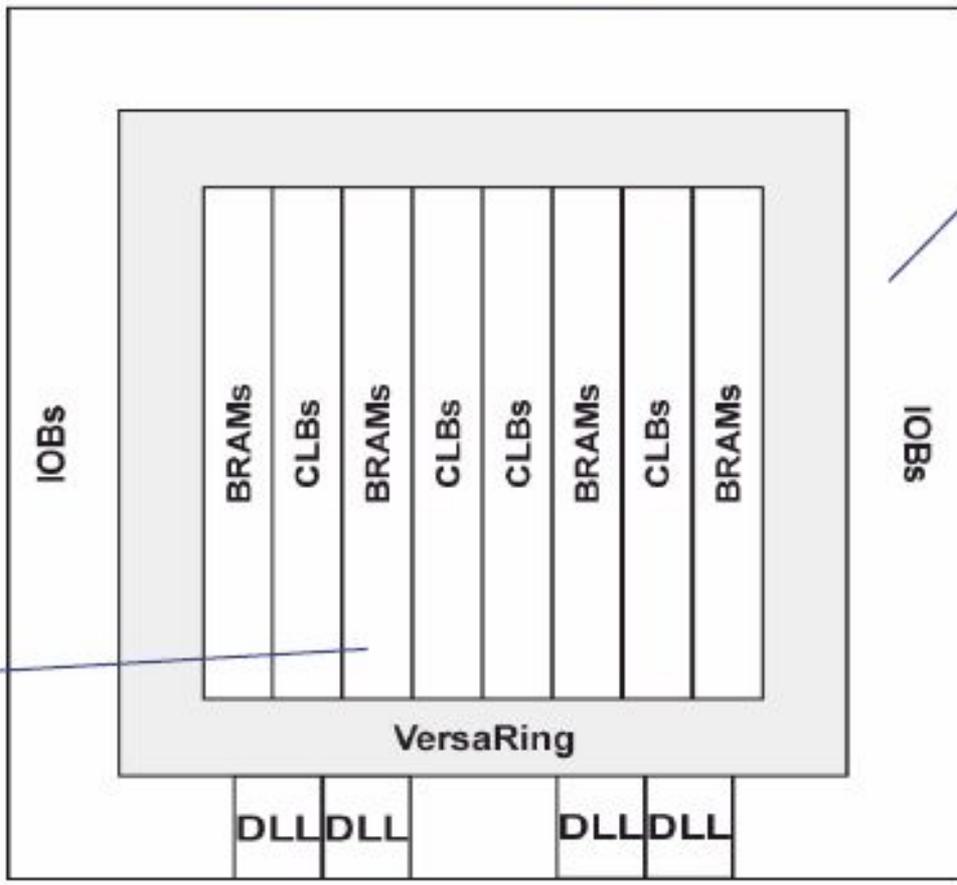
- Блок интерфейса граничного сканирования (JTAG) – для отладки и конфигурирования FPGA



Xilinx Floorplan

- Configurable Logic Blocks**
- 4-input function
 - buffers
 - flipflop

- Block RAM**
- 4096 bits each
 - every 12 CLB columns

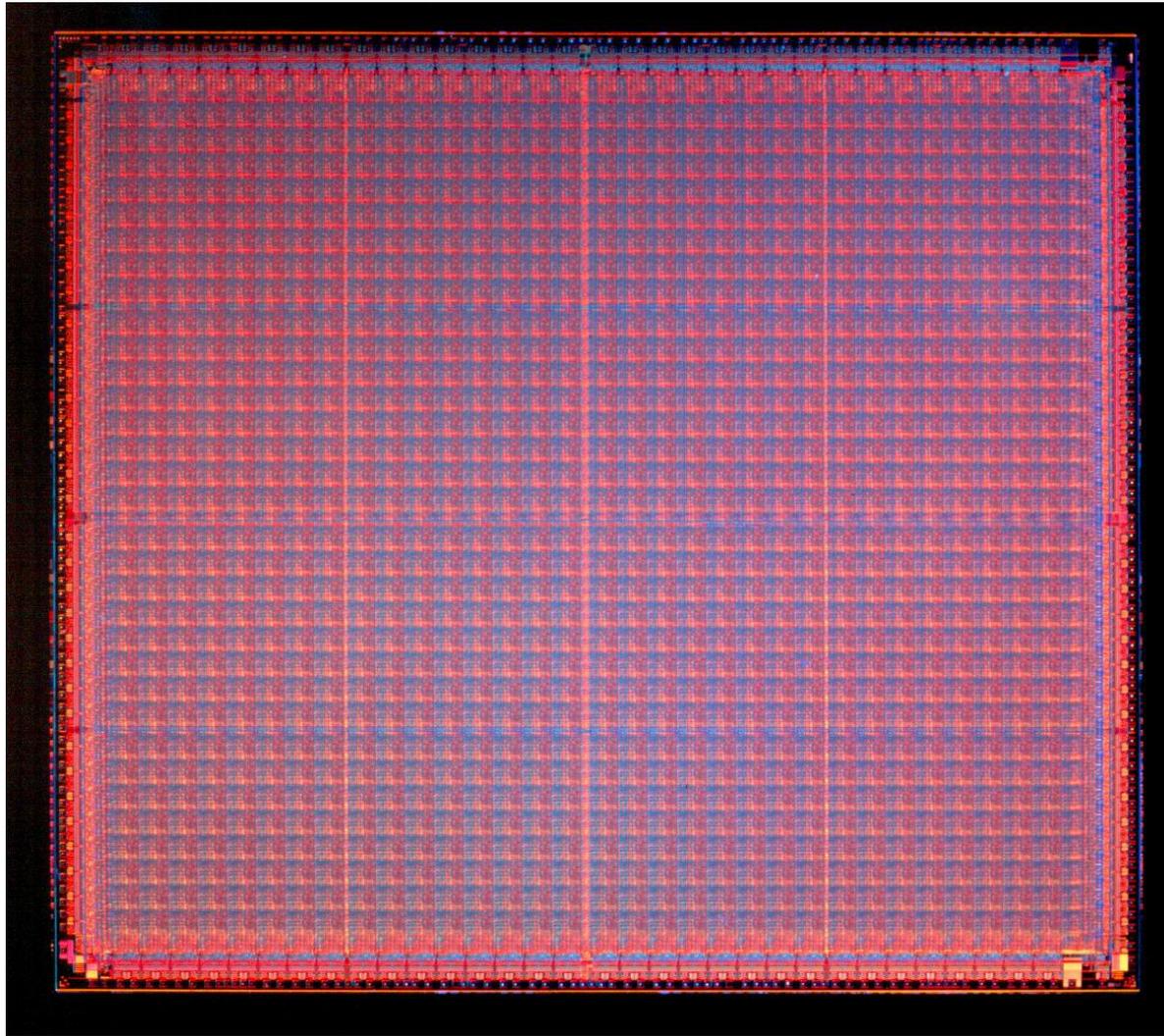


- Input/Output Blocks**
- combinational, latch, and flipflop output
 - sampled inputs

Характеристики семейства FPGA

- Микросхемы FPGA построены по SRAM-технологии и требуют загрузки управляющей (конфигурационной) программы либо из внешнего ПЗУ, либо из другого устройства
- Широко используются при построении реконфигурируемых систем, при решении задач логической эмуляции, и пр.

Пример кристалла FPGA



Xilinx XC4000ex

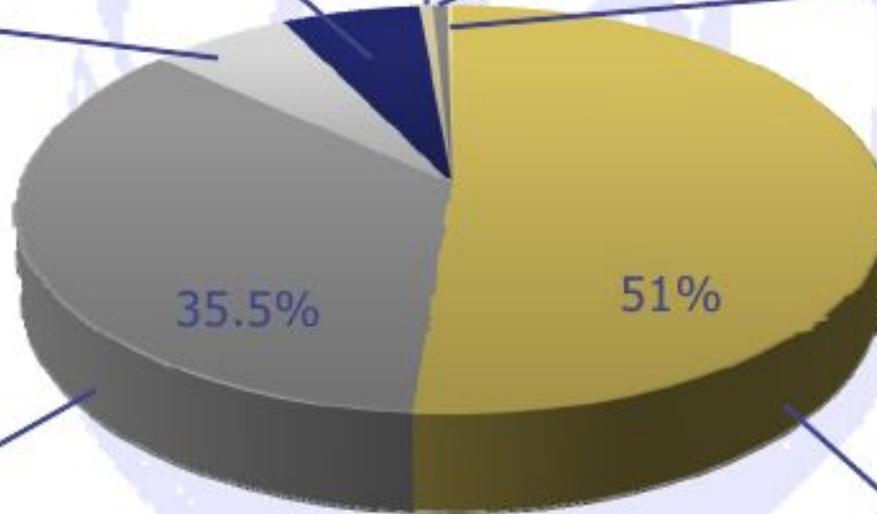
Main FPGA providers



CYPRESS



- Xilinx
- Altera
- Lattice
- Actel
- QuickLogic
- Cypress
- Atmel



Altera and Xilinx PLDs



Altera

- CPLD
 - ◆ MAX
- FPGA
 - ◆ Cyclone I, II and III
 - ◆ Stratix I, II, III and IVGX
 - ◆ Arria
 - ◆ APEX
 - ◆ Excalibur



Xilinx

- CPLD
 - ◆ CoolRunner
 - ◆ XC9500 Series
- FPGA
 - ◆ Rocket-PHY
 - ◆ Virtex - Virtex-II - Virtex-II Pro Series, Virtex-4, Virtex-5, Virtex-6
 - ◆ Spartan-3, Spartan-IIE, Spartan-II, Spartan-XL, Spartan-6



Характеристики семейства FPGA

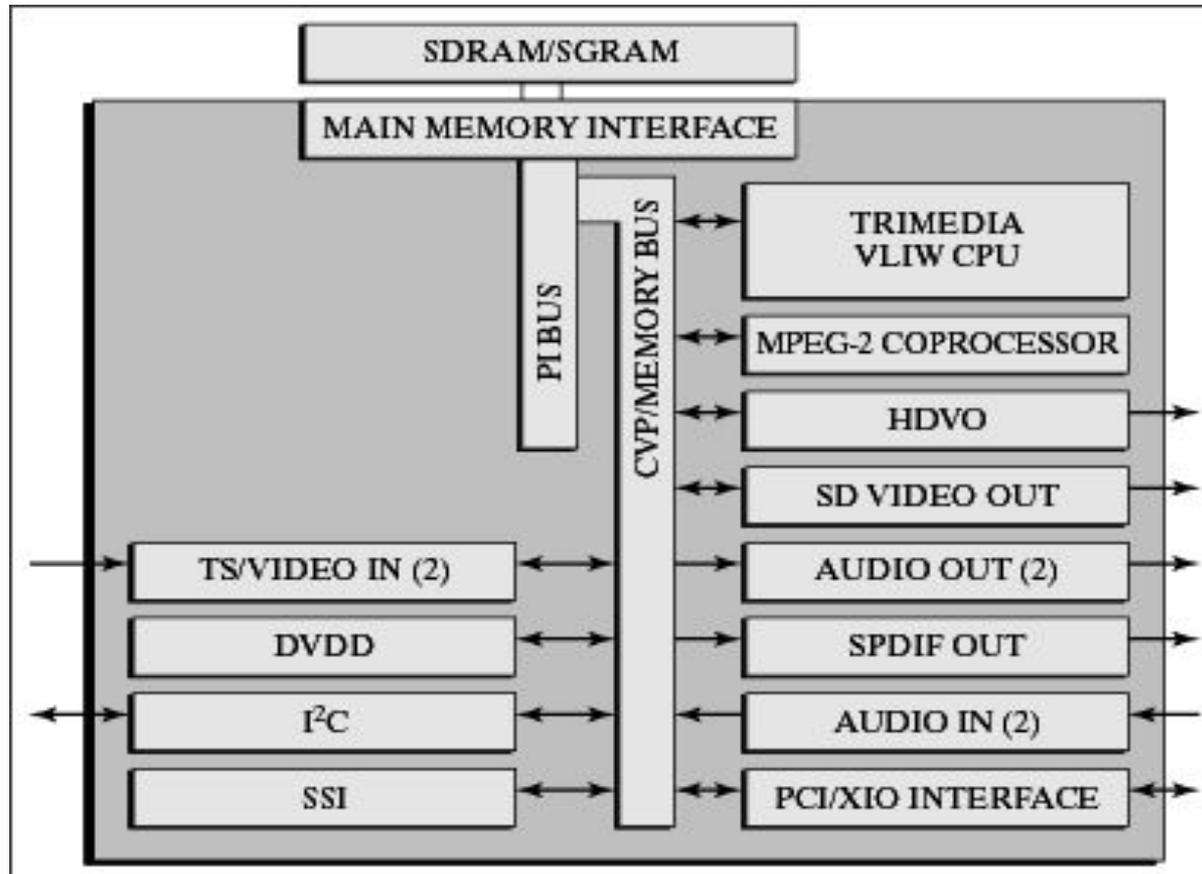
Device	Logic Cells	Max System Gates	Typical Gate Range (Logic and RAM)*	CLB Matrix	Total CLBs	Number of Flip-Flops	Max. Available User I/O
XCS05 & XCS05XL	238	5,000	2,000 - 5,000	10 x 10	100	360	77
XCS10 & XCS10XL	466	10,000	3,000 - 10,000	14 x 14	196	616	112
XCS20 & XCS20XL	950	20,000	7,000 - 20,000	20 x 20	400	1,120	160
XCS30 & XCS30XL	1368	30,000	10,000 - 30,000	24 x 24	576	1,536	192
XCS40 & XCS40XL	1862	40,000	13,000 - 40,000	28 x 28	784	2,016	205

* Max values of Typical Gate Range include 20-30% of CLBs used as RAM.

Системы на кристалле (SoC)

- Предпосылки появления «Систем на Кристалле» (System-on-Chip):
 - уменьшение топологических норм проектирования;
 - повышение уровня интеграции ПЛИС (несколько млн ЭВ);
 - повышение быстродействия ПЛИС (более 600 МГц).
- Возможность разместить на кристалле целую систему:
 - процессорная часть;
 - память;
 - интерфейсные схемы и др.

Пример системы на кристалле



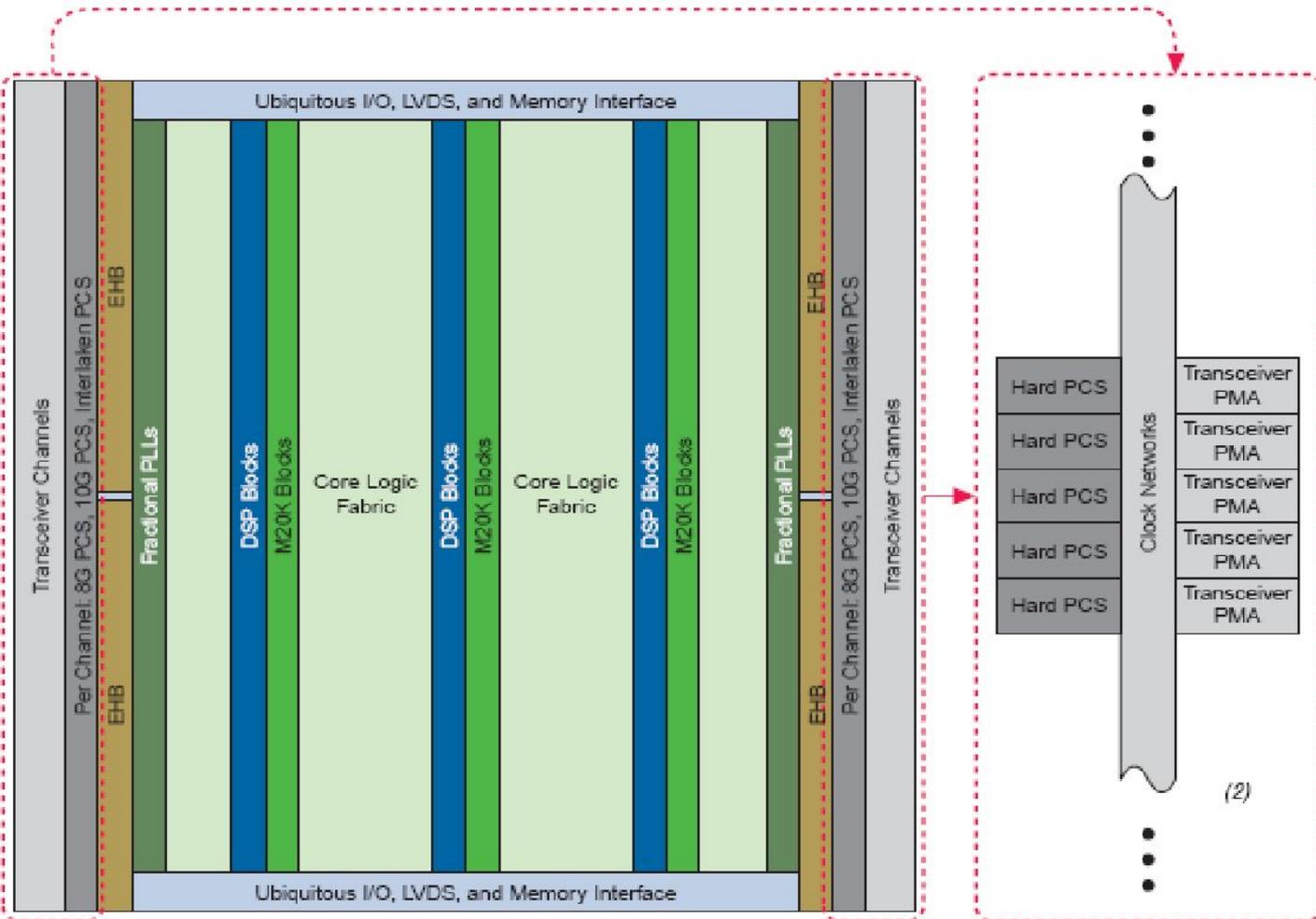
Системы на кристалле (SoC)

- Архитектурные особенности SoC:
 - наличие универсальных программируемых блоков, позволяющих реализовать любое устройство (generic);
 - наличие специализированных областей (аппаратных ядер), выделенных на кристалле для определенных функций (hardcores).
- Введение специализированных аппаратных ядер сокращает площадь кристалла при реализации сложных функций и увеличивает быстродействие.

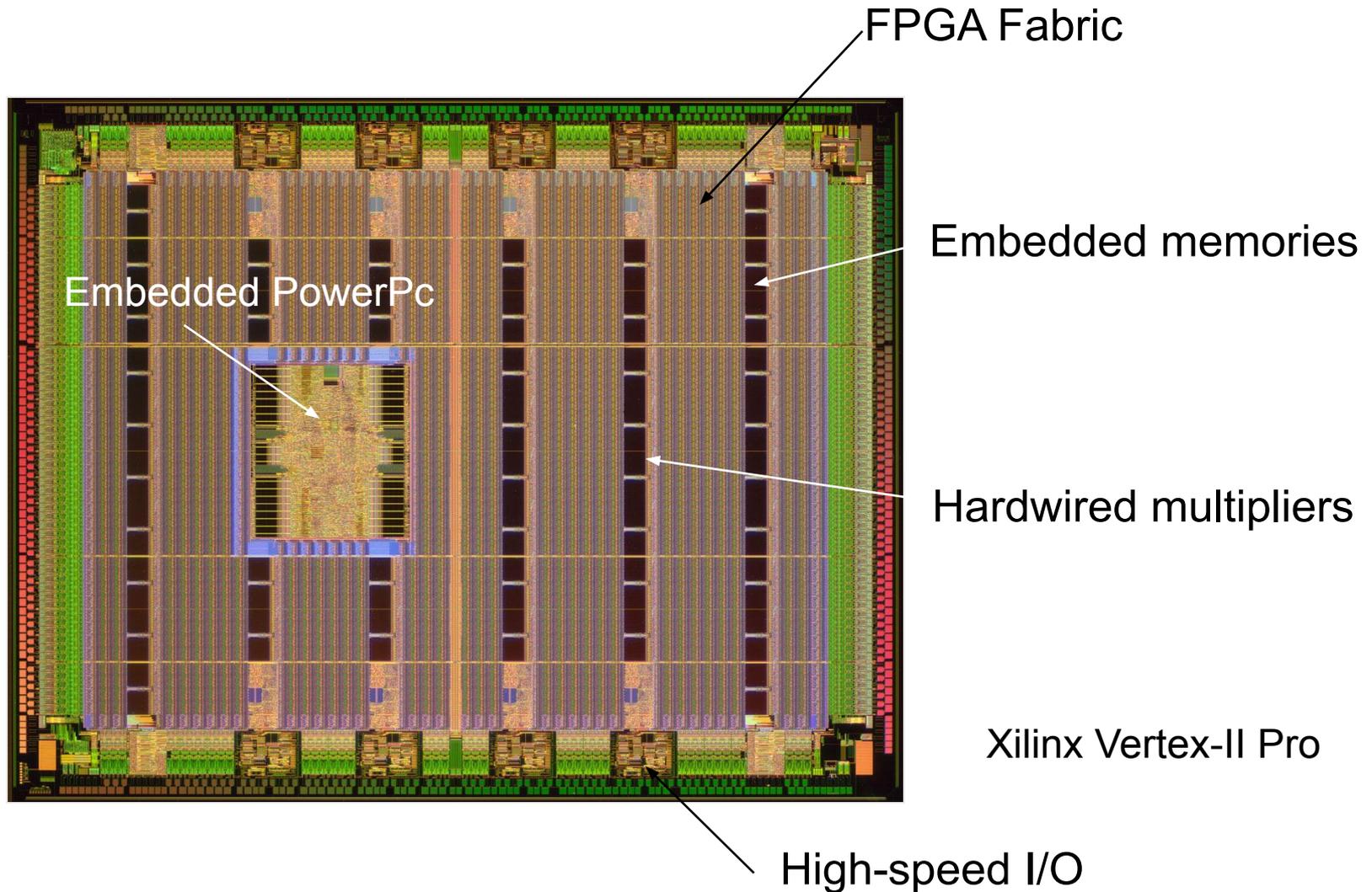
Системы на кристалле (SoC)

- К специализированным ядрам относятся:
 - блоки ОЗУ с возможностью изменения организации памяти, выбора асинхронного и синхронного режима работы и др.;
 - умножители;
 - схемы интерфейса (JTAG, PCI и пр.);
 - схемы формирования тактовых сигналов (PLL, DLL).

Структура SoC ALTERA

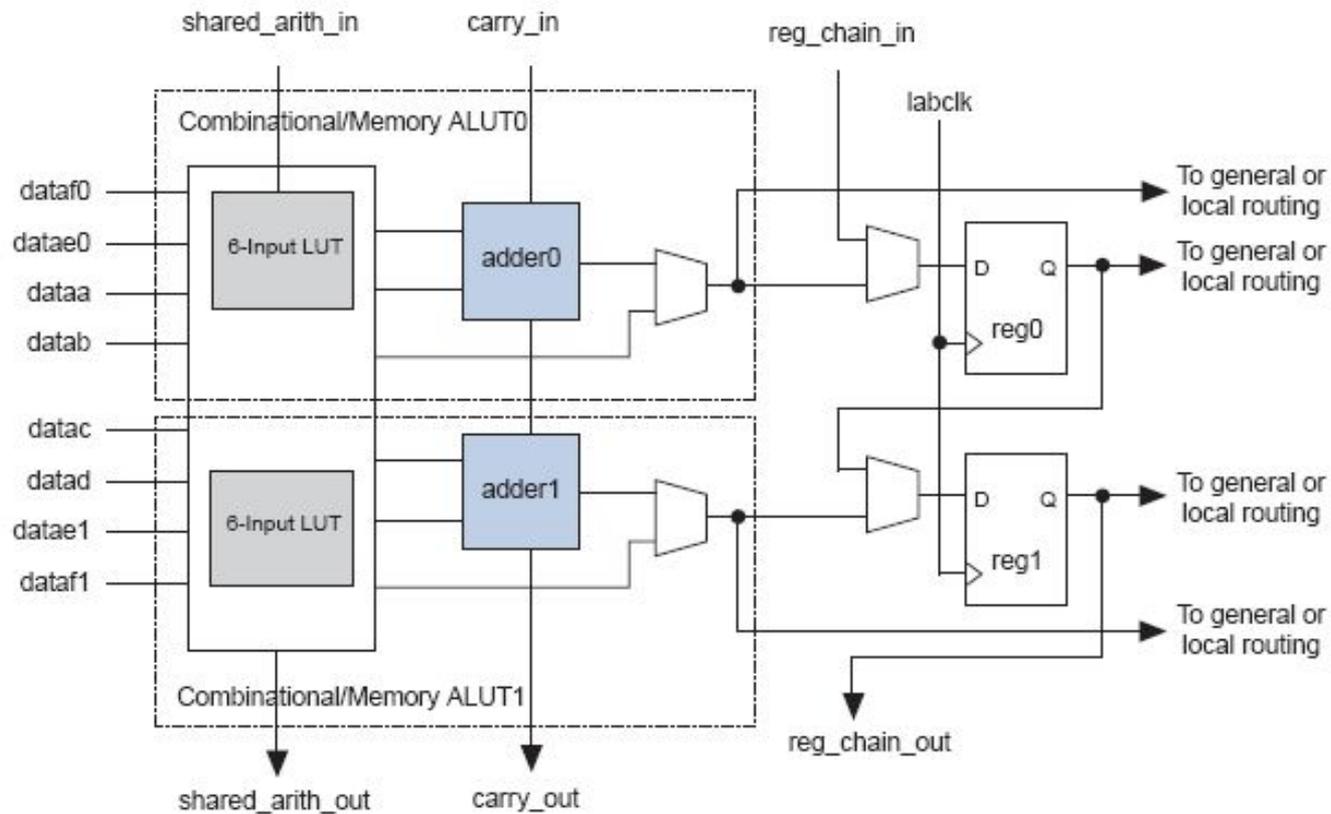


Структура SoC XILINX

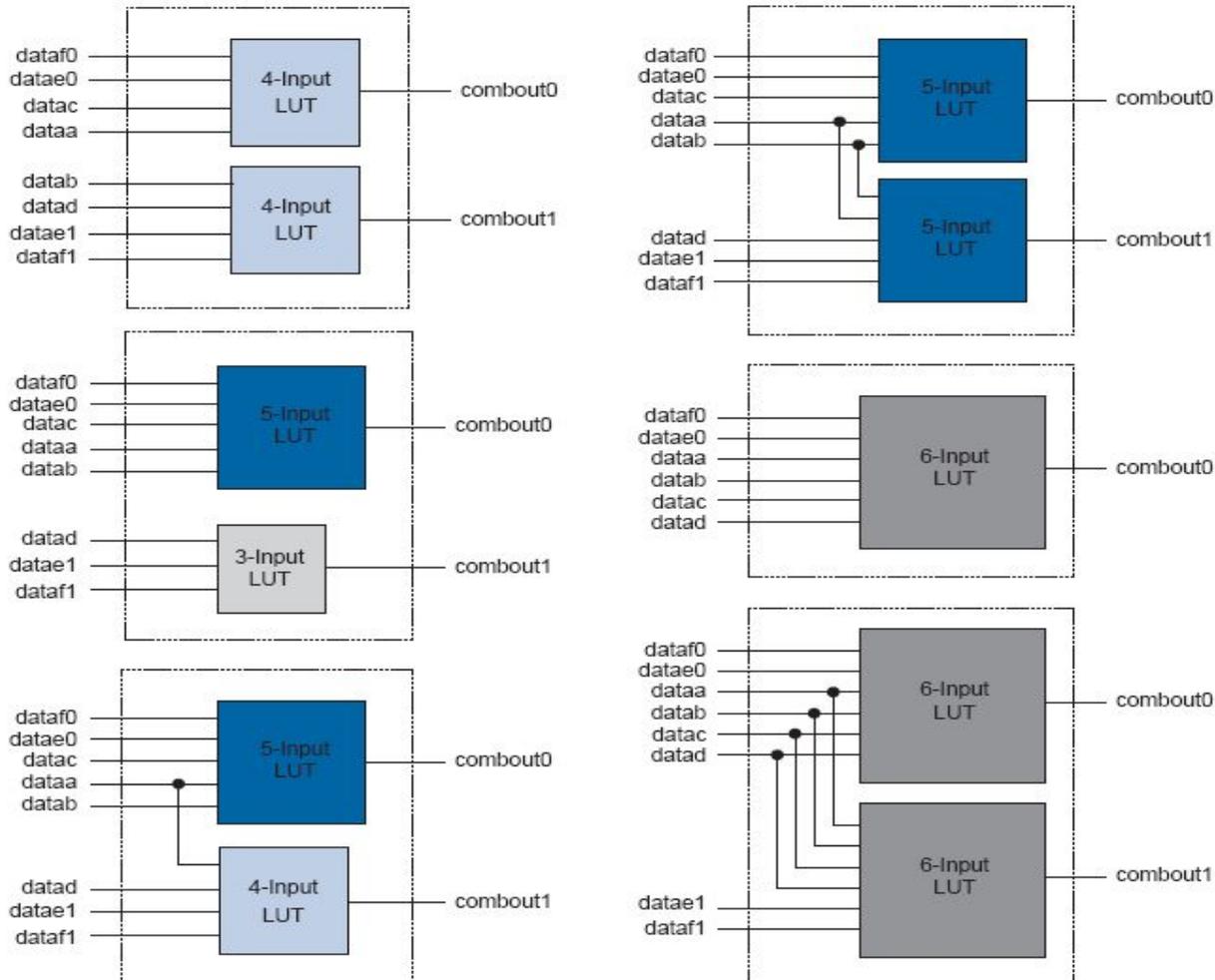


Courtesy Xilinx

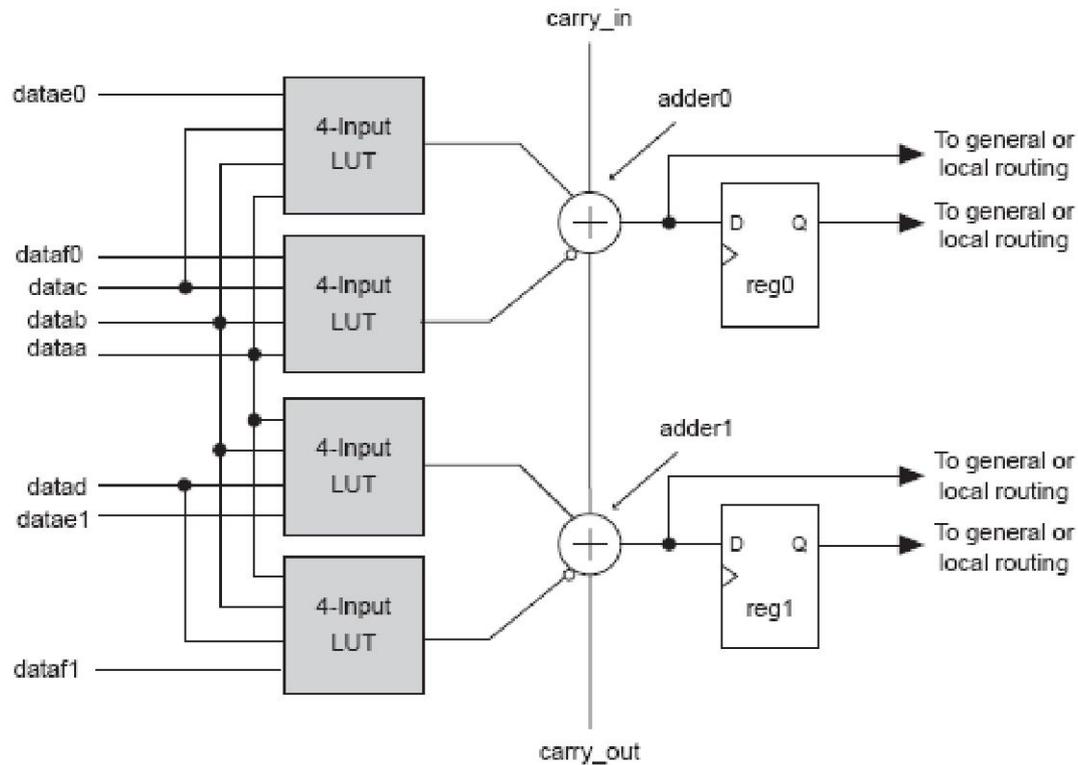
Логическая ячейка SoC



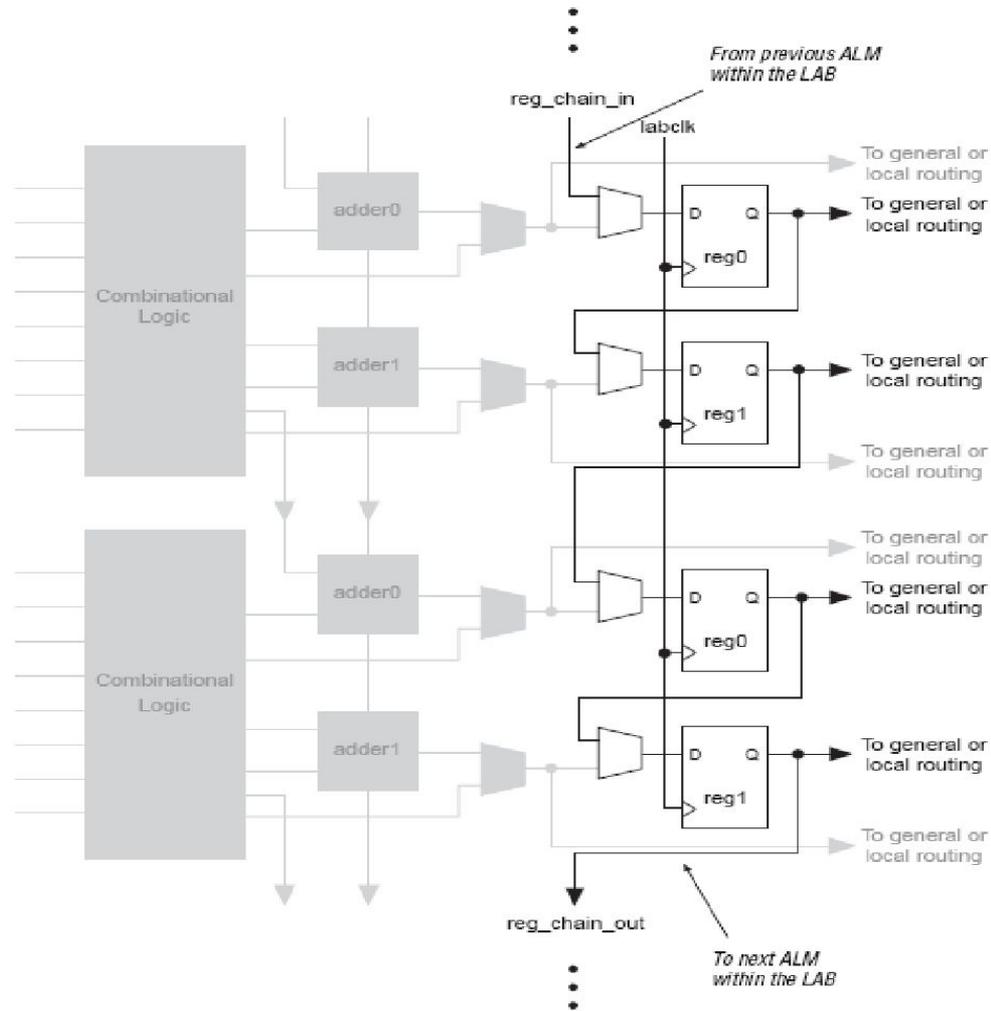
Режимы настройки логической ячейки



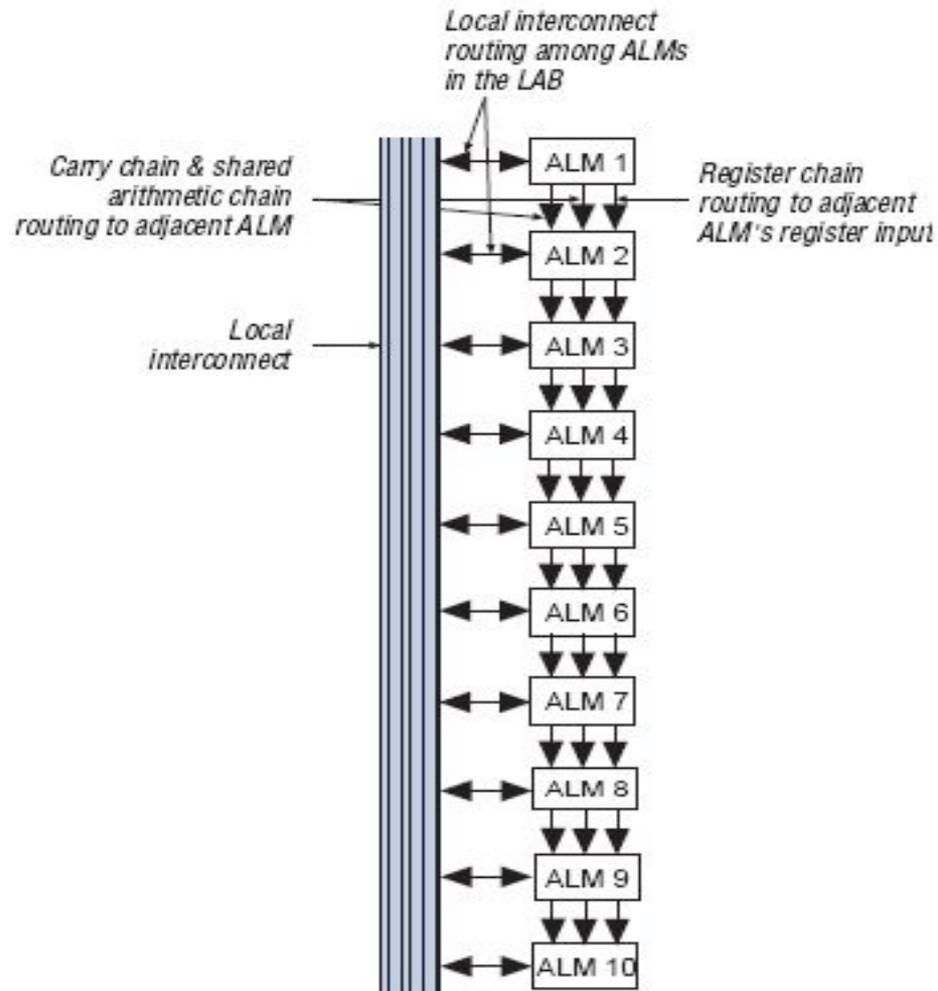
Арифметический режим работы



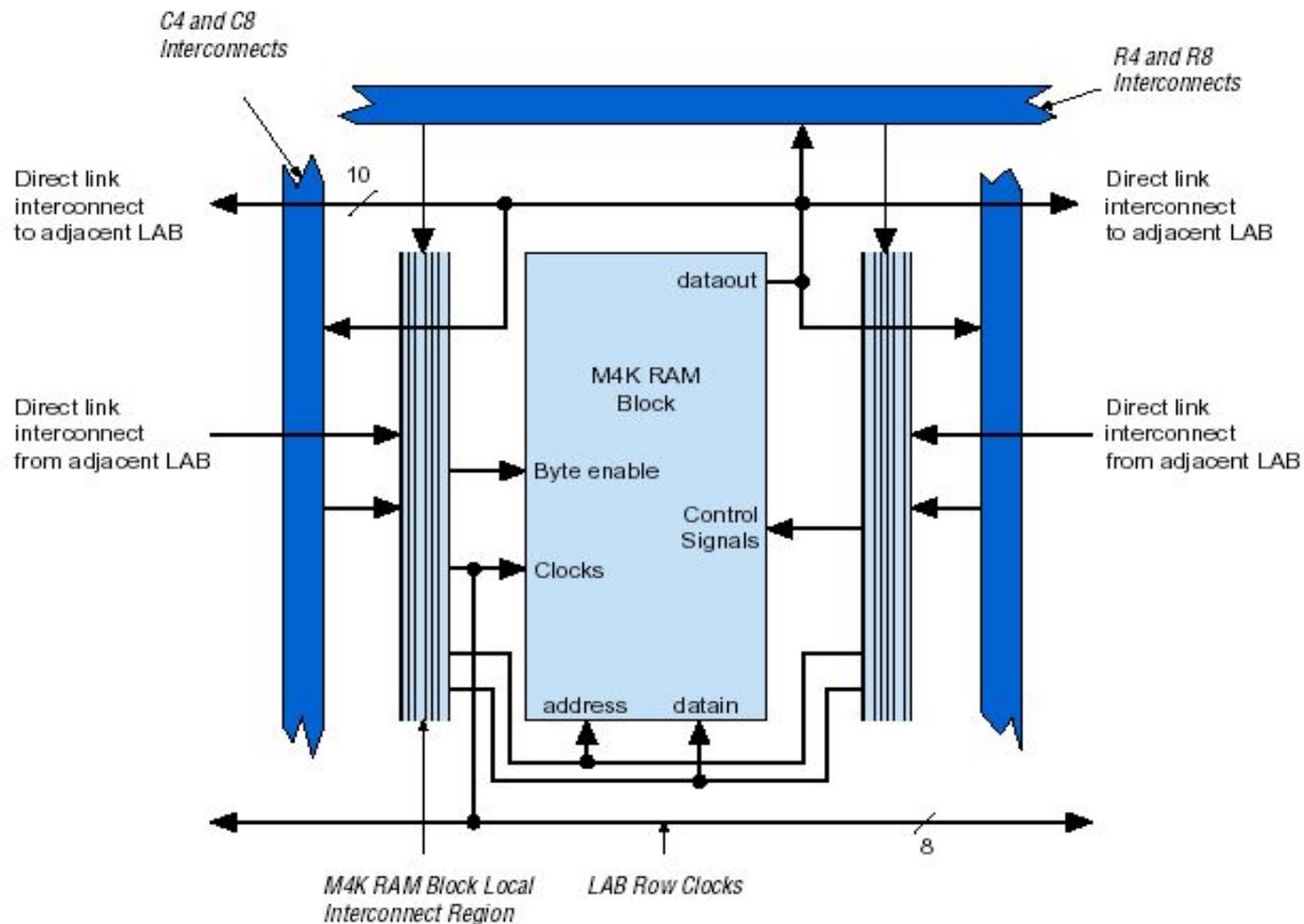
Организация регистровой цепочки



Объединение логических ячеек в логический блок



Блок памяти SoC

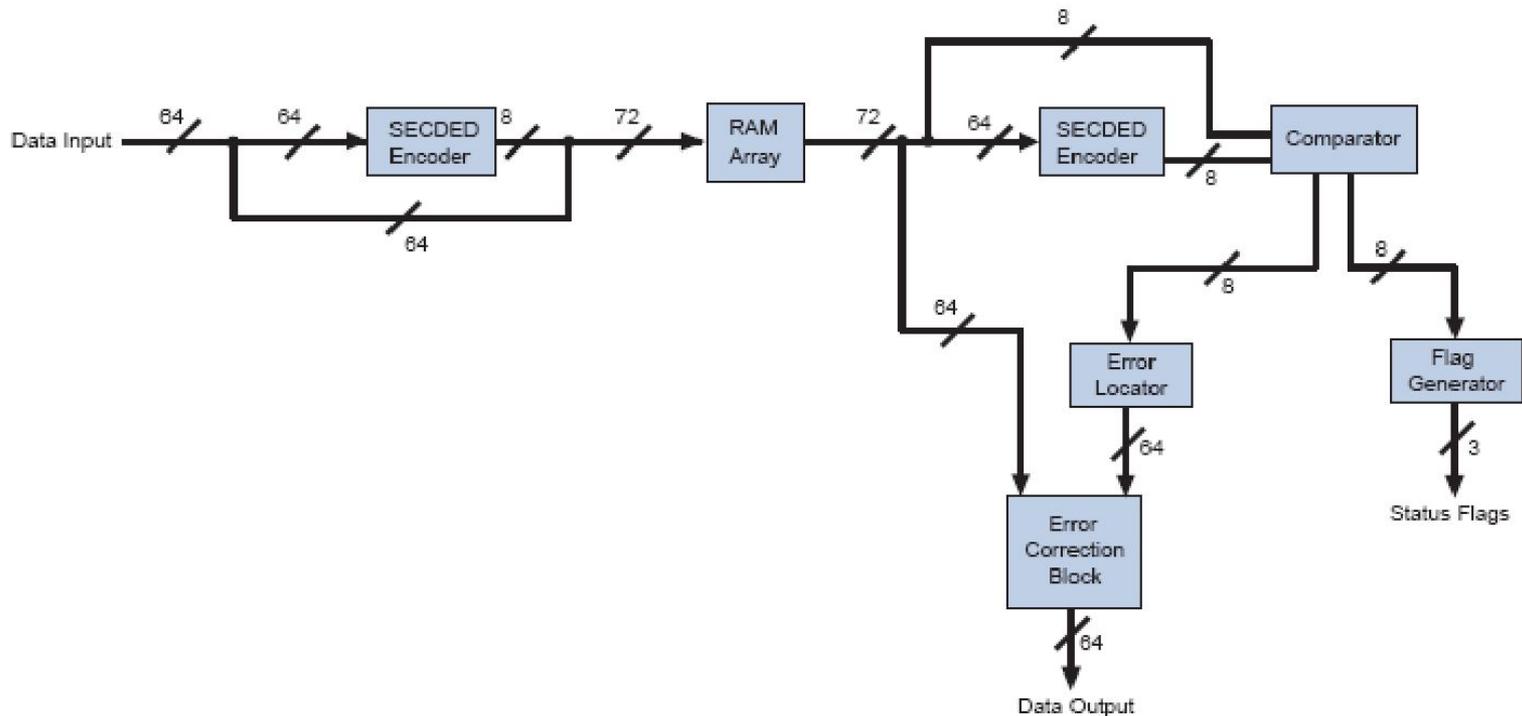


Конфигурационные возможности блока памяти

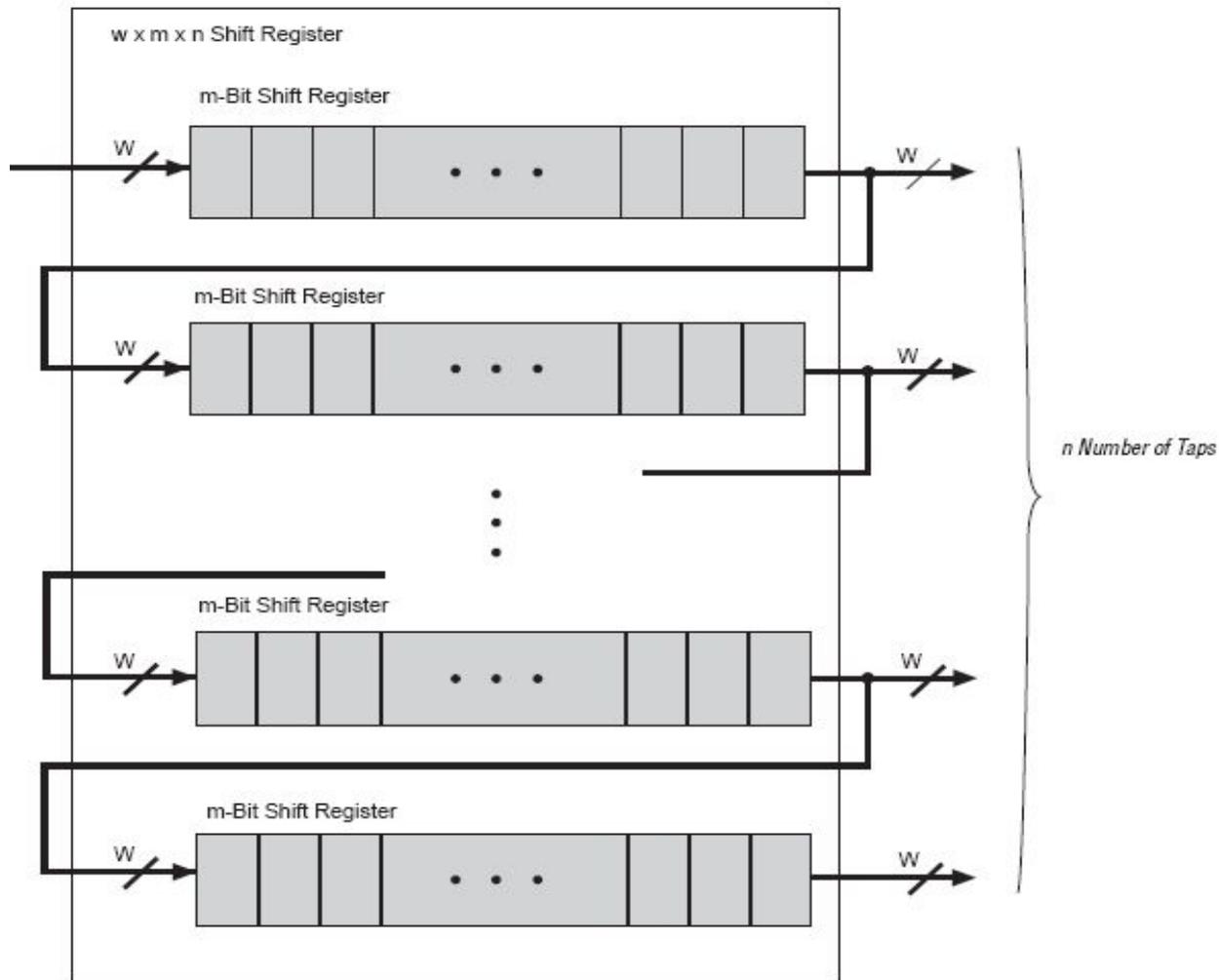
Table 3-1. Summary of TriMatrix Memory Features (Part 1 of 2)

Feature	MLABs	M9K Blocks	M144K Blocks
Maximum performance	600 MHz	600 MHz	540 MHz
Total RAM bits (including parity bits)	640	9216	147,456
Configurations (depth × width)	64 × 8 64 × 9 64 × 10 32 × 16 32 × 18 32 × 20	8K × 1 4K × 2 2K × 4 1K × 8 1K × 9 512 × 16 512 × 18 256 × 32 256 × 36	16K × 8 16K × 9 8K × 16 8K × 18 4K × 32 4K × 36 2K × 64 2K × 72
Parity bits	✓	✓	✓
Byte enable	✓	✓	✓
Packed mode	—	✓	✓

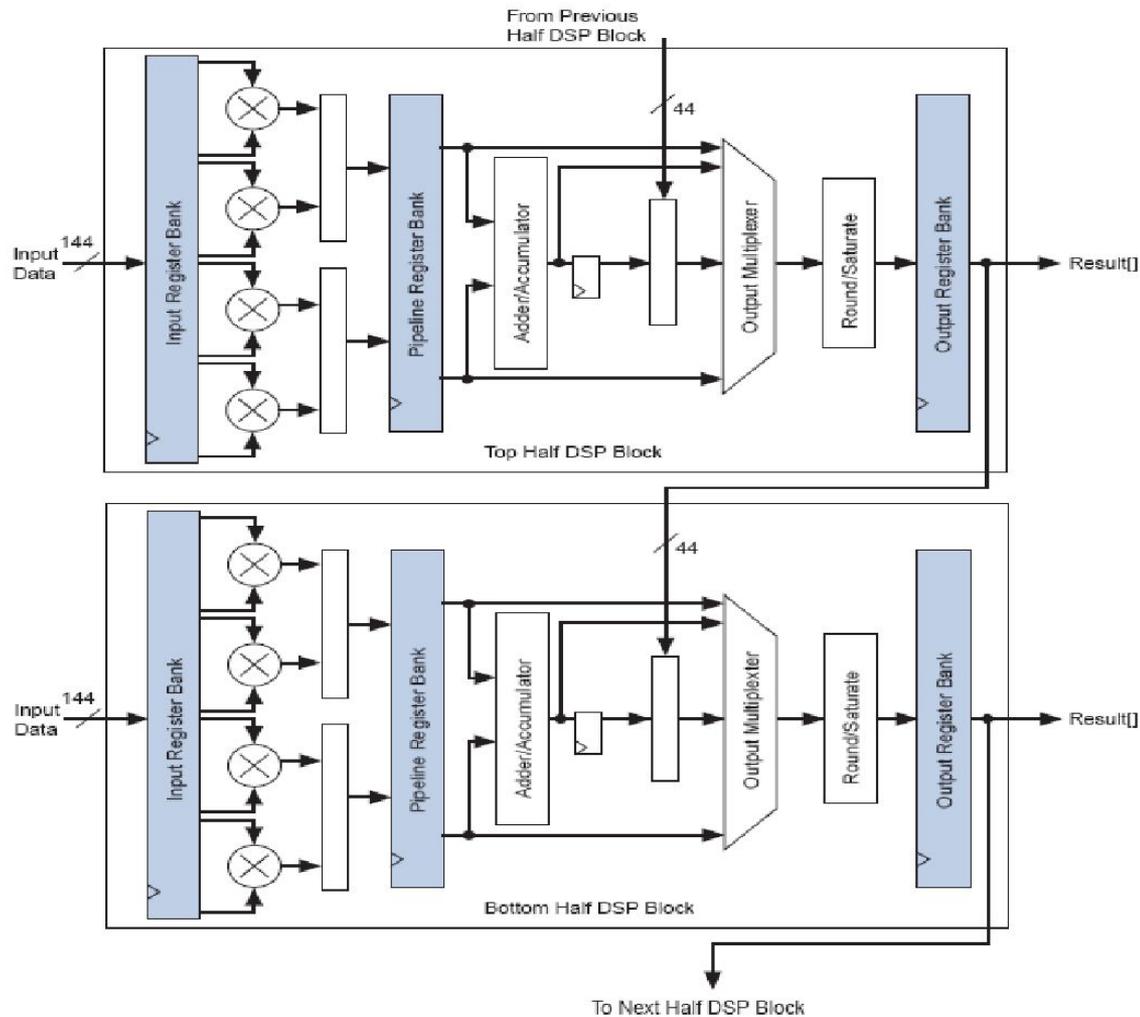
Устройство коррекции ошибок для блока памяти



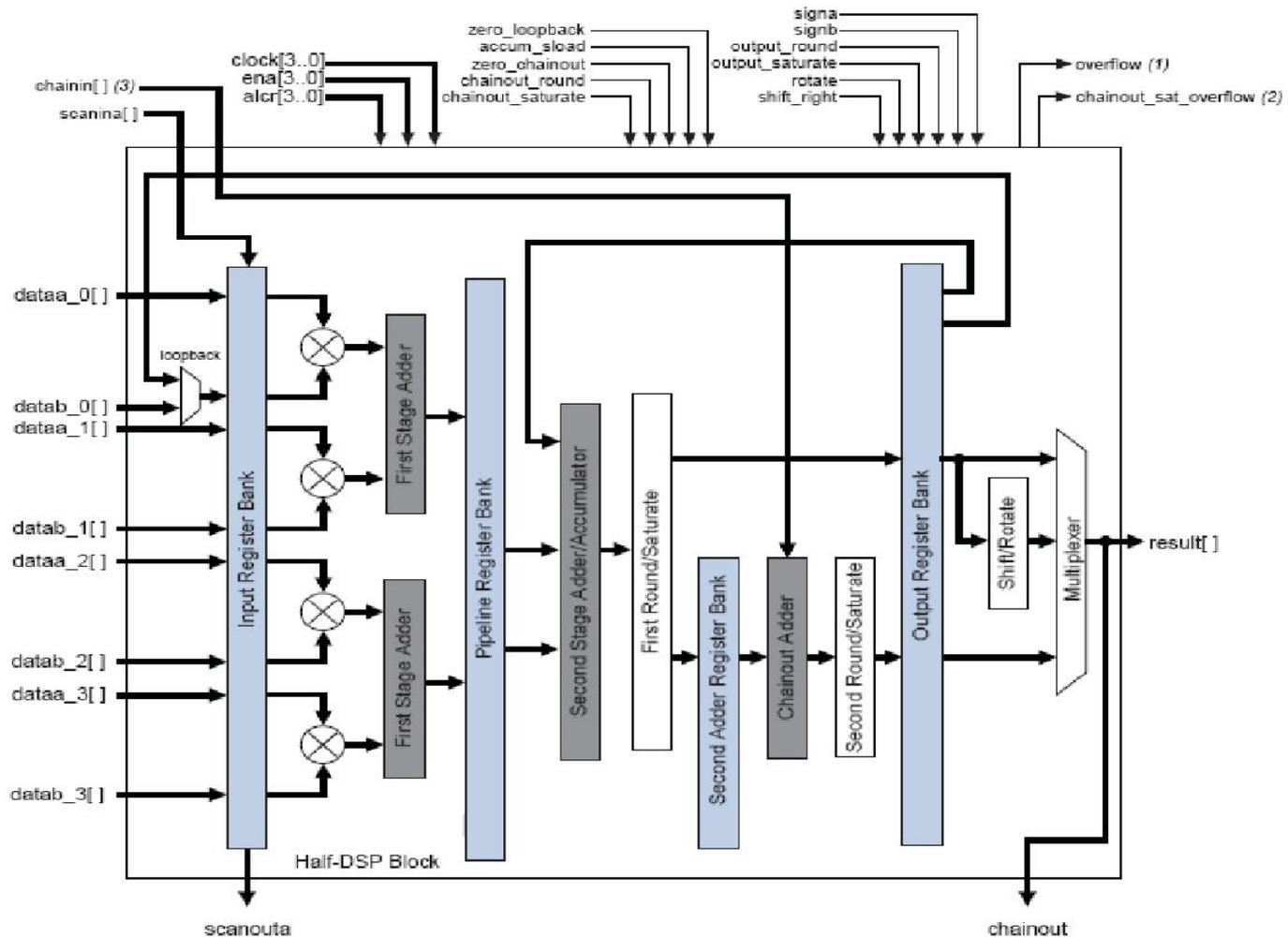
Блок памяти в режиме сдвигового регистра



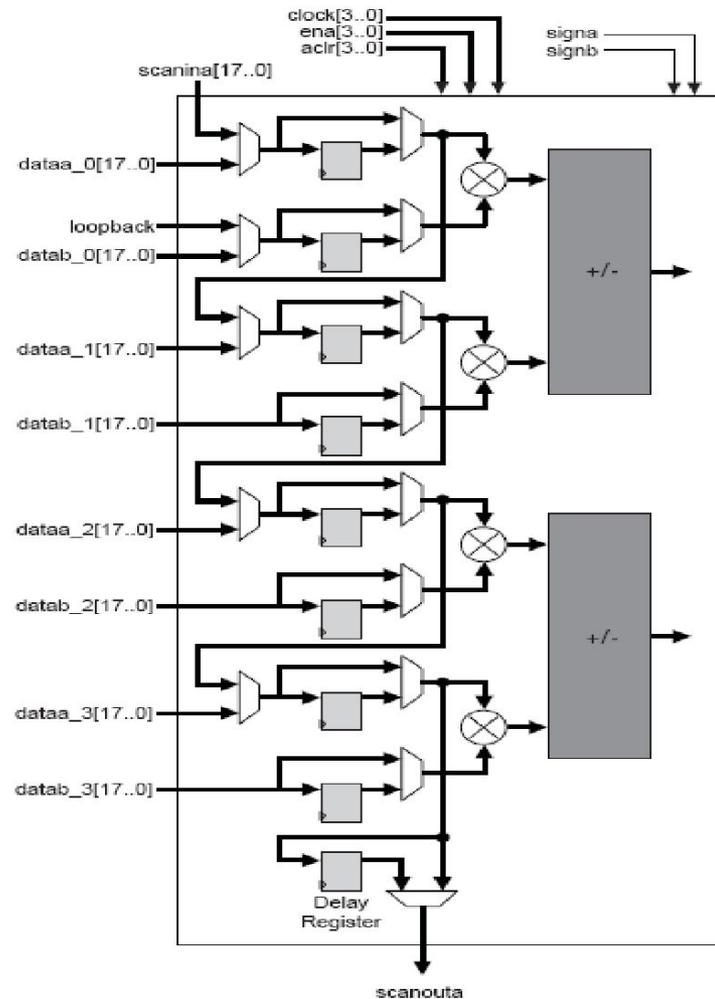
Арифметический блок SoC



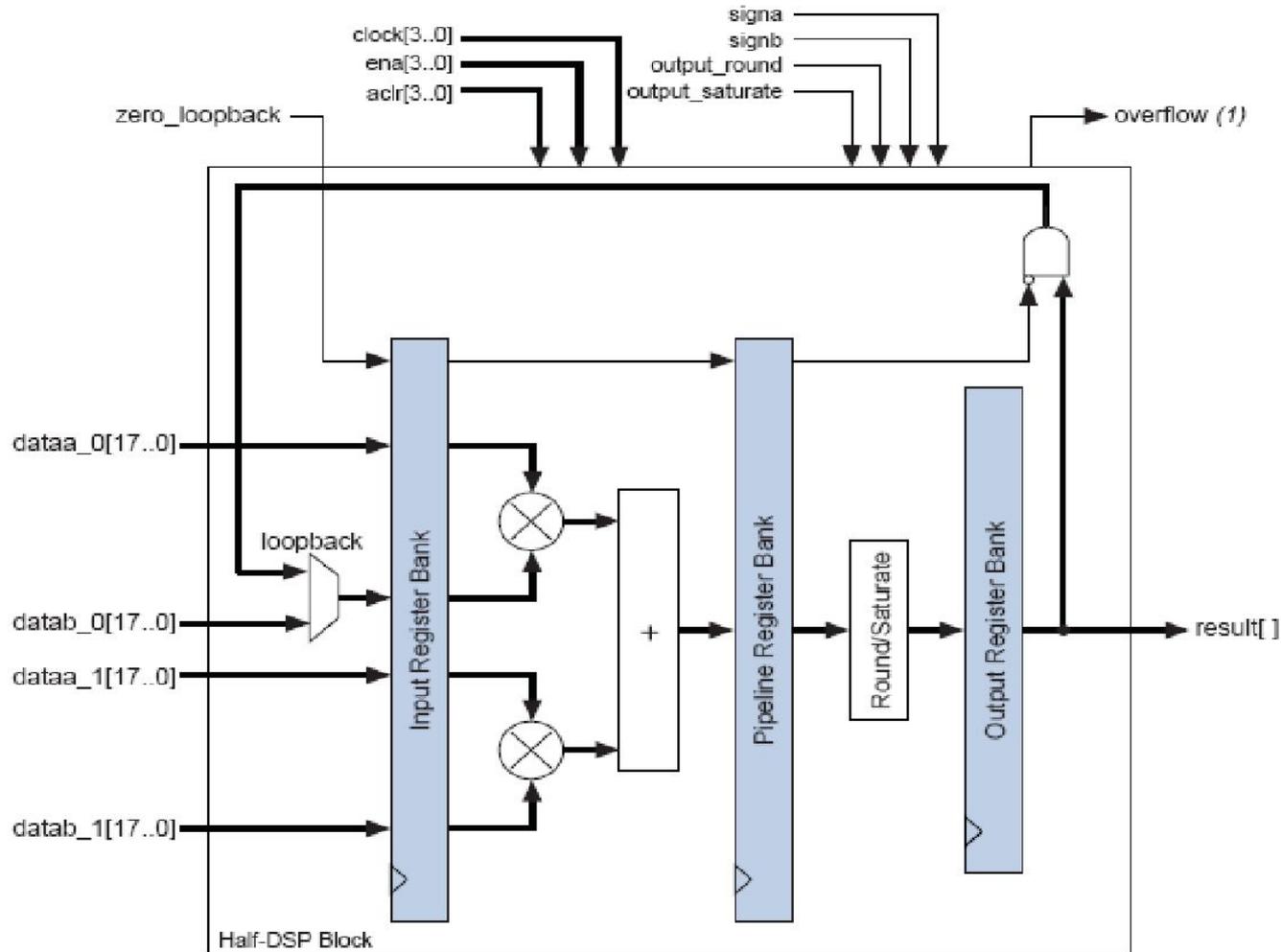
Архитектурные особенности арифметического блока



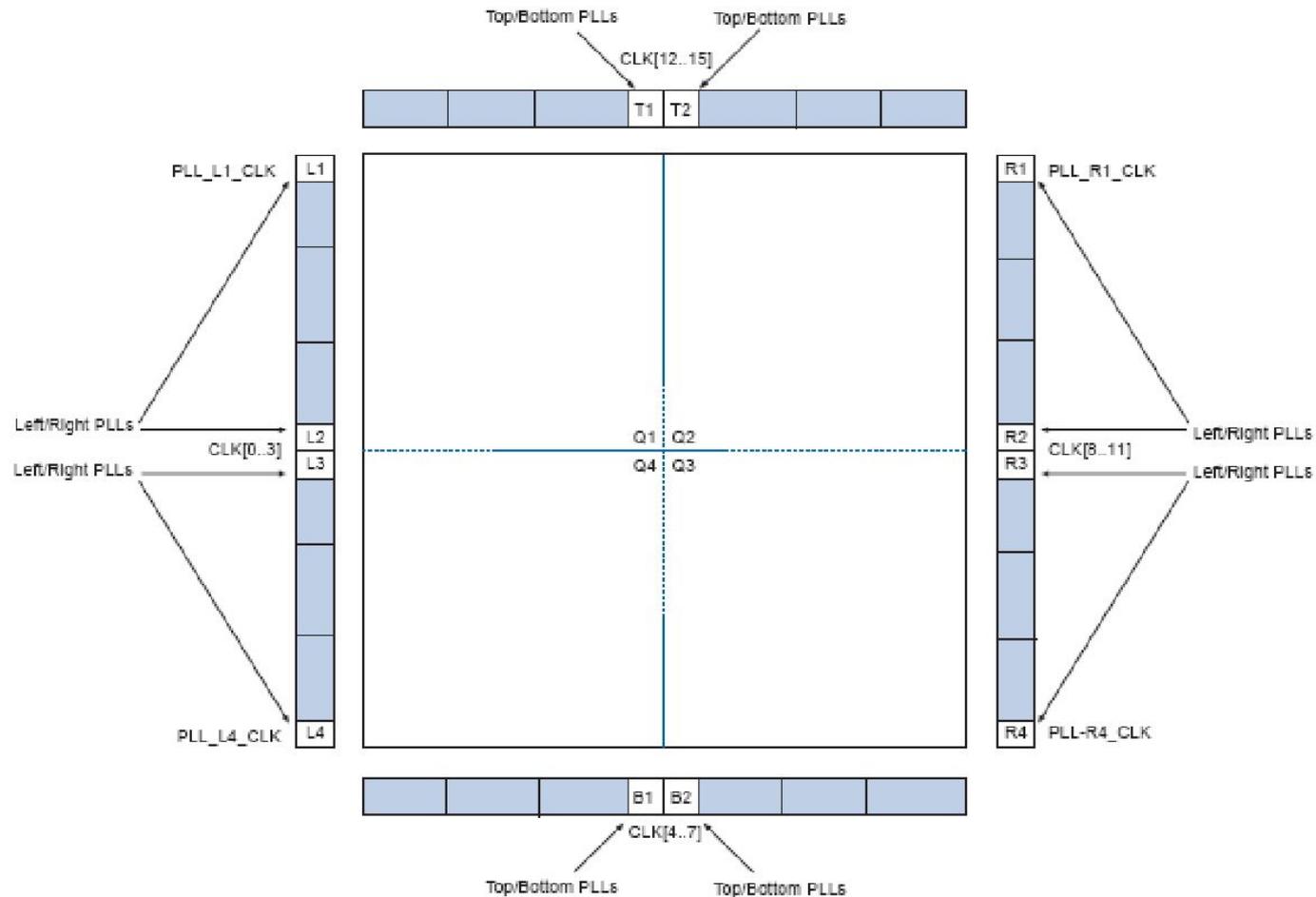
Последовательная загрузка данных в арифметическом блоке



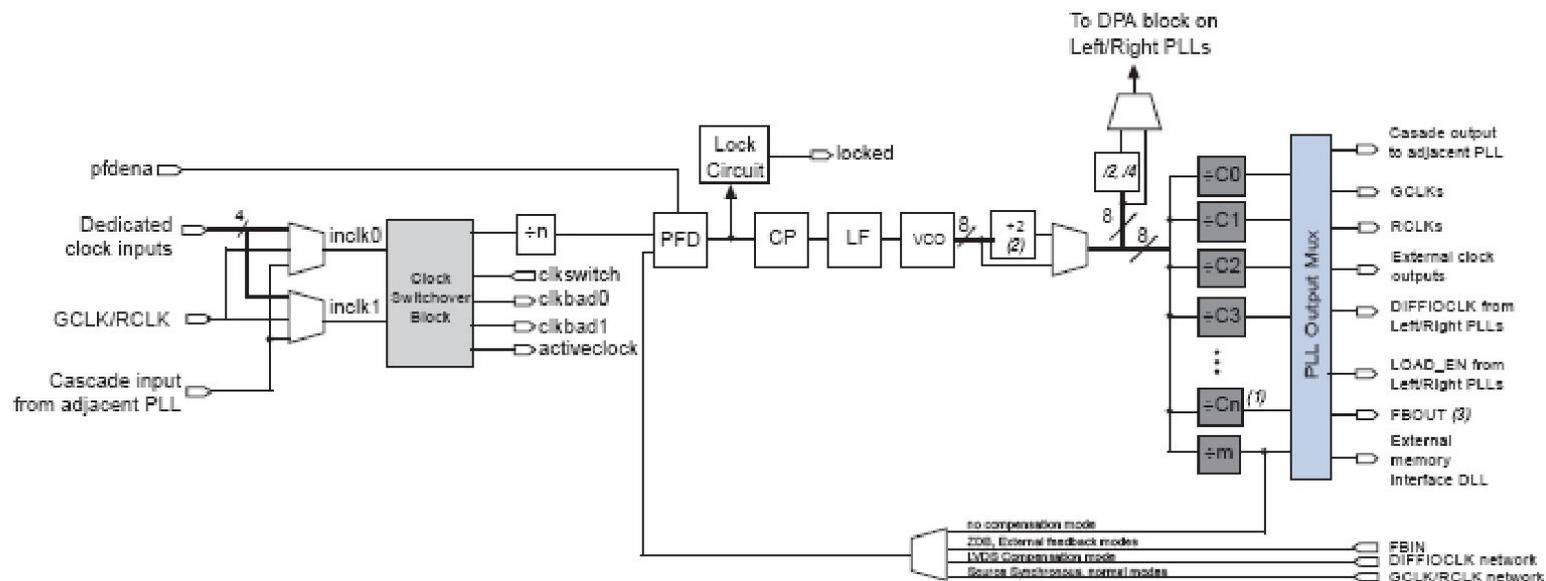
Формирование обратной связи в арифметическом блоке



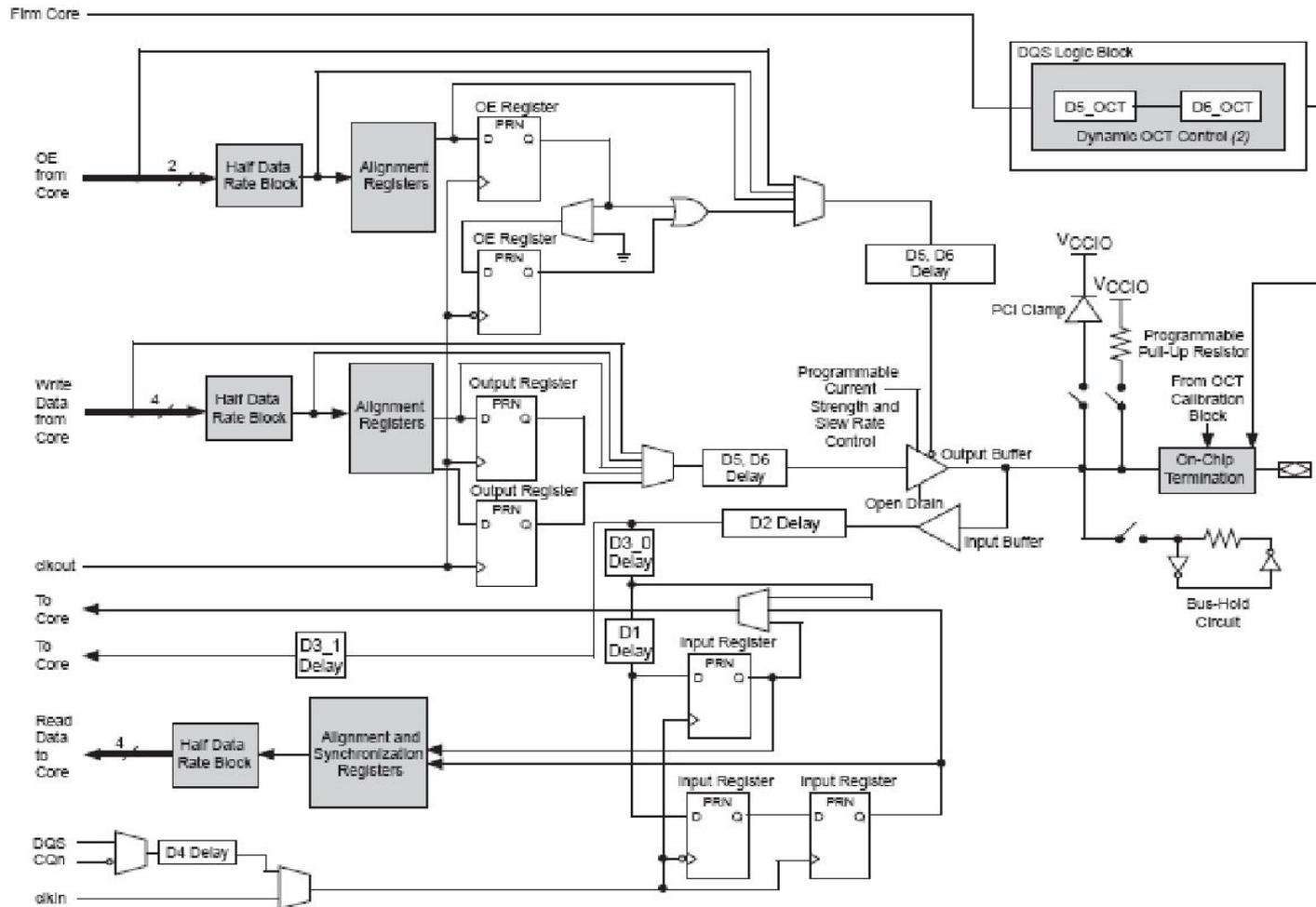
Блок управления тактовыми сигналами SoC



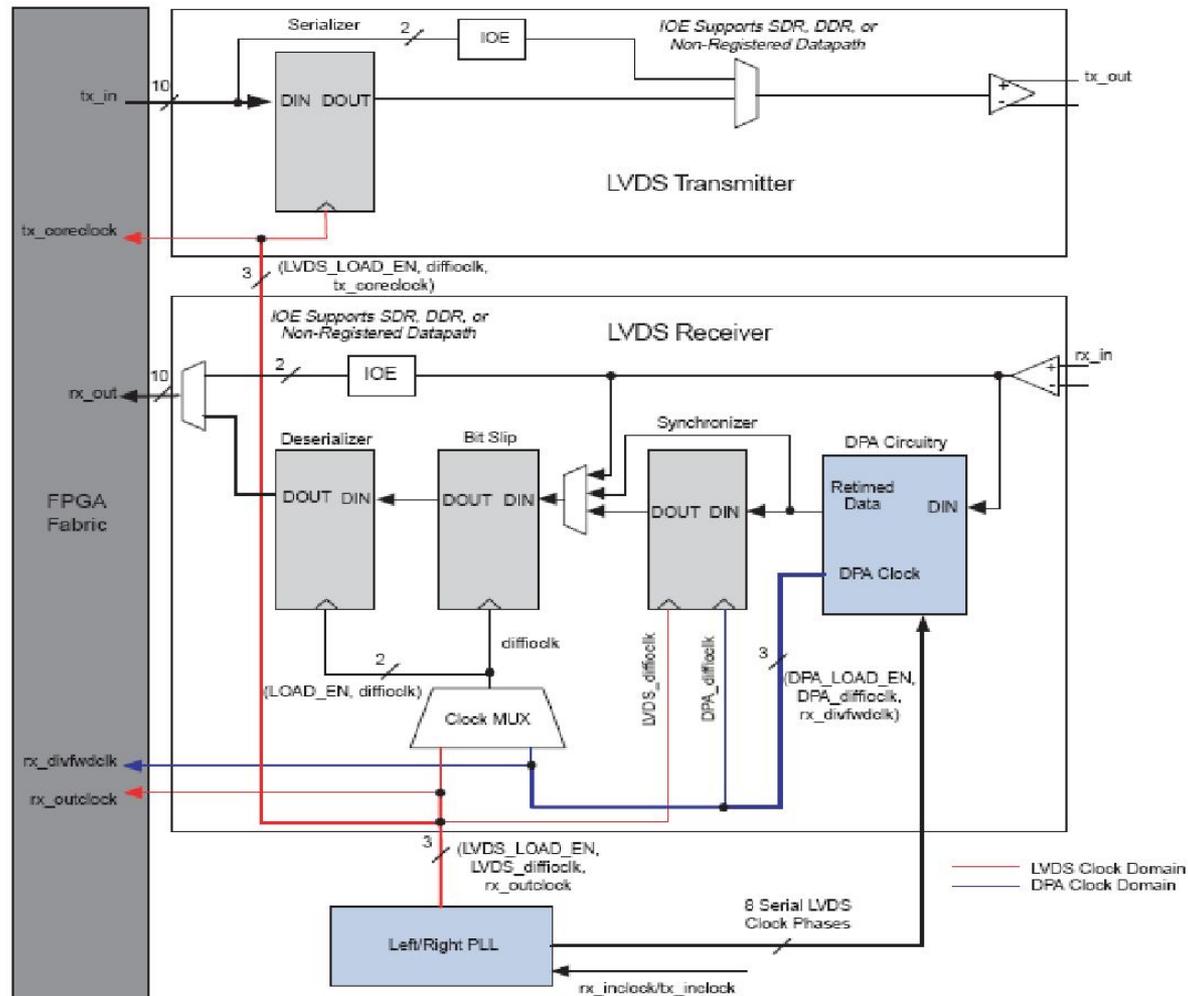
Структура блока PLL SoC



Блок ввода\вывода SoC

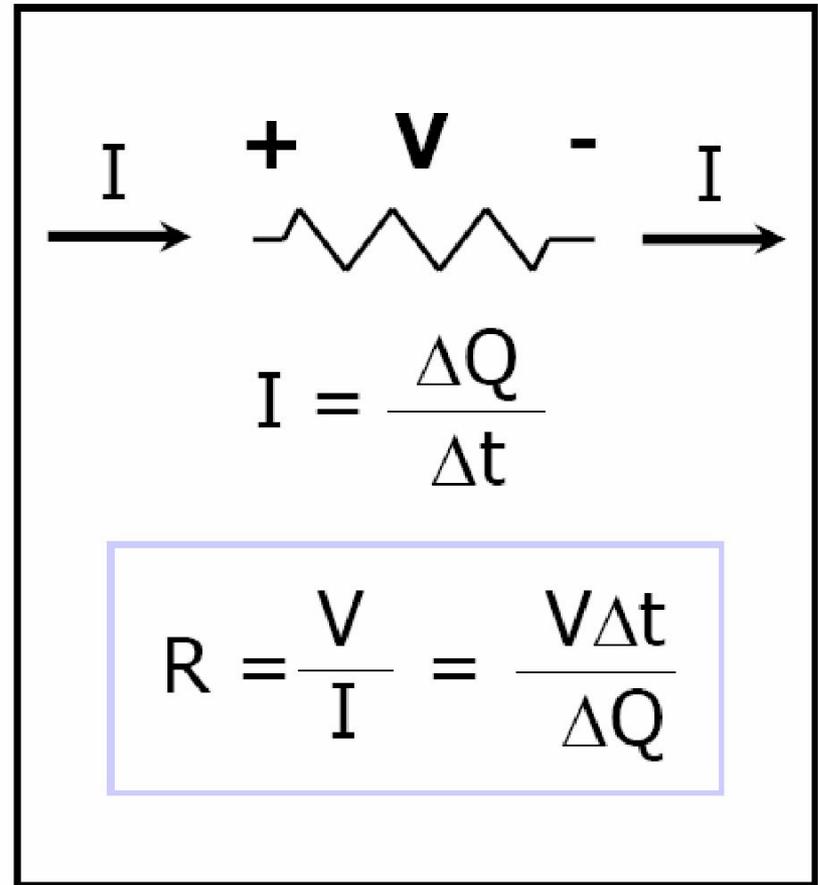


Работа блока ввода\вывода с дифференциальным сигналом

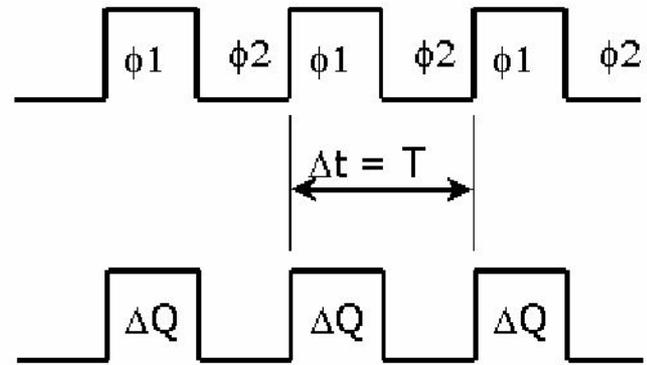
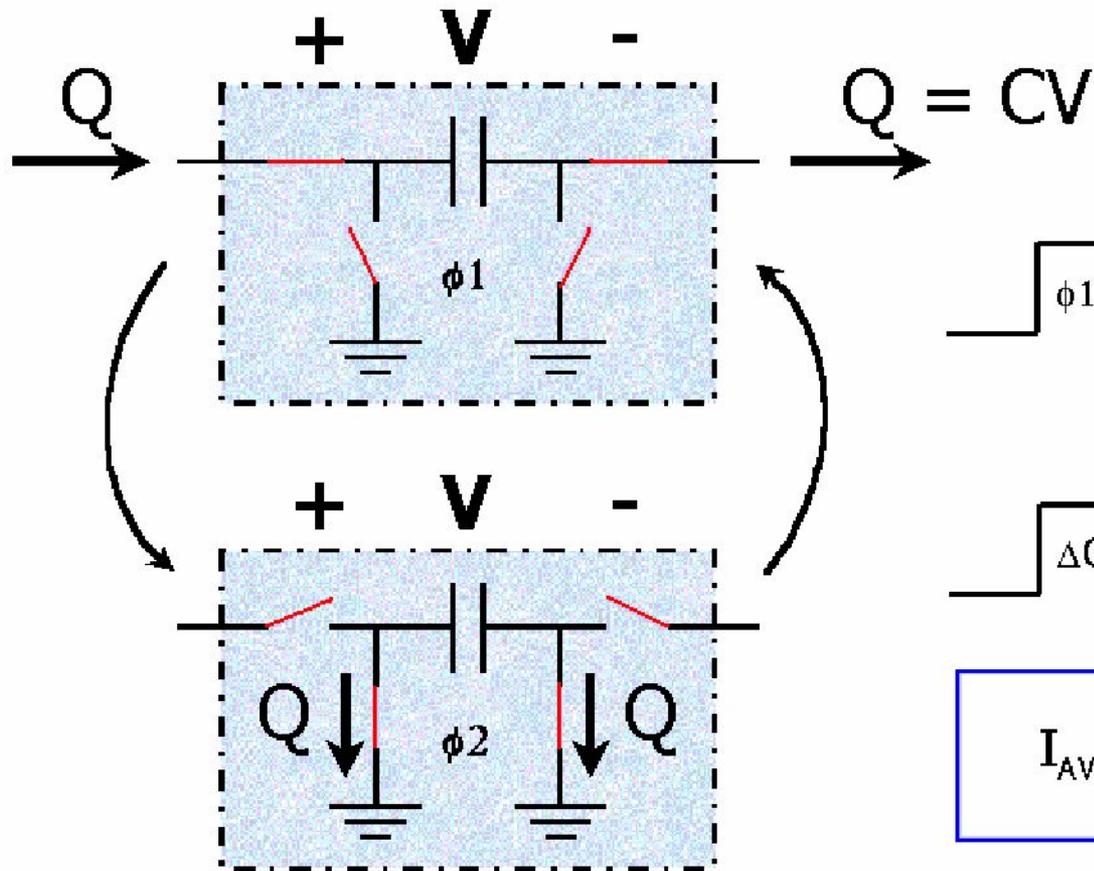


Программируемые аналоговые интегральные схемы (ПАИС)

- Соотношение между сопротивлением (R) и зарядом (Q):
 - сопротивление это отношение напряжения (V) к току (I);
 - ток это скорость изменения заряда.



Конденсатор в ключевом режиме



$$I_{\text{AVG}} = \frac{\Delta Q}{\Delta t} = \frac{C V}{T}$$

Переключаемый конденсатор как резистор

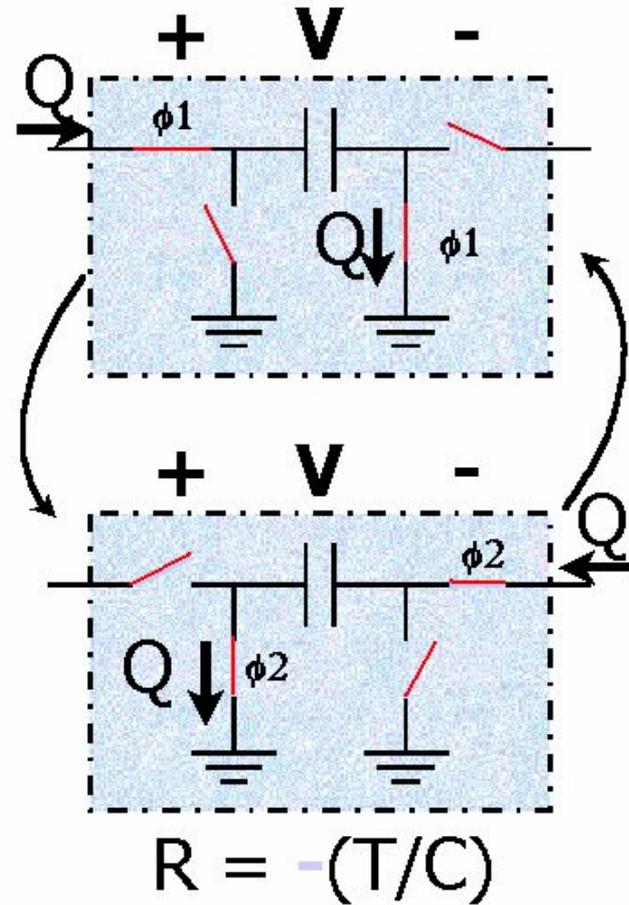
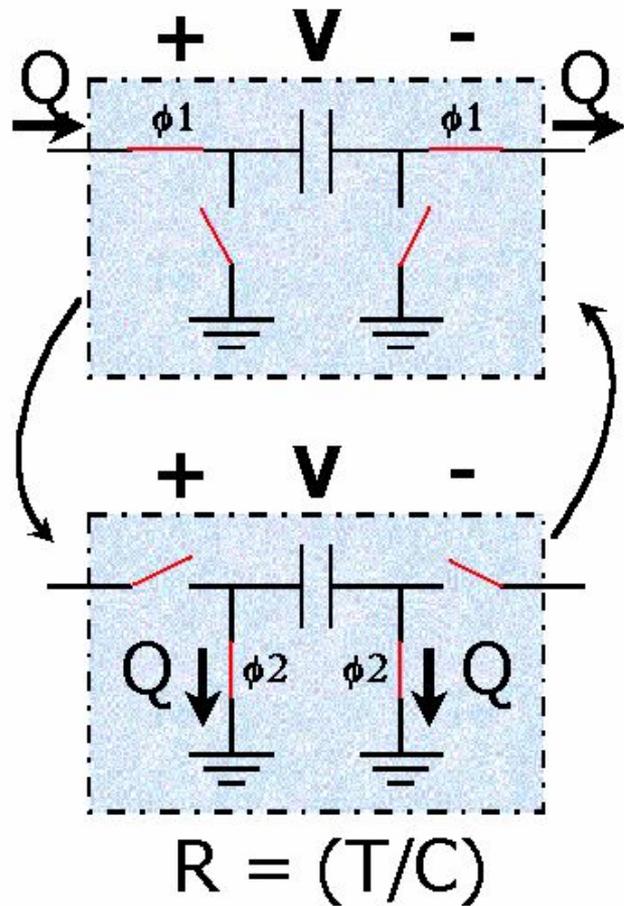
- Сопротивление обратно пропорционально емкости и частоте
- Отношение сопротивлений зависит только от отношения емкостей
- Резистор можно заменить конденсатором
- Особенности:
 - зависимость от частоты;
 - изменение фазы

$$R = \frac{V}{I} = \frac{\cancel{V} T}{C \cancel{V}}$$

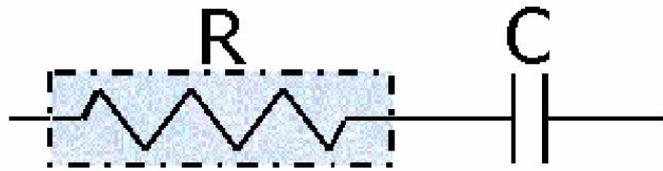
$$R = \frac{T}{C} = \frac{1}{fC}$$

$$\frac{R_1}{R_2} = \frac{\cancel{C_2} T}{\cancel{T} C_1} = \frac{C_2}{C_1}$$

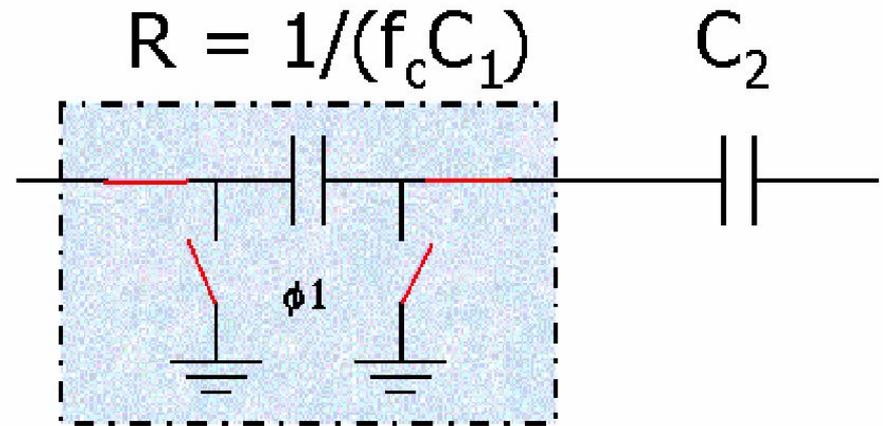
Изменение фазы (знака сопротивления)



Настройка собственной частоты изменением частоты переключения



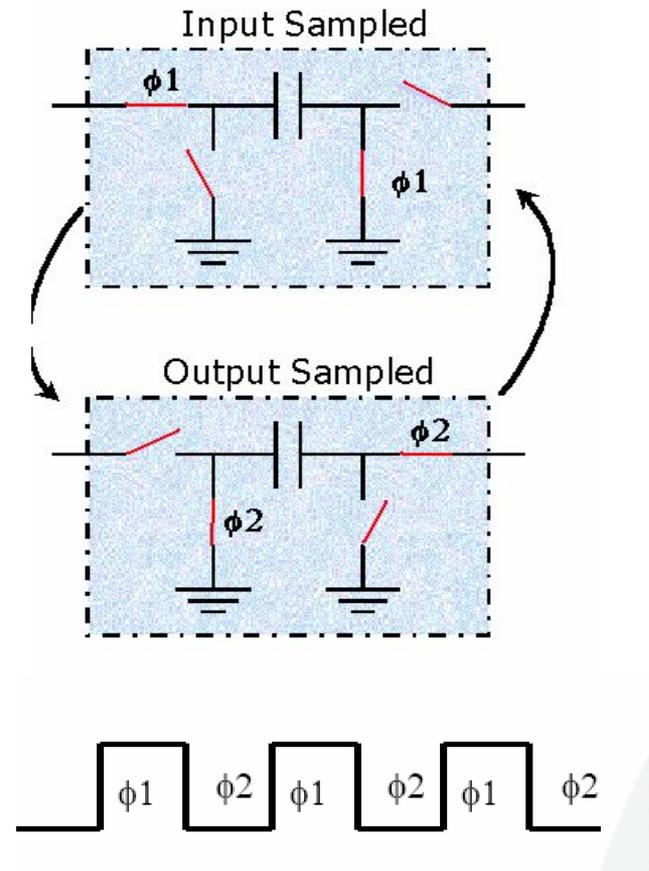
$$f_0 = 1/(RC)$$



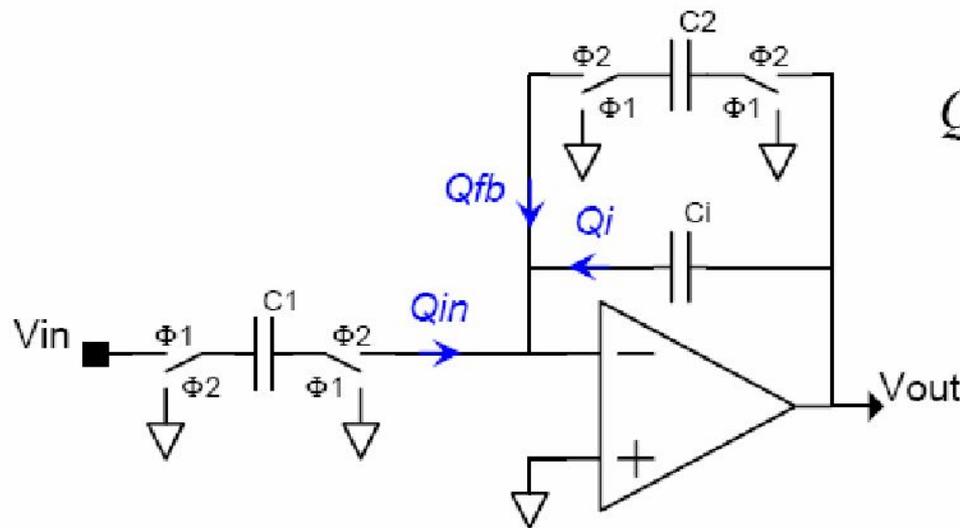
$$f_0 = 1/(RC_2) = f_c(C_1/C_2)$$

Дискретизация входного сигнала

- Входной и выходной сигналы обрабатываются в разные моменты времени
- Удобно для создания устройств дискретизации (напр. – АЦП)



Соотношение напряжений в схеме с переключаемыми конденсаторами



$$Q_{fb_0} = C2 \cdot V_{out_0}$$

$$Q_{i_0} = C_i \cdot (V_{out_0} - V_{out_{-1}})$$

$$Q_{in_0} = -C1 \cdot V_{in_{-1}}$$

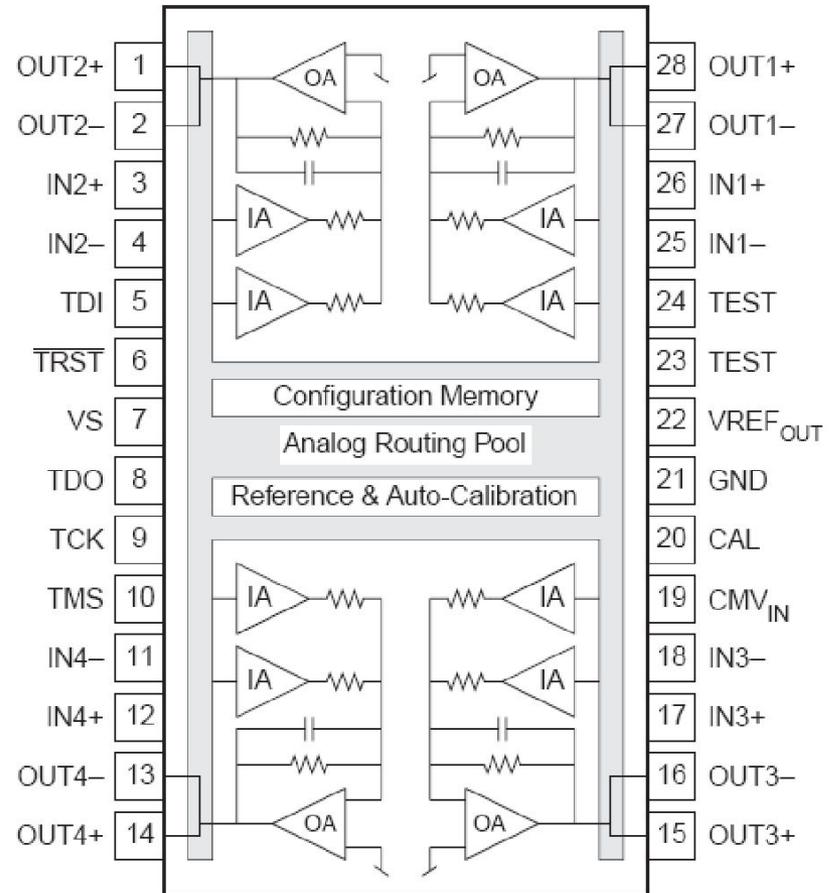
$$-C1 \cdot V_{in_{-1}} + C2 \cdot V_{out_0} + C_i \cdot (V_{out_0} - V_{out_{-1}}) = 0$$

Переключаемые конденсаторы – базовый элемент ПАИС

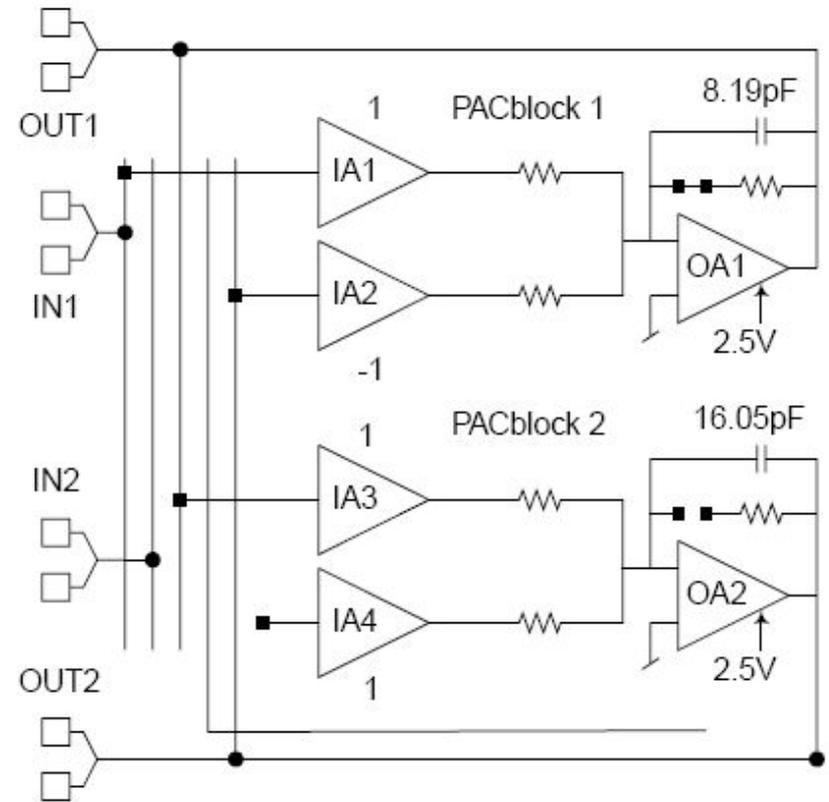
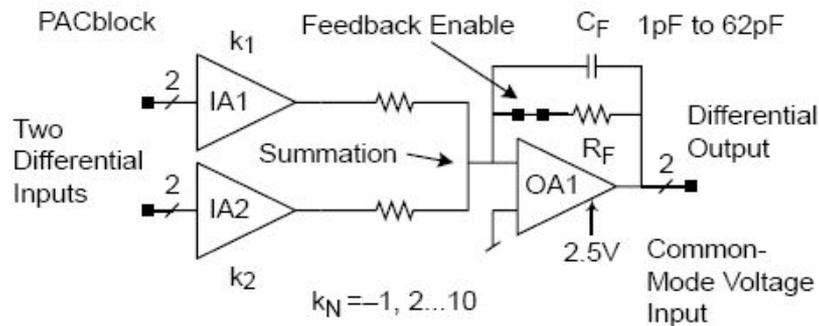
- Они позволяют реализовывать:
 - изменение коэффициента усиления операционных усилителей;
 - регулировать скорость нарастания фронта сигнала;
 - выполнять фильтрацию аналогового сигнала;
 - создавать устройства дискретизации входного сигнала и т.д.

Простые ПАИС

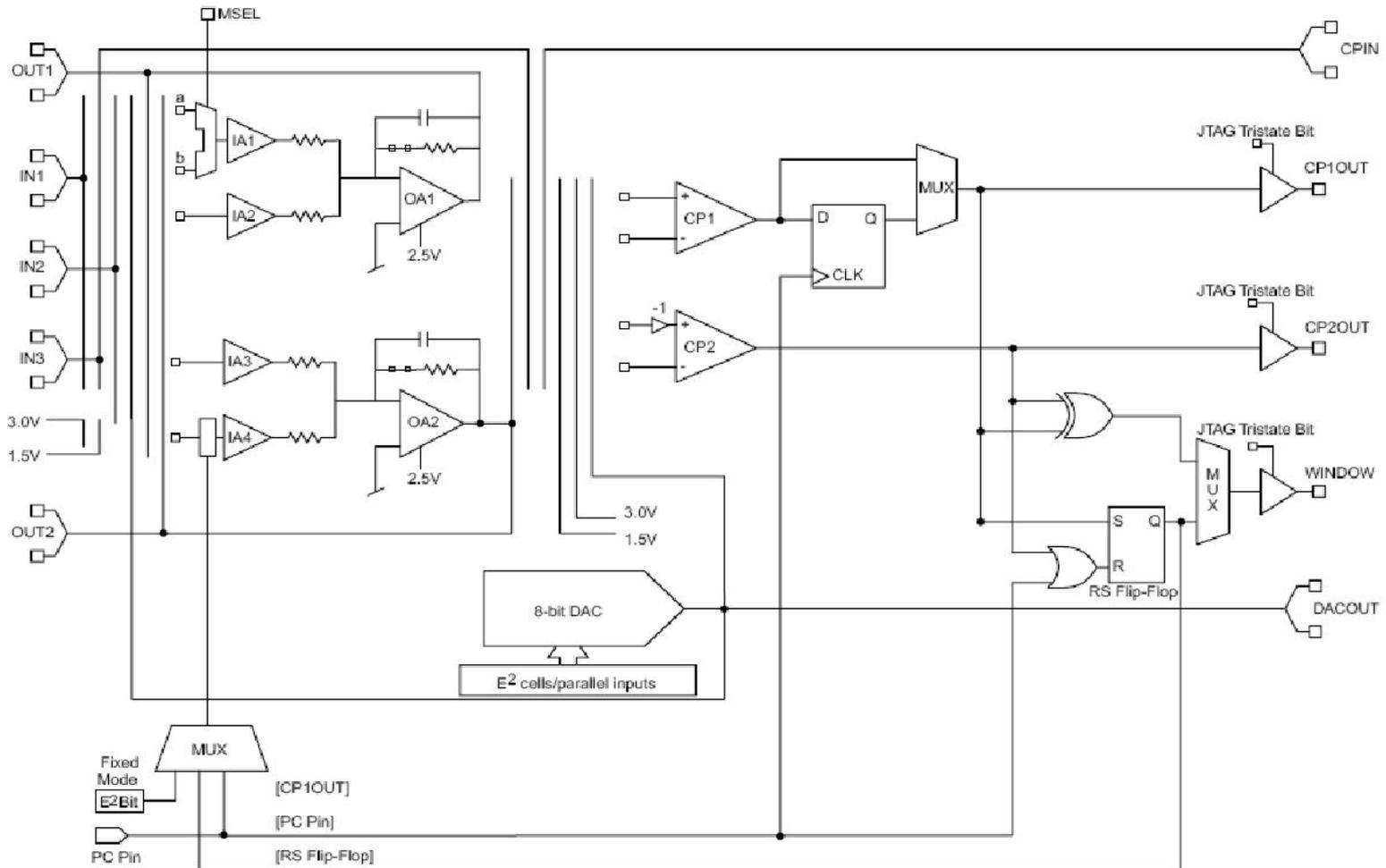
- Схема простой ПАИС ispPAC10 фирмы Lattice Semi
- Позволяет создавать различные усилители, интеграторы, простые фильтры



Программируемый аналоговый блок (реализация фильтра)



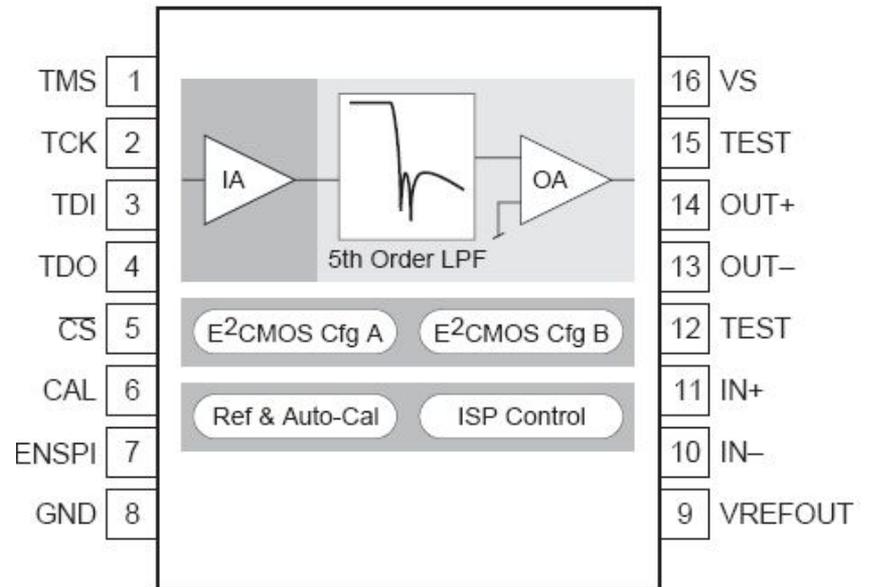
Простые ПАИС (ispPAC20)



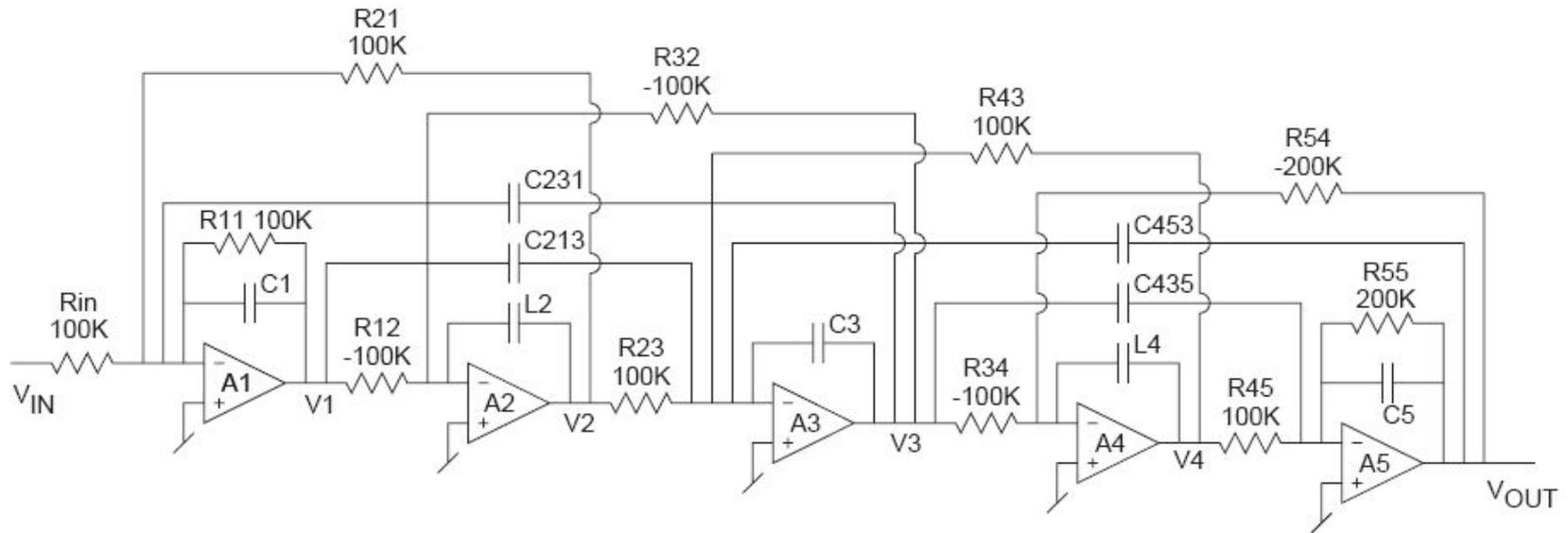
When output of MUX is [HI], IA4 is Inverted

Простые ПАИС

- Специализированная ПАИС (ispPAC80) – предназначена для реализации ФНЧ 5-го порядка

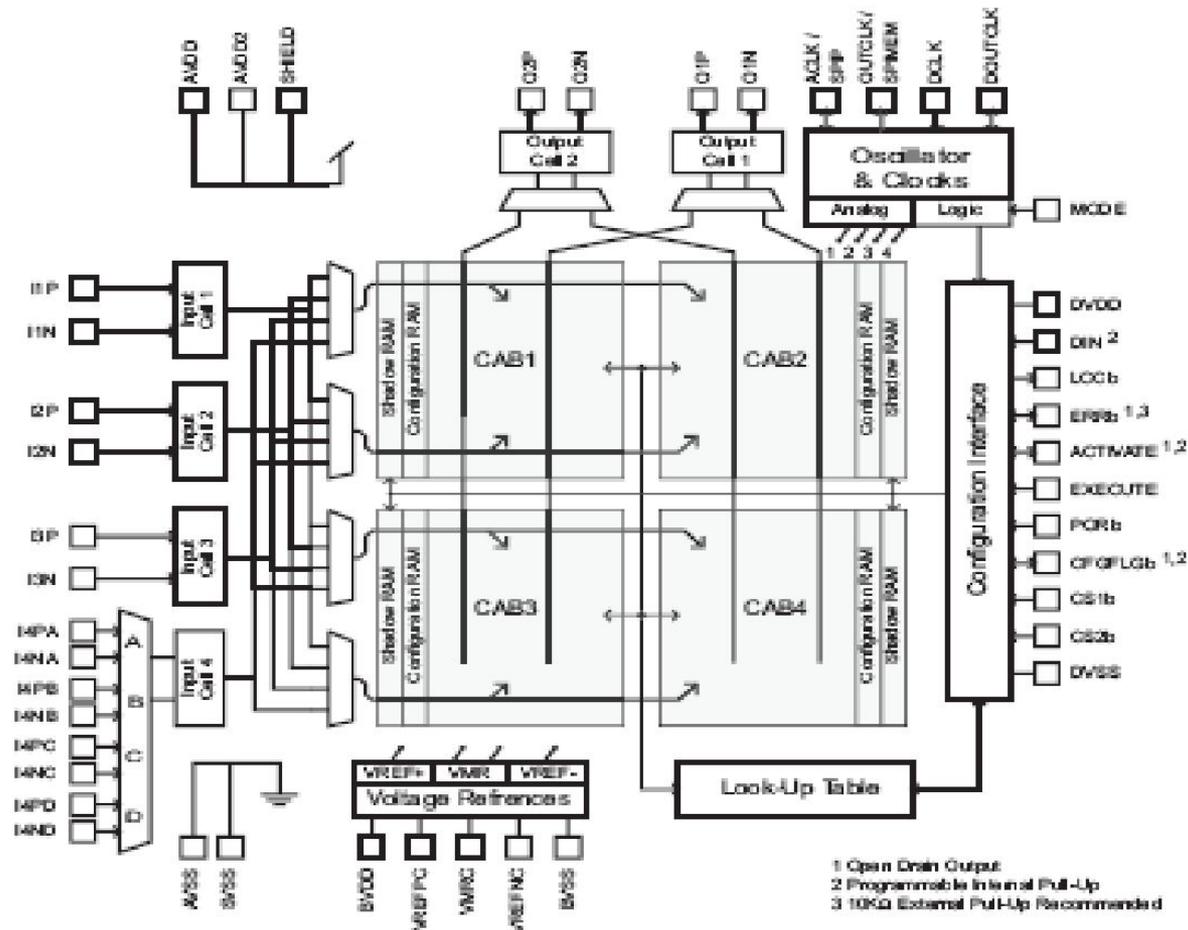


Упрощенная схема ПАИС для реализации ФНЧ

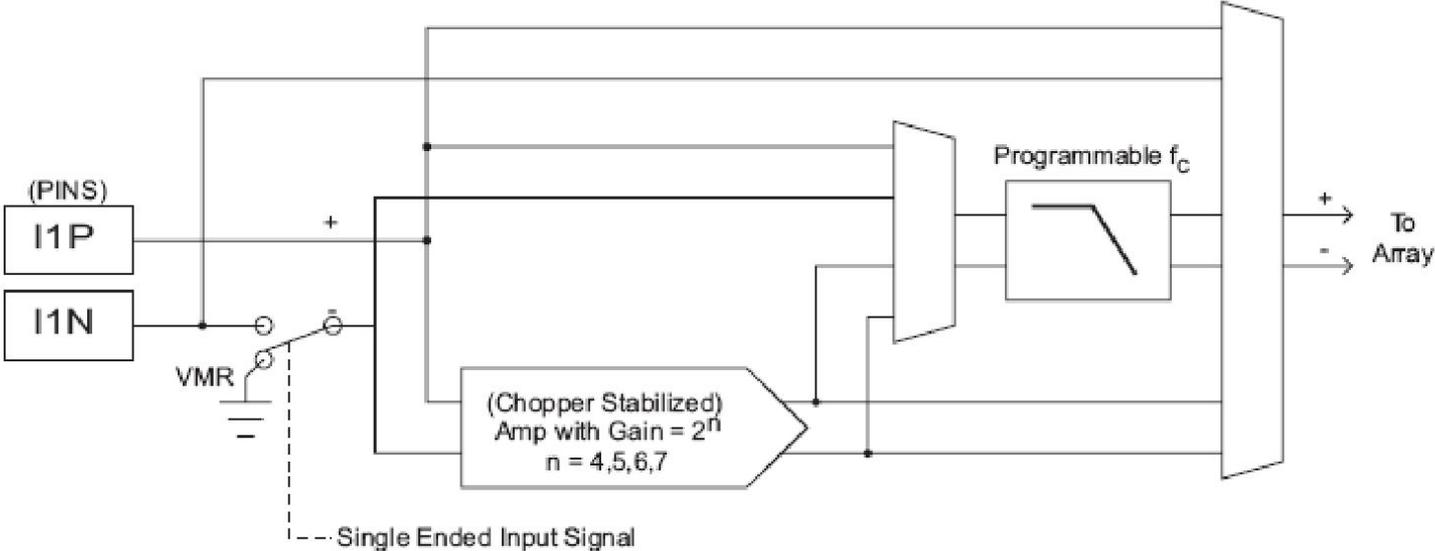


$$G = 1/100K; G/2 = 1/200K; C_2 = C_{231} = C_{213}; C_4 = C_{435}; C_4/2 = C_{453}$$

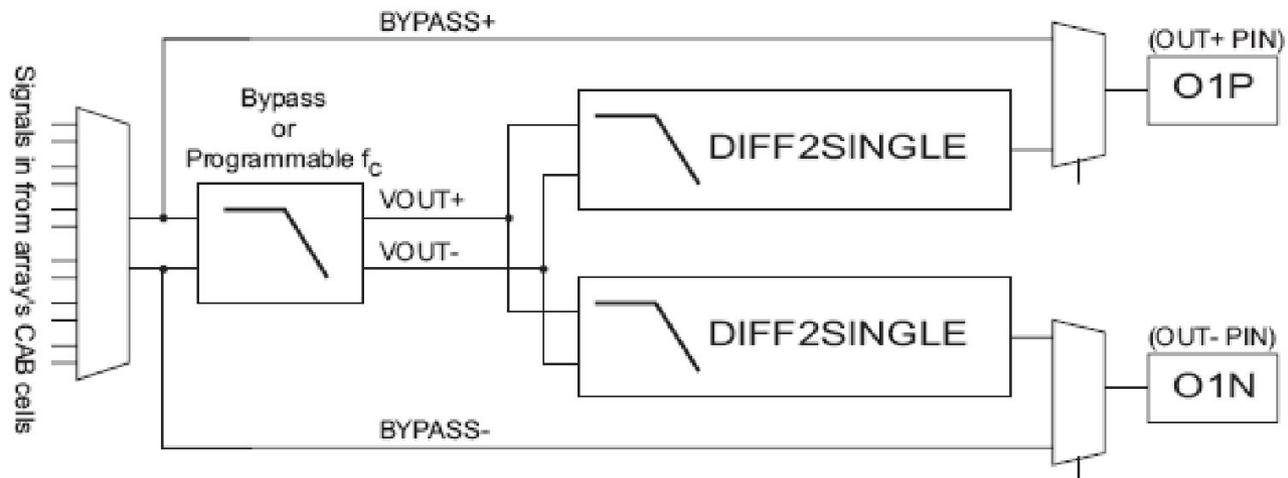
Архитектура сложной конфигурируемой аналоговой матрицы фирмы Anadigm



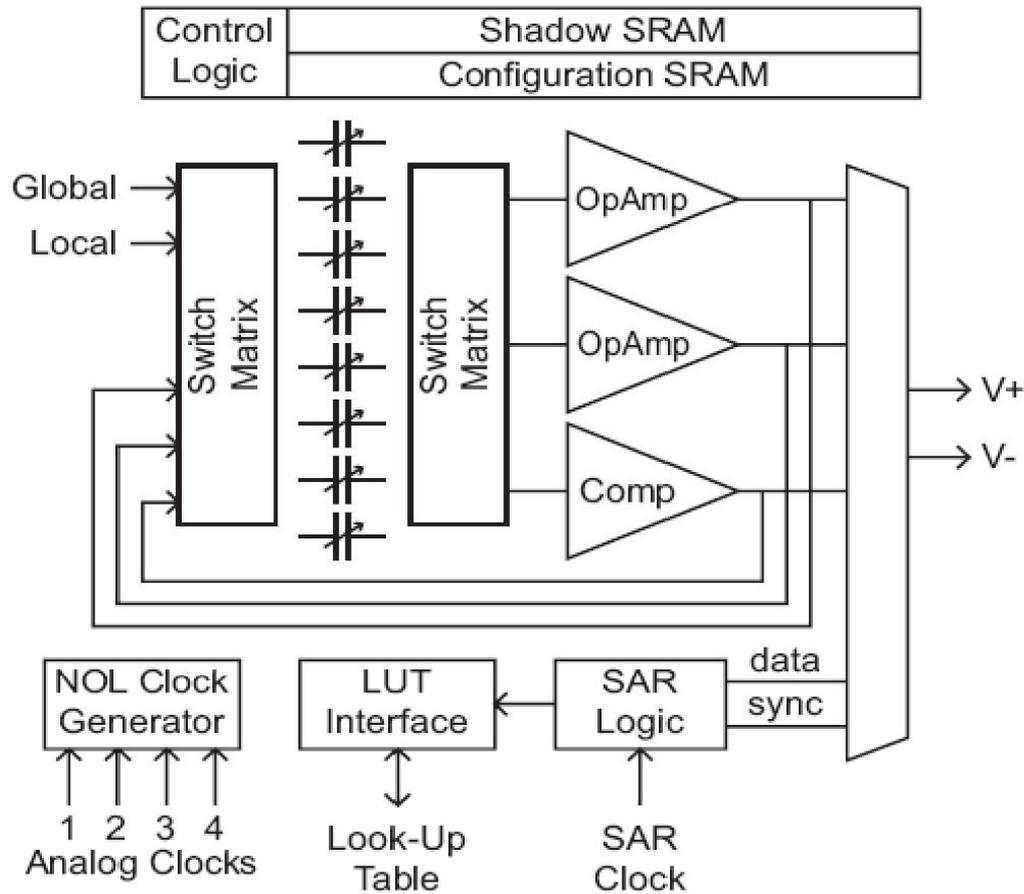
Структура входной ячейки



Структура выходной ячейки



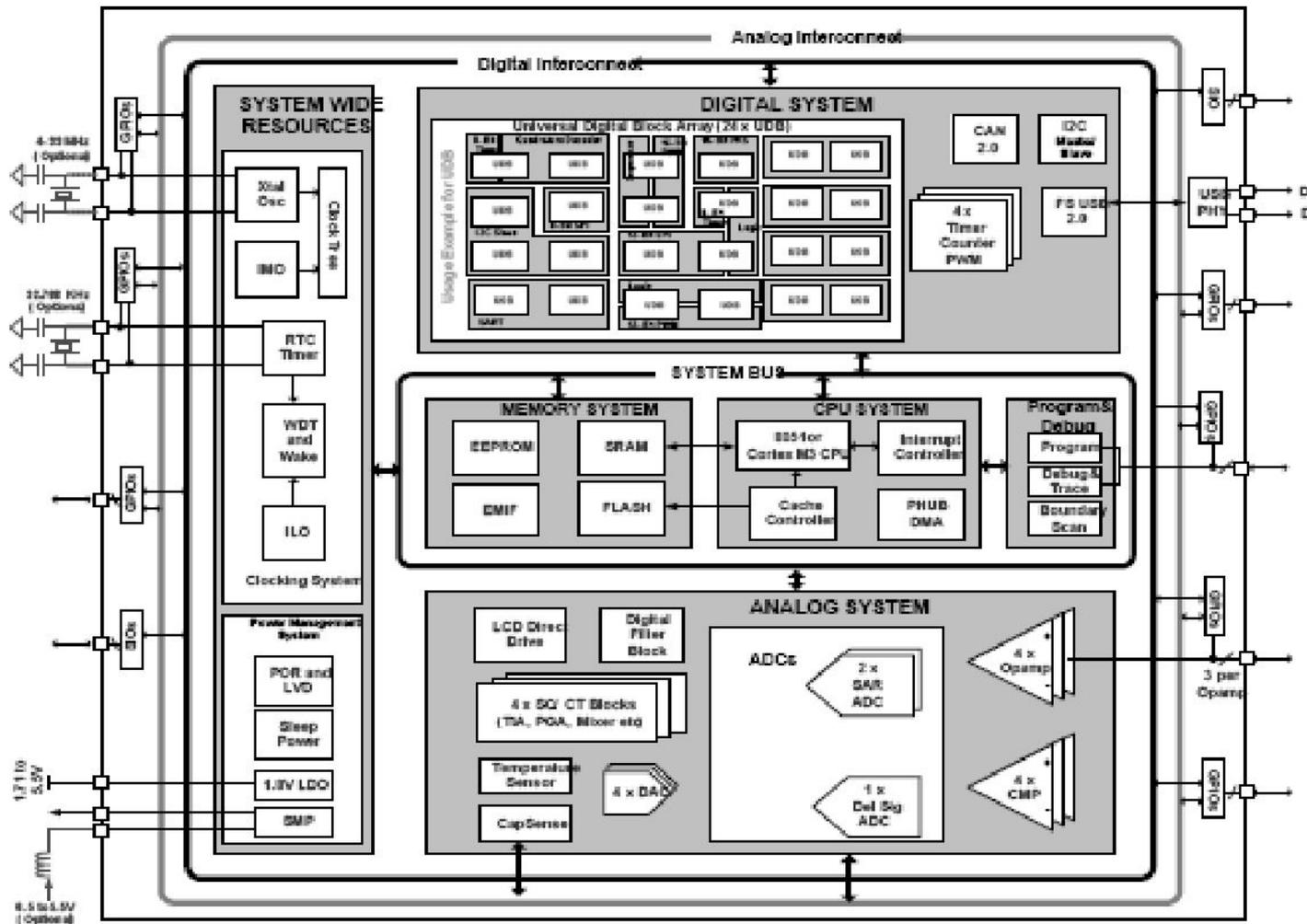
Структура конфигурируемого аналогового блока



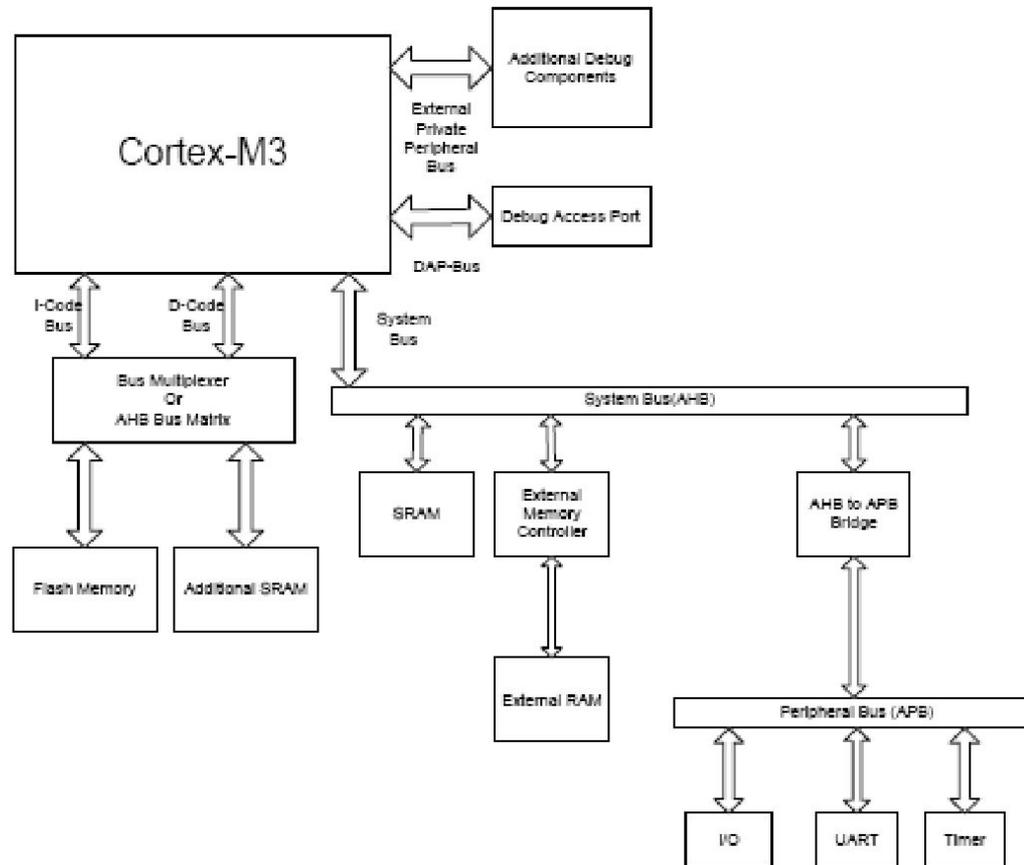
Программируемые матрицы смешанной архитектуры

- В их состав обычно включают:
 - аппаратно реализованное процессорное ядро;
 - программируемые цифровые блоки;
 - программируемые аналоговые блоки;
 - специализированные блоки

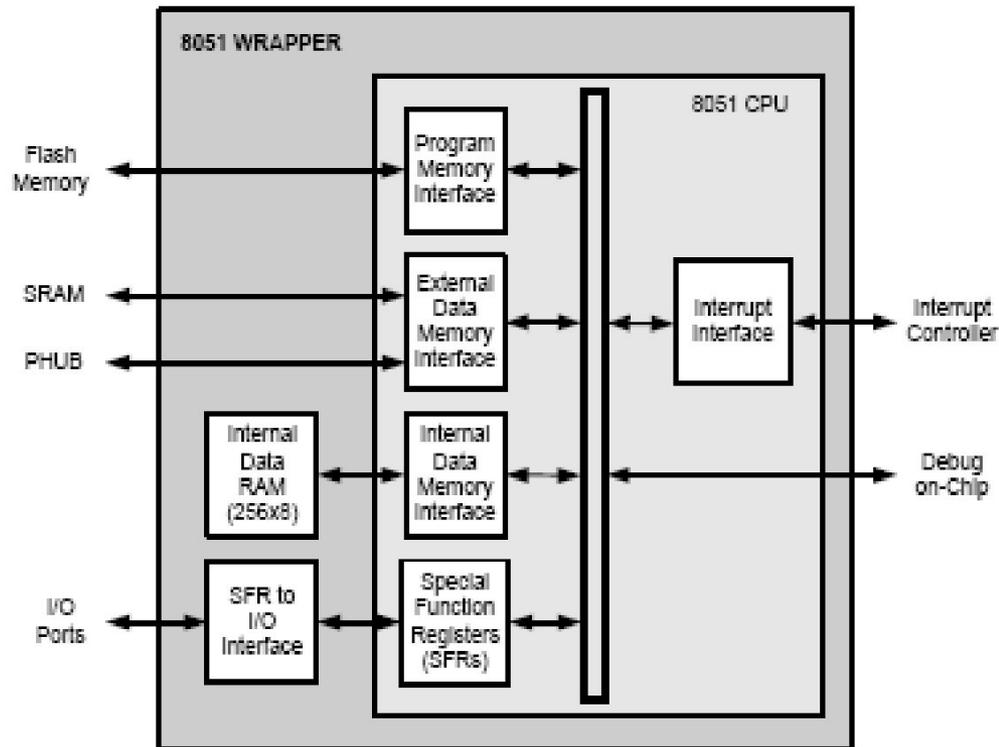
Пример матрицы со смешанной архитектурой (PSoC5 фирмы Cypress)



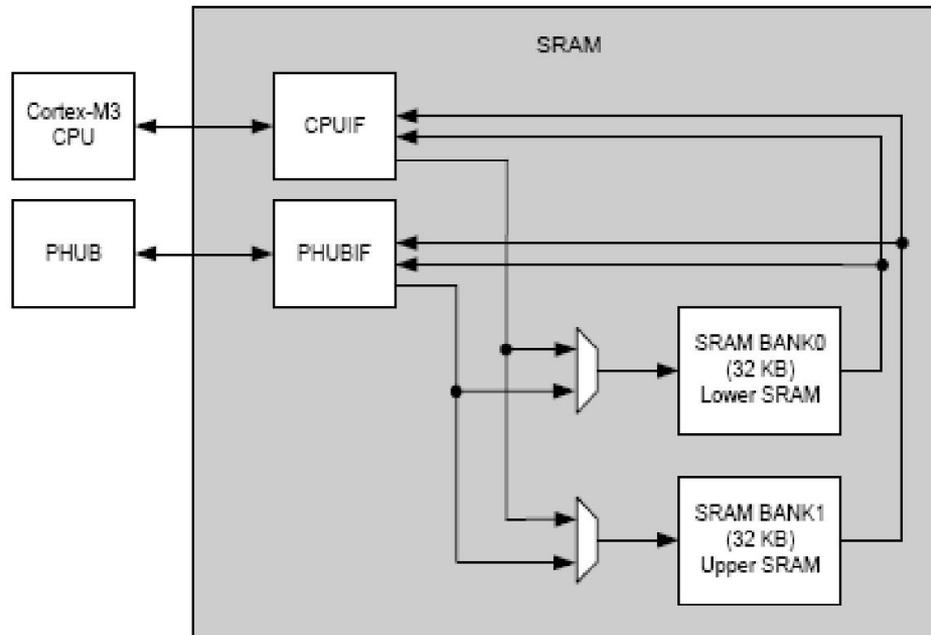
Архитектура процессорного ядра



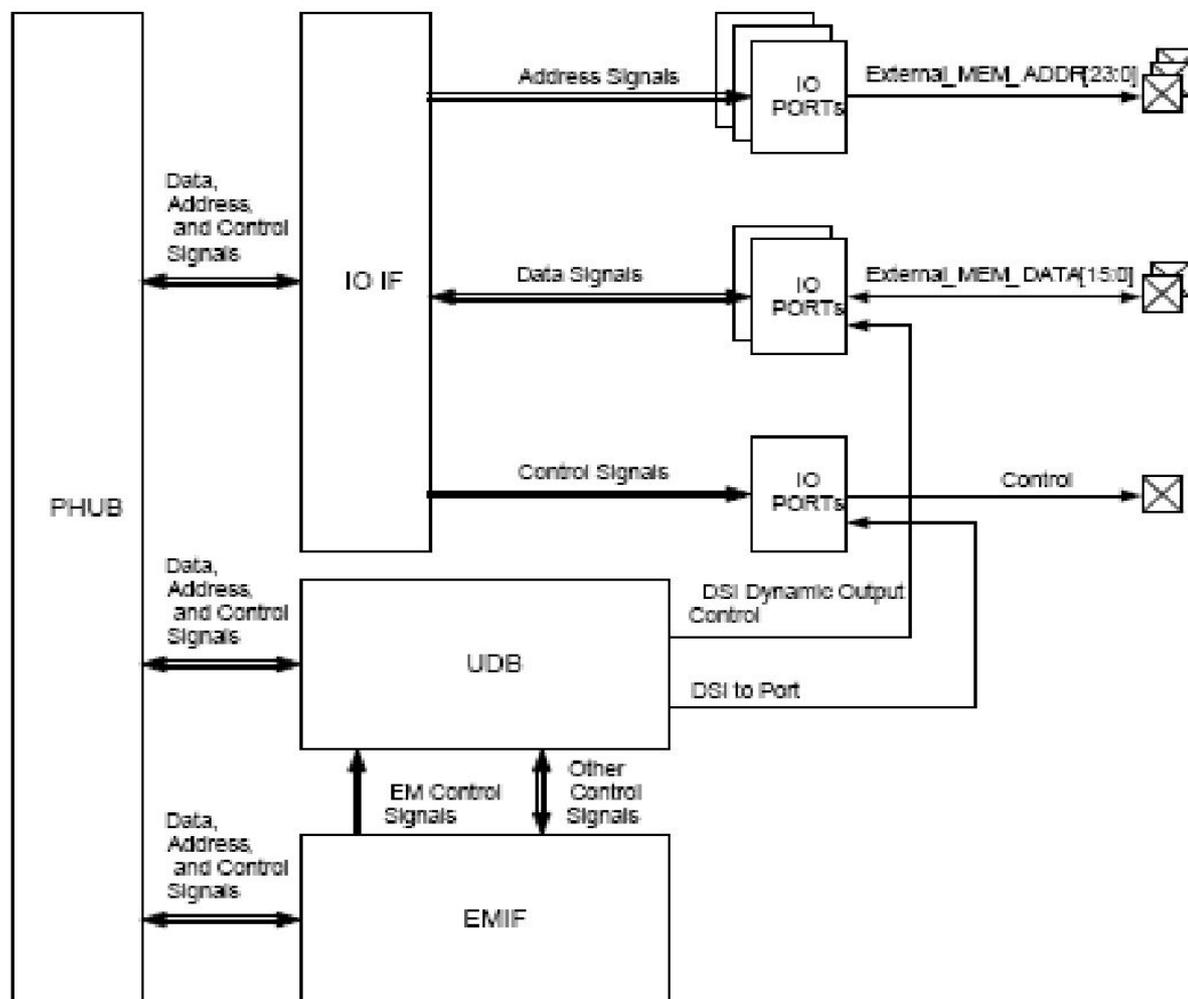
Архитектура процессорного ядра



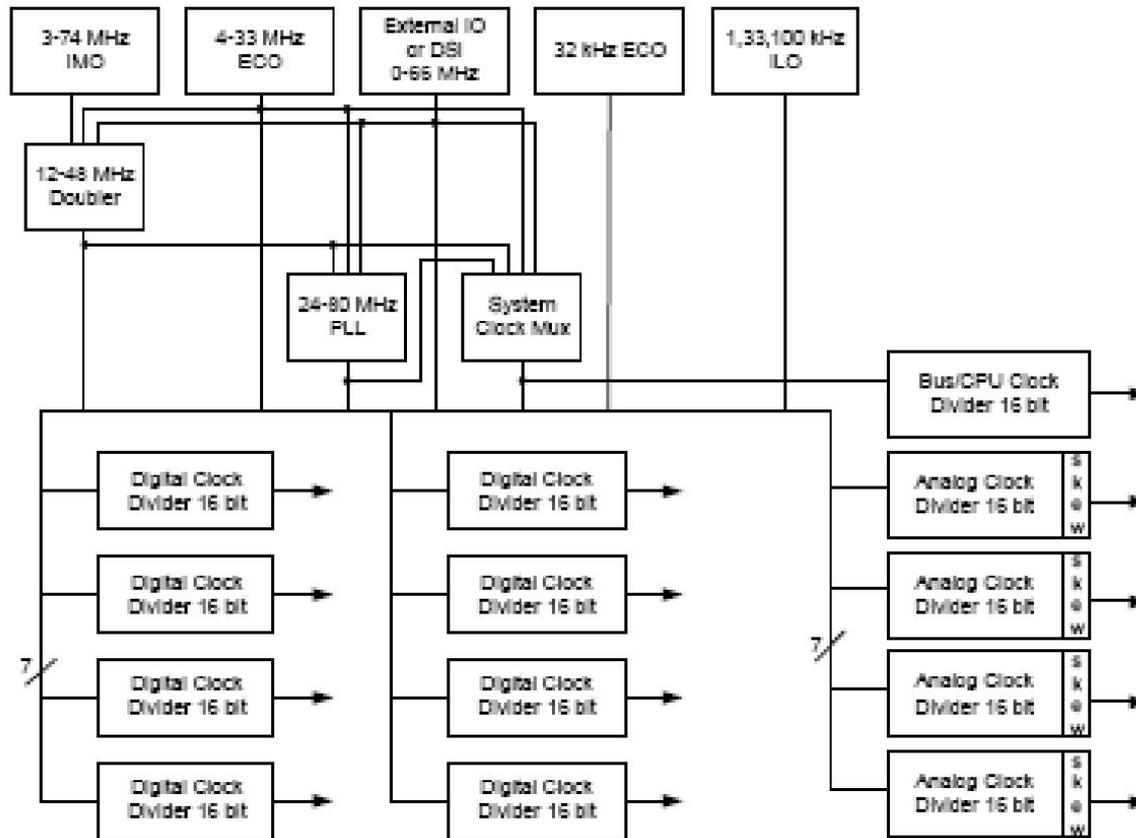
Встроенный блок ОЗУ



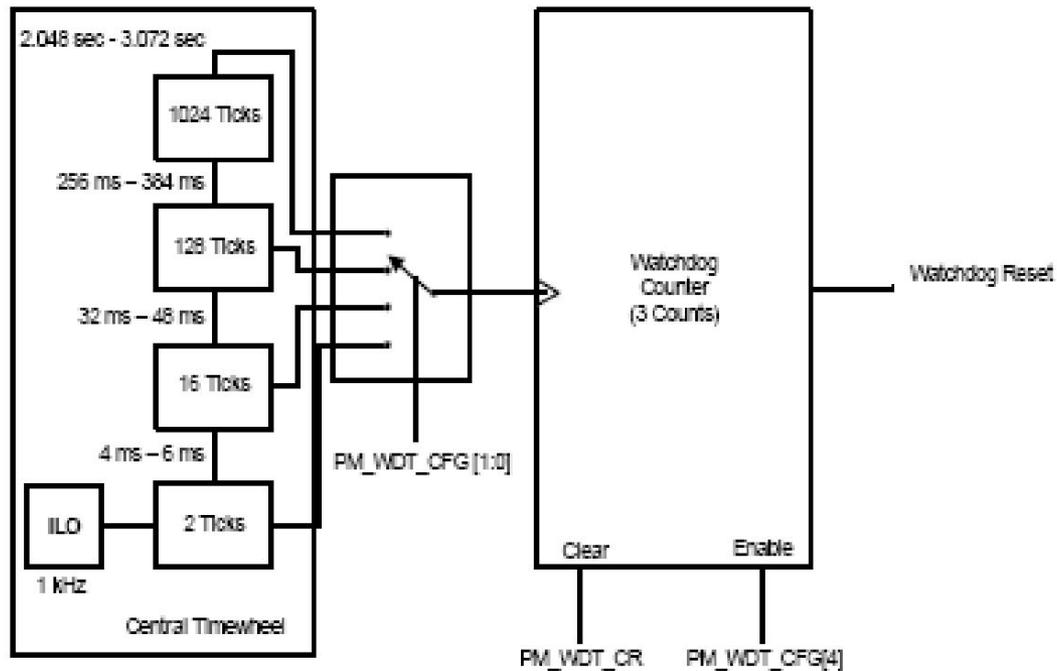
Блок интерфейса внешней памяти (EMIF)



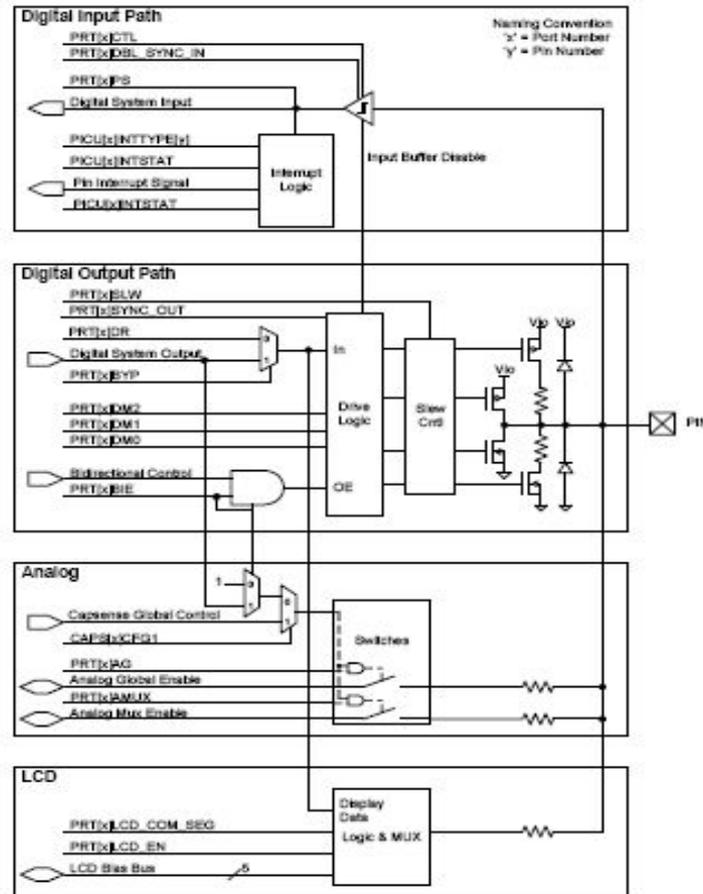
Блок формирования тактовых частот



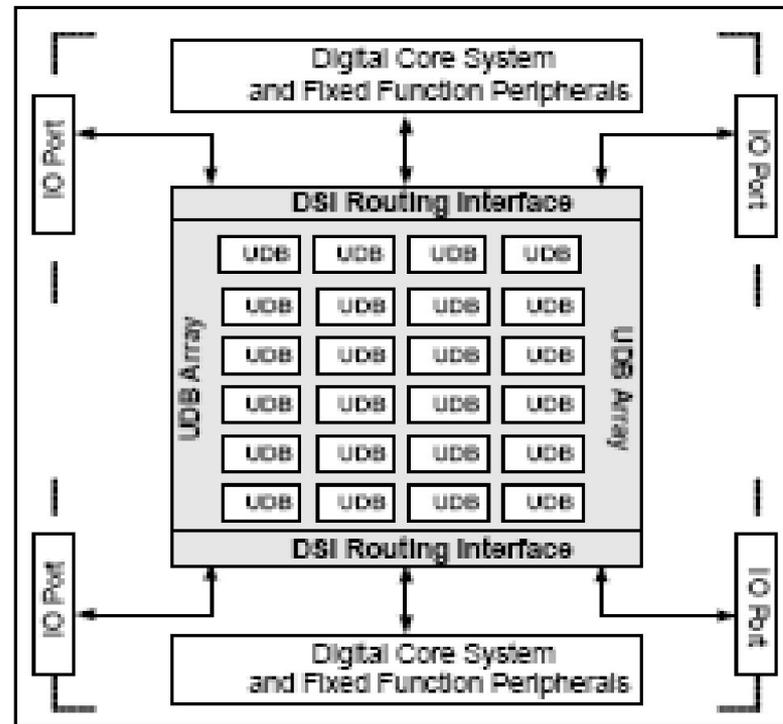
Сторожевой таймер



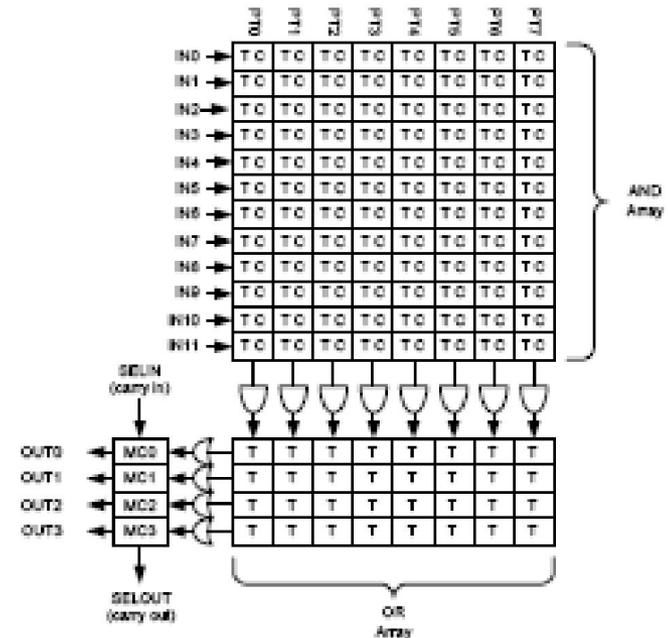
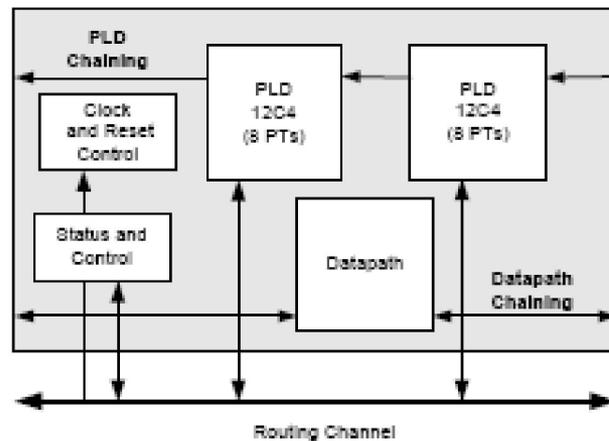
Структура блоков ввода/вывода



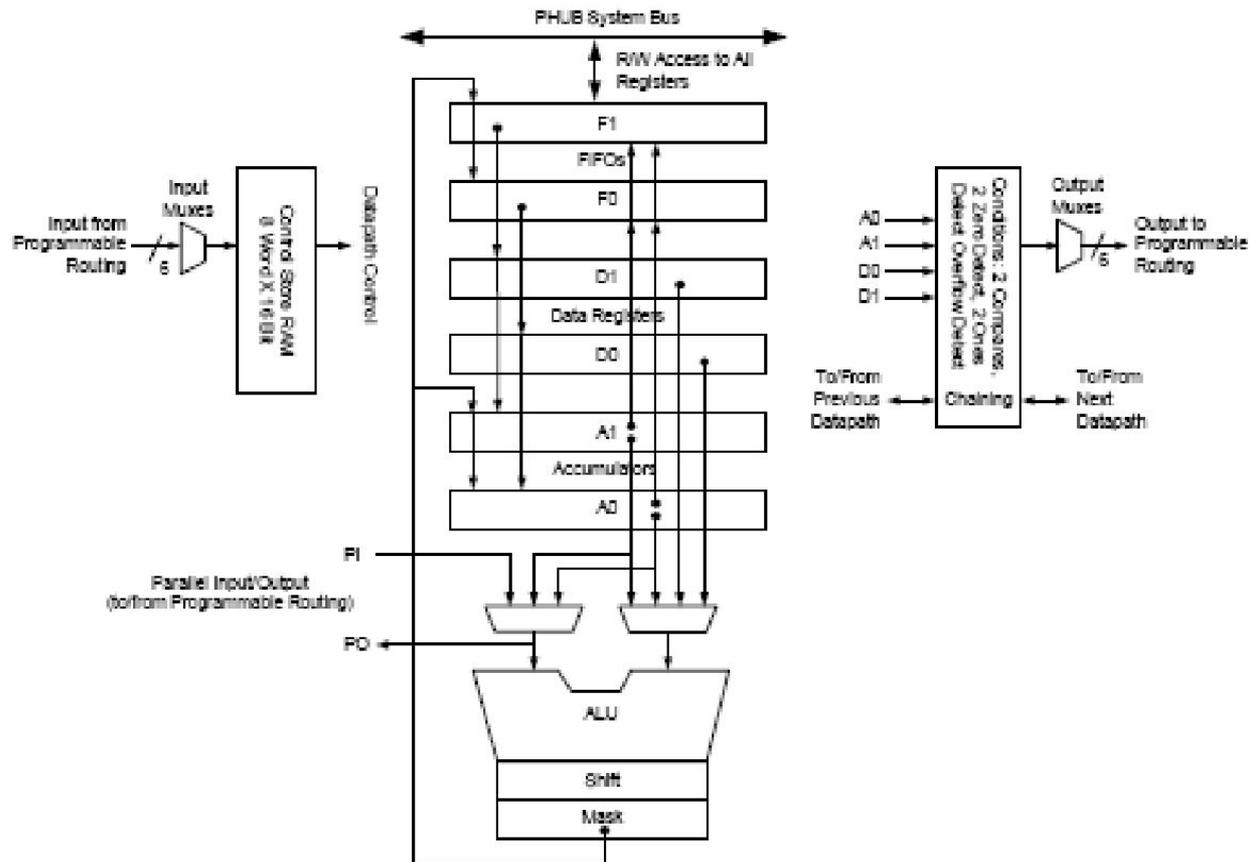
Массив программируемых цифровых блоков



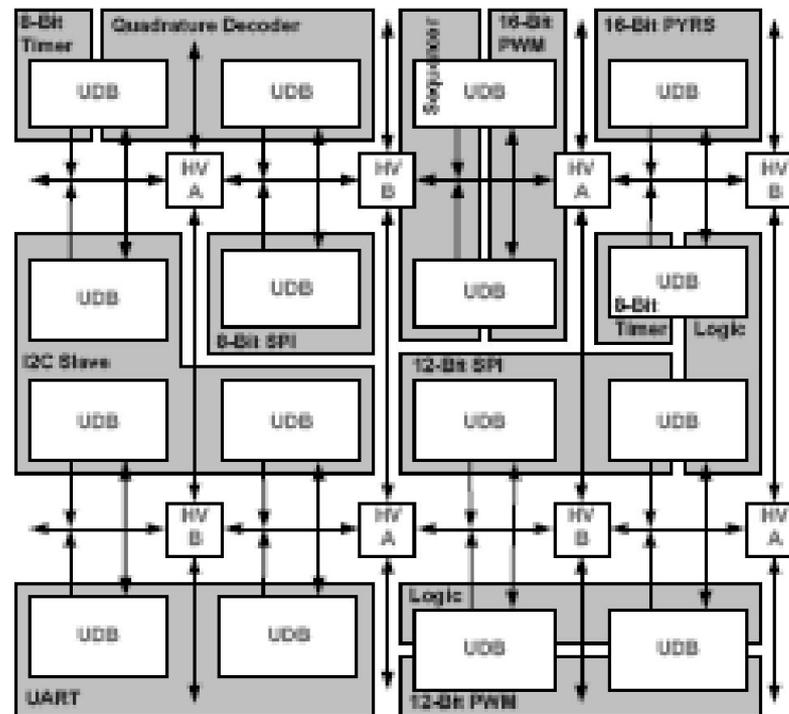
Архитектура программируемого цифрового блока



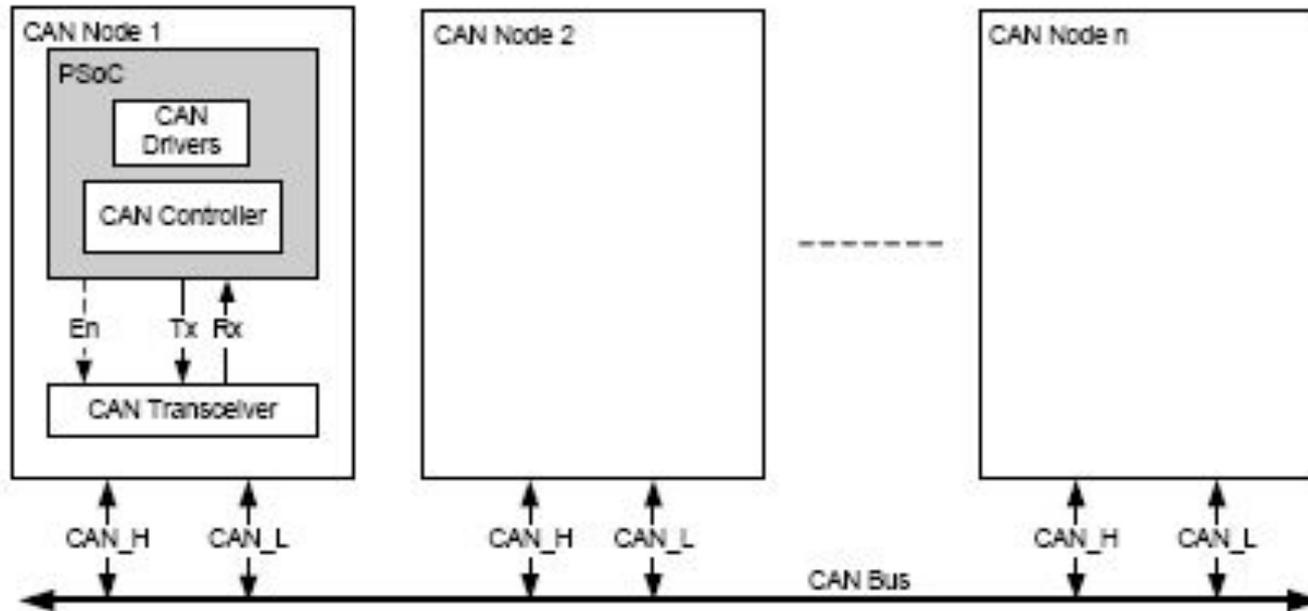
Структура узла обработки данных



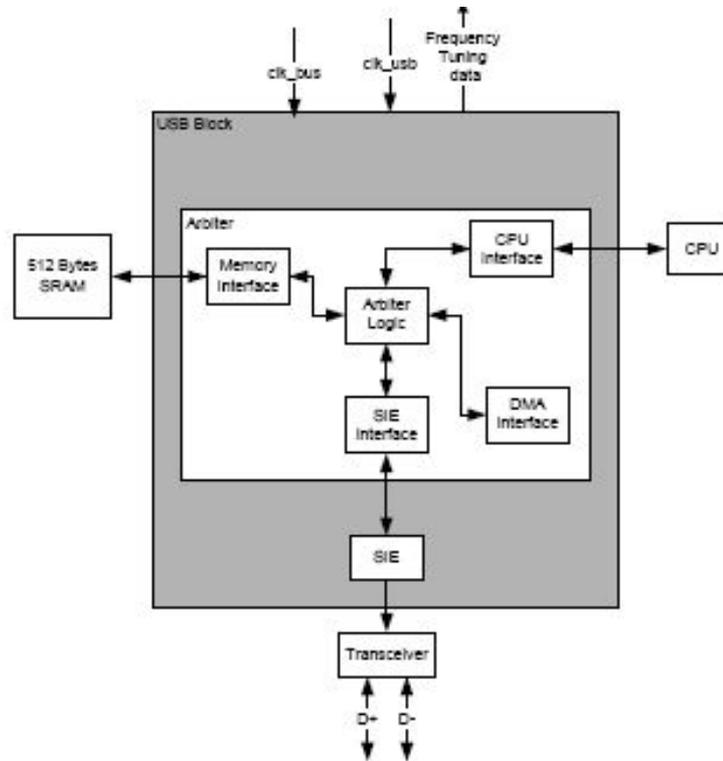
Пример настройки массива цифровых блоков



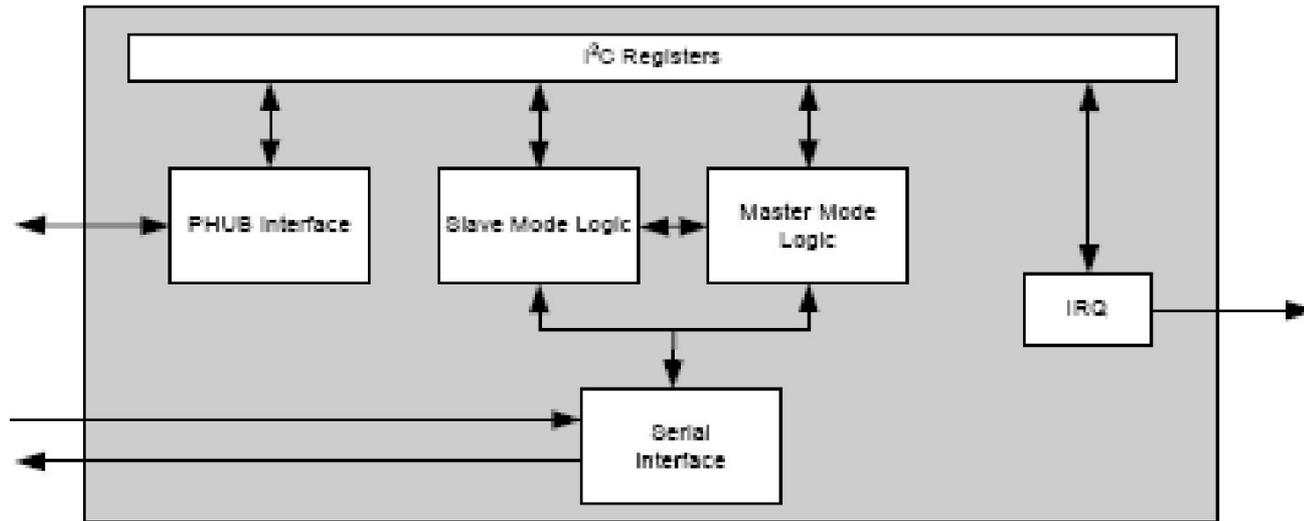
Встроенный контроллер шины CAN



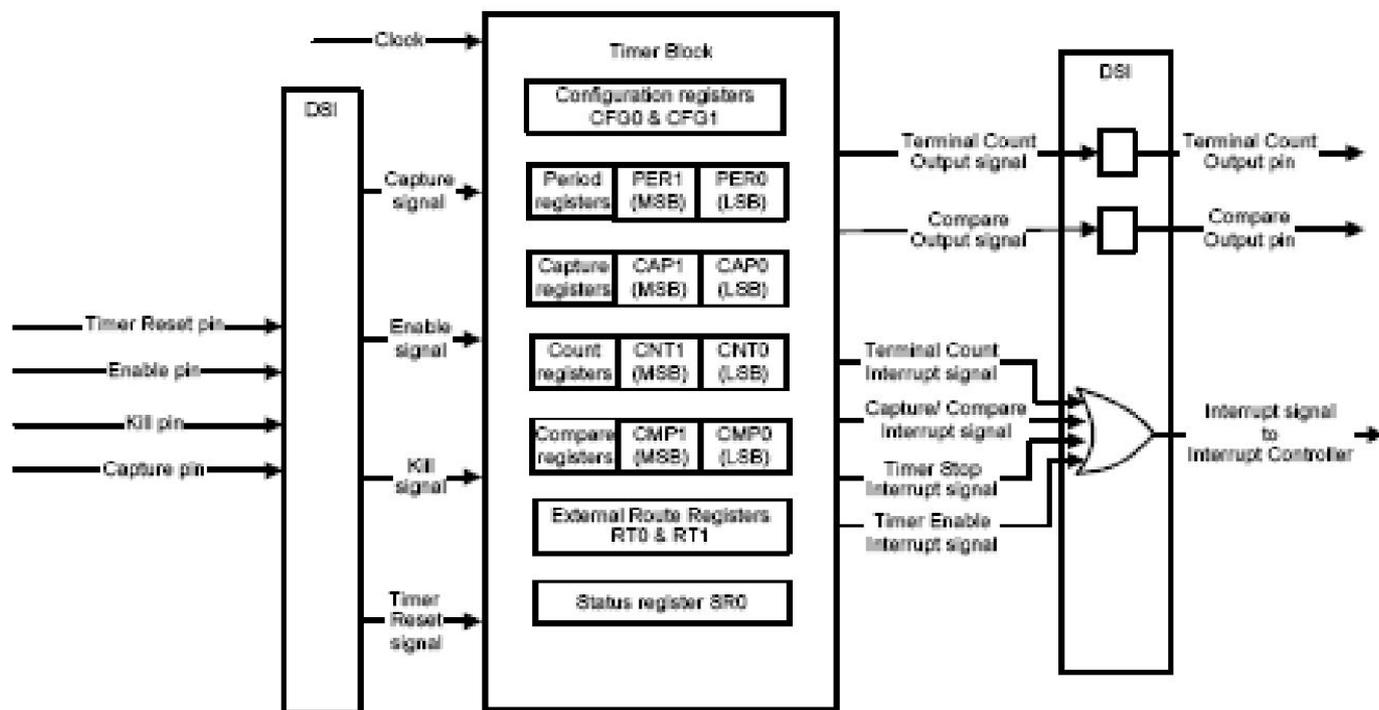
Встроенный контроллер шины USB



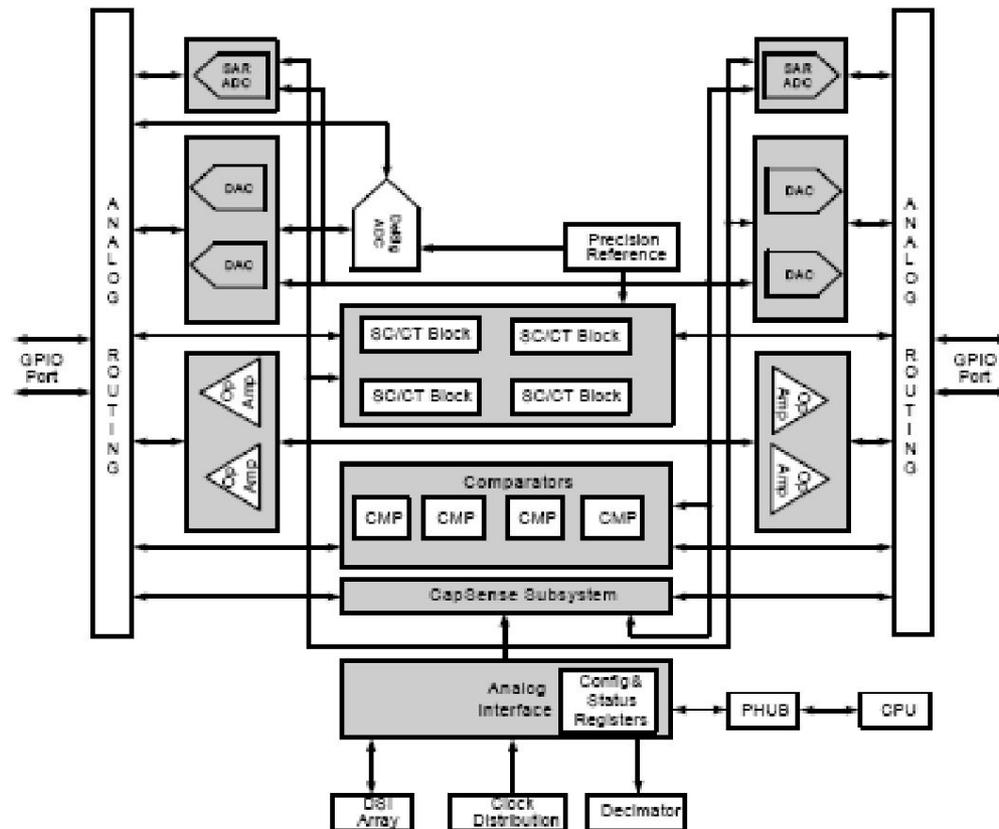
Встроенный контроллер шины I2C



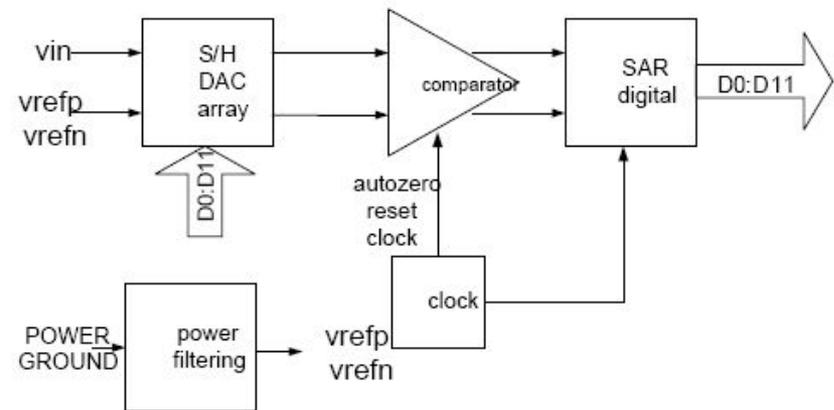
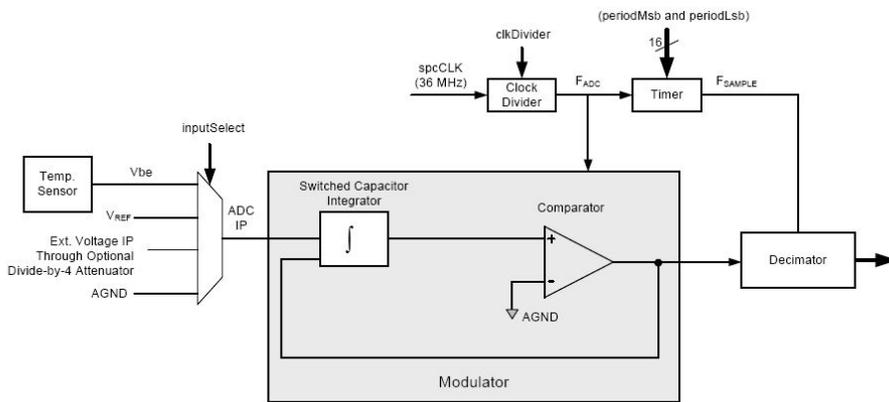
Встроенный блок конфигурируемого таймера



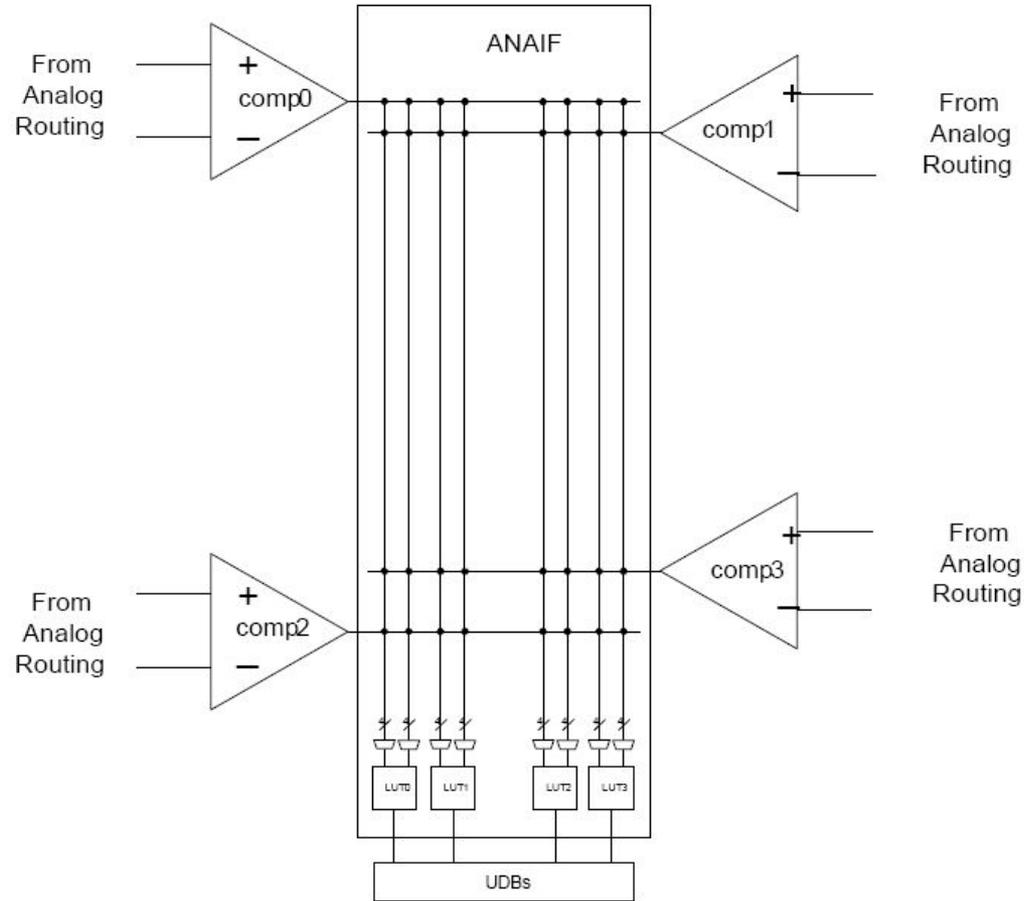
Массив программируемых аналоговых блоков



Сигма-дельта АЦП и АЦП последовательного приближения

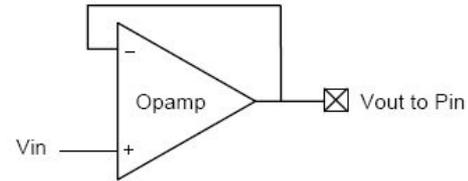


Блок аналоговых компараторов

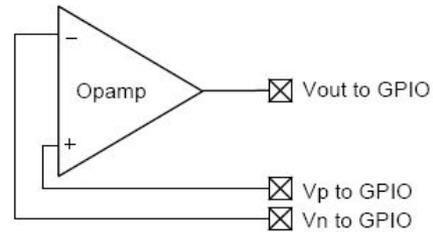


Режимы работы аналоговых ОУ

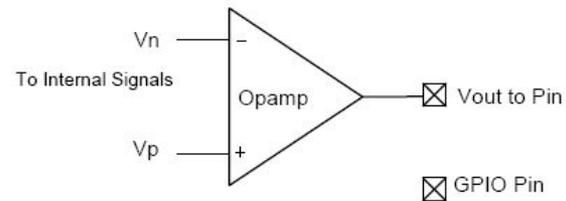
a) Voltage Follower



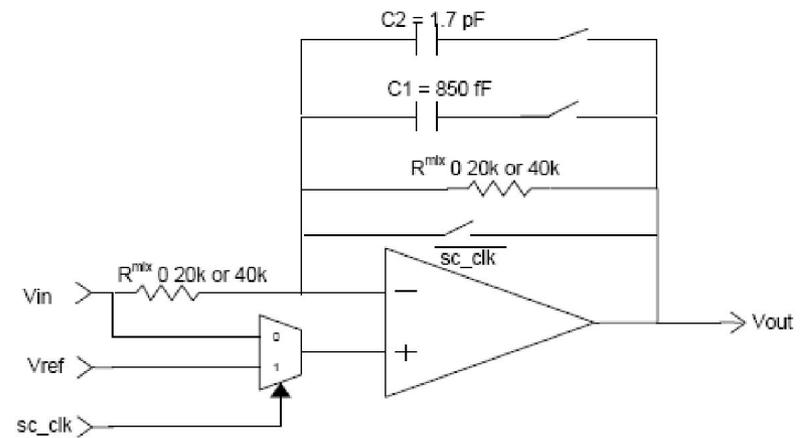
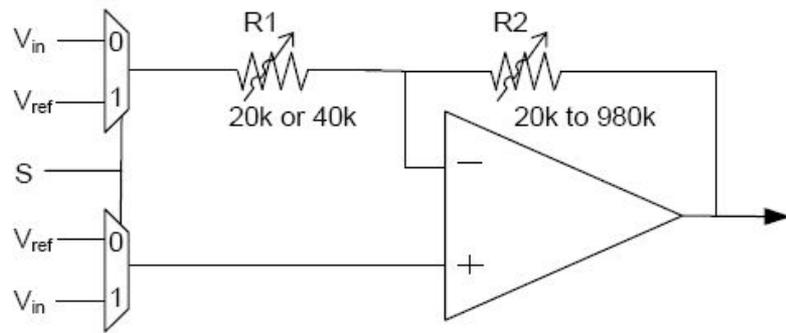
b) External Uncommitted Opamp



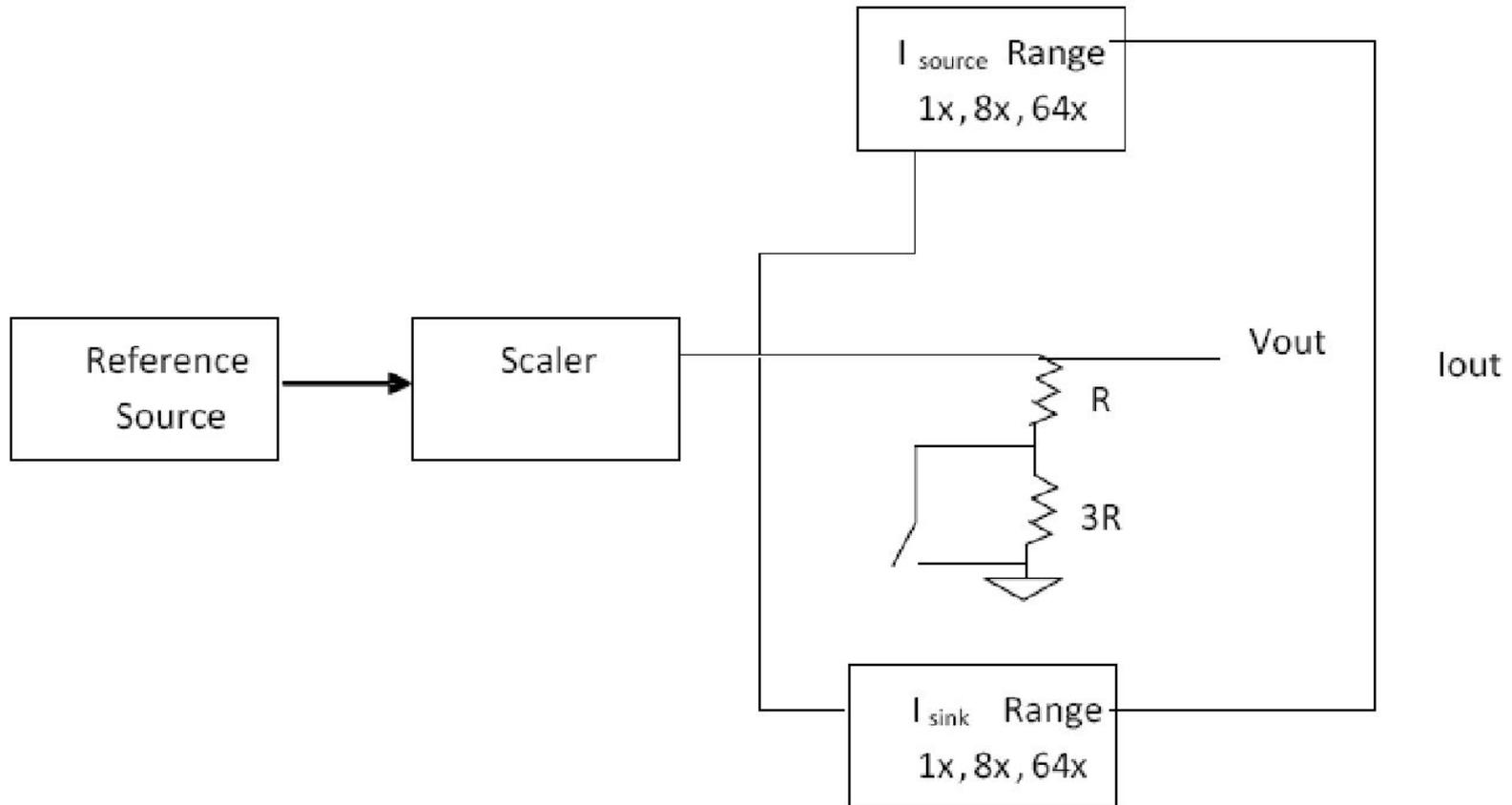
c) Internal Uncommitted Opamp



Программируемая аналоговая ячейка



Блок ЦАП



Интерфейс программирования и отладки JTAG

