

**Типовые узлы ЭВМ.
Комбинационные схемы
узлов .**

Элемент - это наименьшая функциональная часть, на которую может быть разбита ЭВМ при логическом проектировании и технической реализации.

По функциональному назначению элементы ЭВМ могут быть разделены на:

- логические (реализующие одну из функций алгебры логики);
- запоминающие (для хранения одноразрядного двоичного числа - триггеры);
- вспомогательные (для формирования и генерации импульсов, таймеры, элементы индикаторов, преобразователи уровней и т.п.).

Узел - совокупность элементов, которая реализует выполнение одной из машинных операций.

Различают два типа узлов ЭВМ:

- комбинационные;

комбинационные узлы включают сумматоры, схемы сравнения, шифраторы, дешифраторы, мультипликаторы, программируемые логические матрицы и т.д.

- накапливающие (с памятью).

накапливающие узлы - триггеры, регистры, счётчики и т.п.

Шифратор (кодер) преобразует единичный сигнал на одном из входов в n-разрядный двоичный код.

Наибольшее применение он находит в устройствах ввода информации (пультах управления) для преобразования десятичных чисел в двоичную систему счисления.

Входы	Выходы			
X	Y3	Y2	Y1	Y0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

$$Y_0 = X_1 + X_3 + X_5 + X_7 + X_9$$

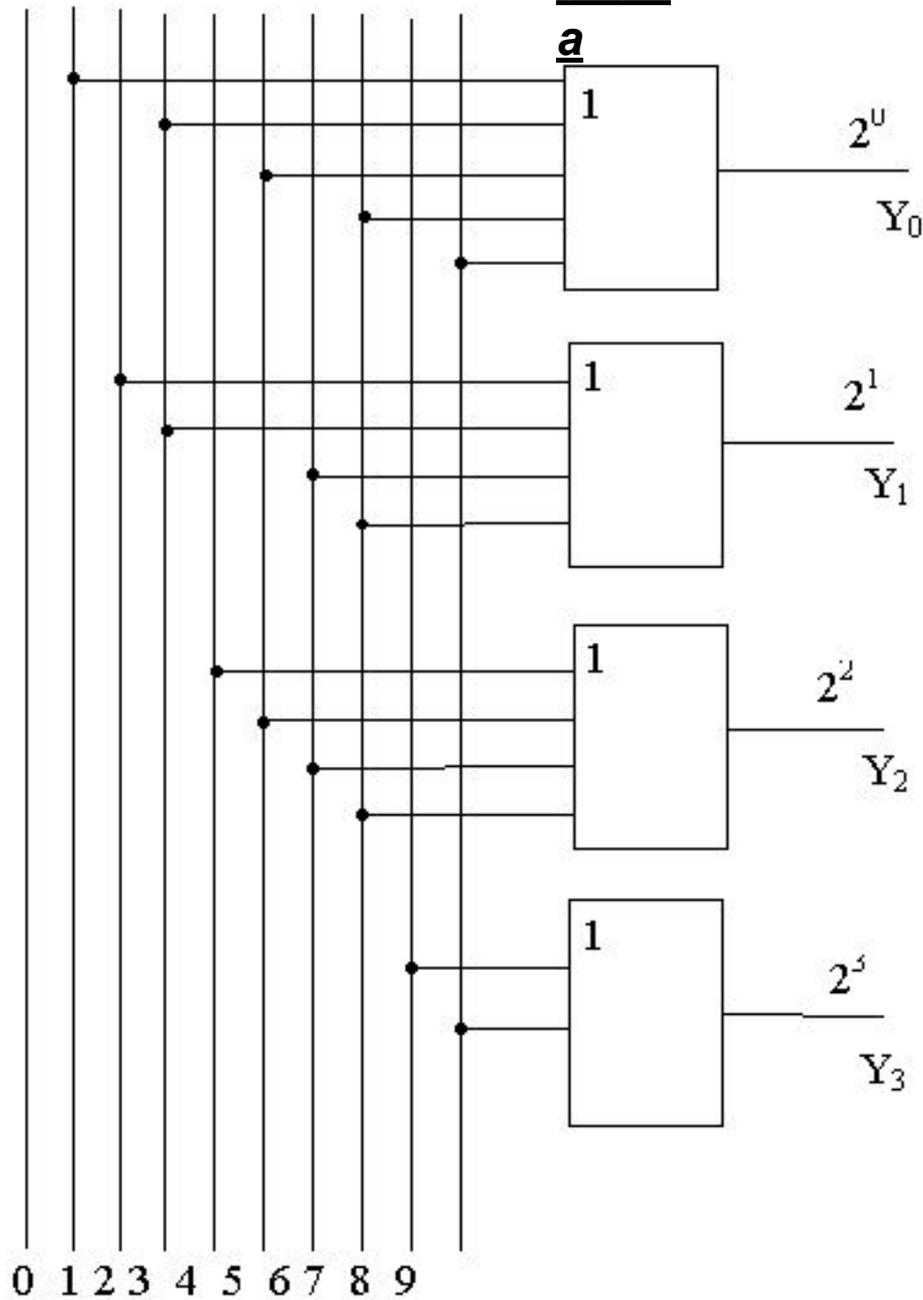
$$Y_1 = X_2 + X_3 + X_6 + X_7$$

$$Y_2 = X_4 + X_5 + X_6 + X_7$$

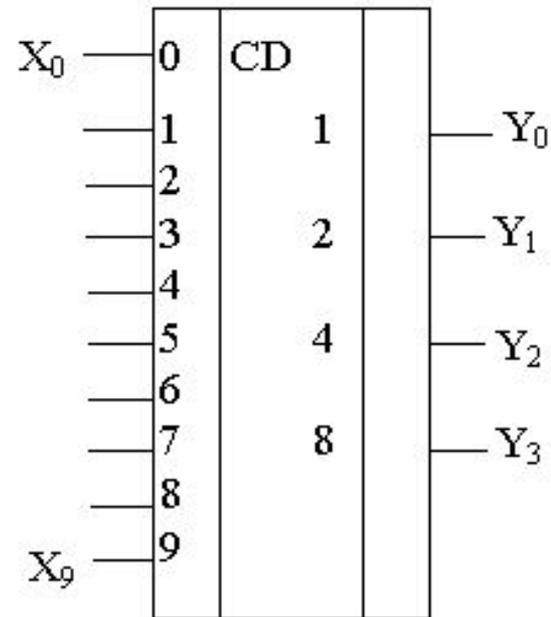
$$Y_3 = X_8 + X_9.$$

схем

а



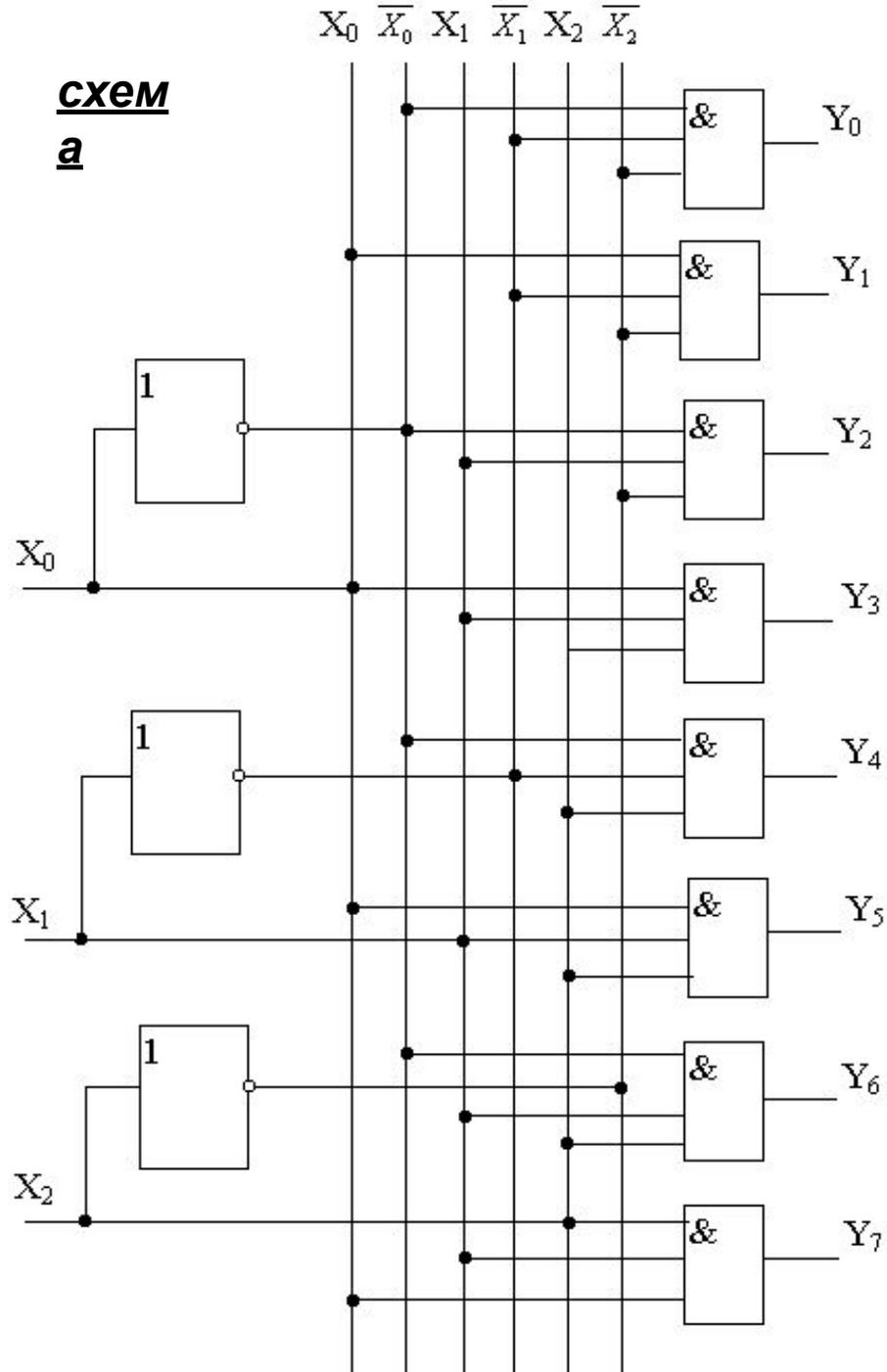
**УГО – условное
графическое отображение
дешифратора**



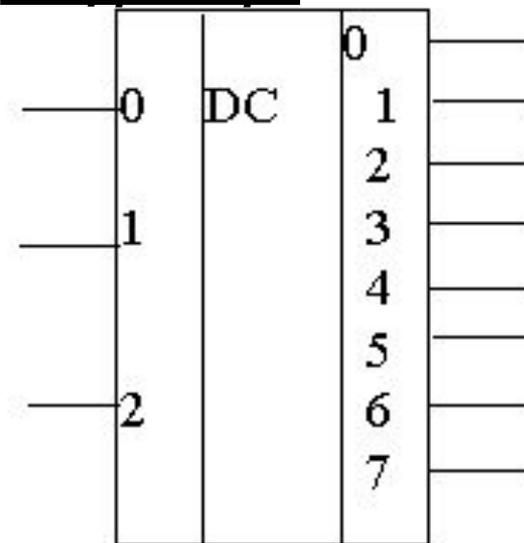
Дешифратор (декодер) - это узел, преобразующий код, поступающий на его входы, а сигнал только на одном из его выходов.

Входы			Выходы								<u>Минтермы</u>
X2	X1	X0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0	
0	0	0	1								$\overline{x_2} \wedge \overline{x_1} \wedge \overline{x_0}$
0	0	1		1							$\overline{x_2} \wedge \overline{x_1} \wedge x_0$
0	1	0			1						$\overline{x_2} \wedge x_1 \wedge \overline{x_0}$
0	1	1				1					$\overline{x_2} \wedge x_1 \wedge x_0$
1	0	0					1				$x_2 \wedge \overline{x_1} \wedge \overline{x_0}$
1	0	1						1			$x_2 \wedge \overline{x_1} \wedge x_0$
1	1	0							1		$x_2 \wedge x_1 \wedge \overline{x_0}$
1	1	1								1	$x_2 \wedge x_1 \wedge x_0$

схем
а



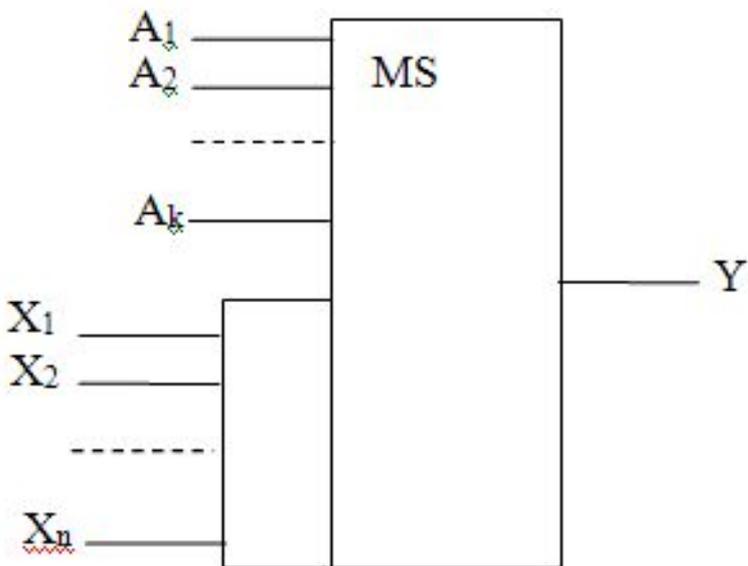
УГО – условное
графическое
отображение
шифратора



Мультиплексор - узел, предназначенный для опроса и передачи входных информационных сигналов в одну выходную цепь.

В каждый момент времени выбирается только одна одnorазрядная или многоразрядная входная цепь.

УГО – условное
графическое отображение



Входы мультиплексора:

X – информационные входы их n

A – управляющие входы их k

$$n = 2^k,$$

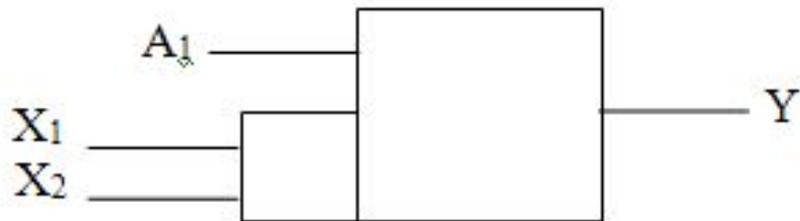
такой мультиплексор называют полным.

$$n < 2^k,$$

то мультиплексор называют неполным.

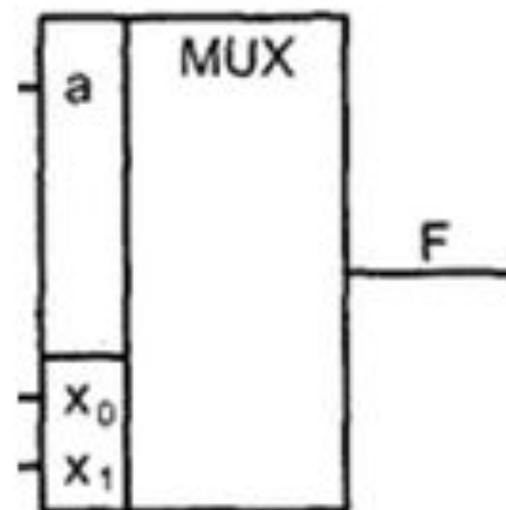
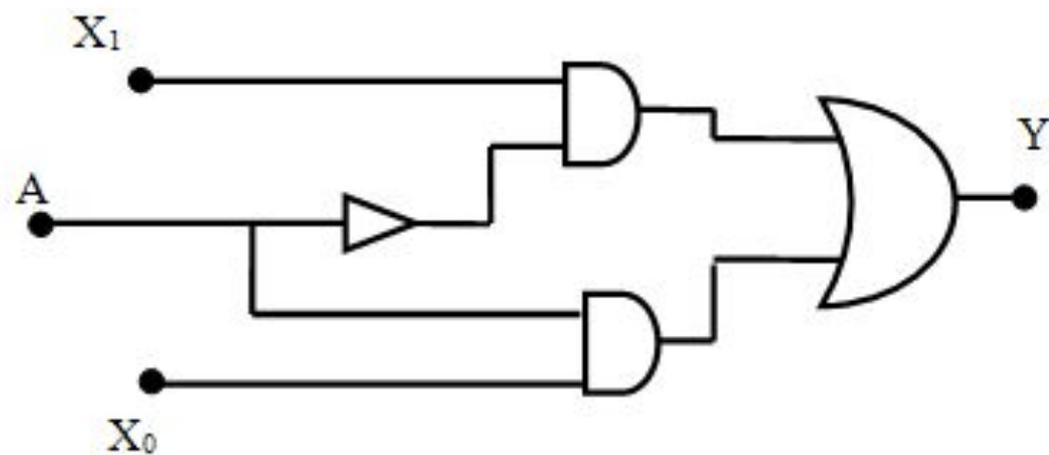
Пример. построим схему полного мультиплексора с одним адресным/управляющим входом.

$$n = 2^k \quad 2 = 2^1$$



Входы			Выход	
A	X ₁	X ₀	Y	<u>M - минтерм</u>
0	0	0	0	
0	0	1	0	
0	1	0	1	$\overline{A}X_1\overline{X_2}$
0	1	1	1	$\overline{A}X_1X_2$
1	0	0	0	
1	0	1	1	$A\overline{X_1}X_2$
1	1	0	0	
1	1	1	1	AX_1X_2

$$\begin{aligned}
 Y &= \overline{A}X_1\overline{X_2} + \overline{A}X_1X_2 + A\overline{X_1}X_2 + AX_1X_2 = \\
 &= \overline{A}X_1(\overline{X_2} + X_2) + AX_2(\overline{X_1} + X_1) = \\
 &= \overline{A}X_1 + AX_2
 \end{aligned}$$



Цифровым компаратором называется комбинационное логическое устройство, предназначенное для сравнения чисел, представленных в виде двоичных кодов.

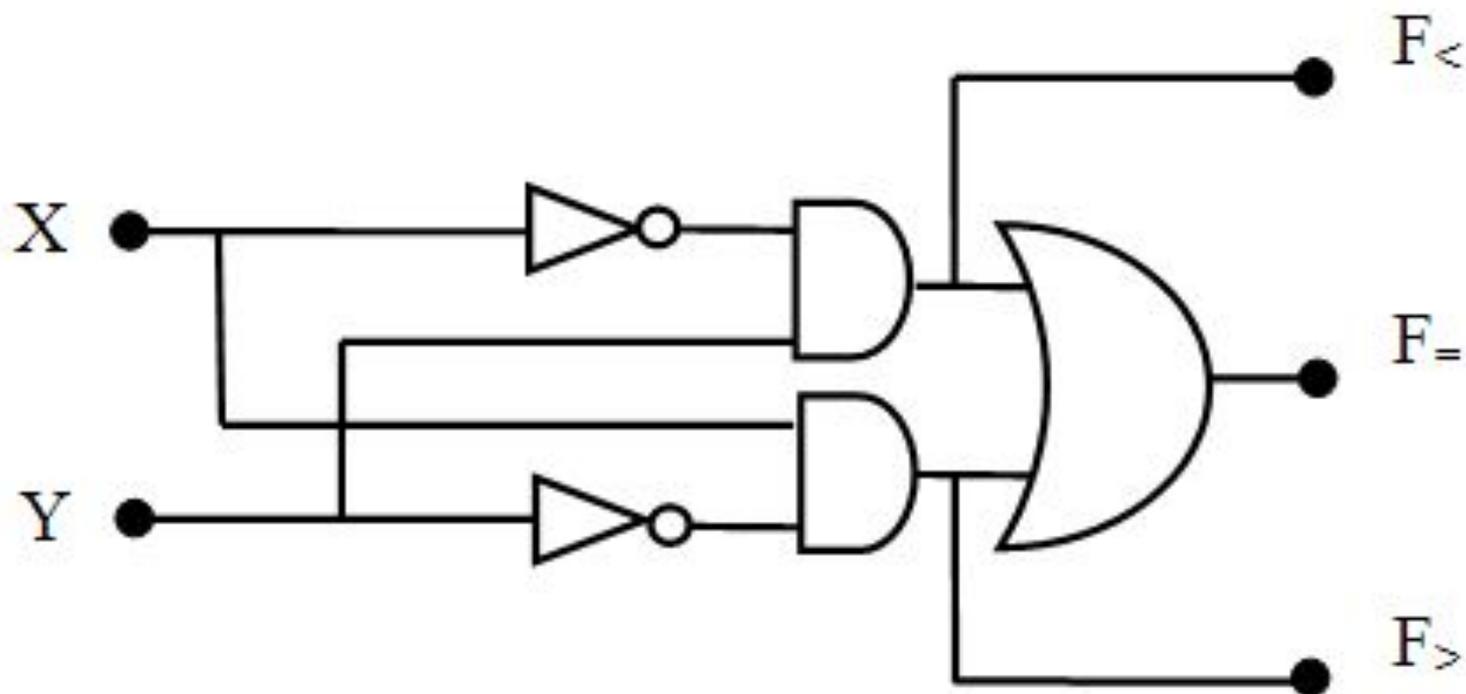
Число входов компаратора определяется разрядностью
сравниваемых кодов.

На выходе компаратора обычно формируется три сигнала:

1. $F_{=}$ — равенство кодов.
2. $F_{>}$ — если числовой эквивалент первого кода больше второго.
3. $F_{<}$ — если числовой эквивалент первого кода меньше второго.

Компаратор одnorазрядных кодов

X	Y	F₌	F_{>}	F_{<}
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0



Двоичный сумматор - логический операционный узел, выполняющий арифметическое сложение кодов двух чисел.

Различают схемы сумматоров двух видов:

- Полусумматор;
- Полный сумматор.

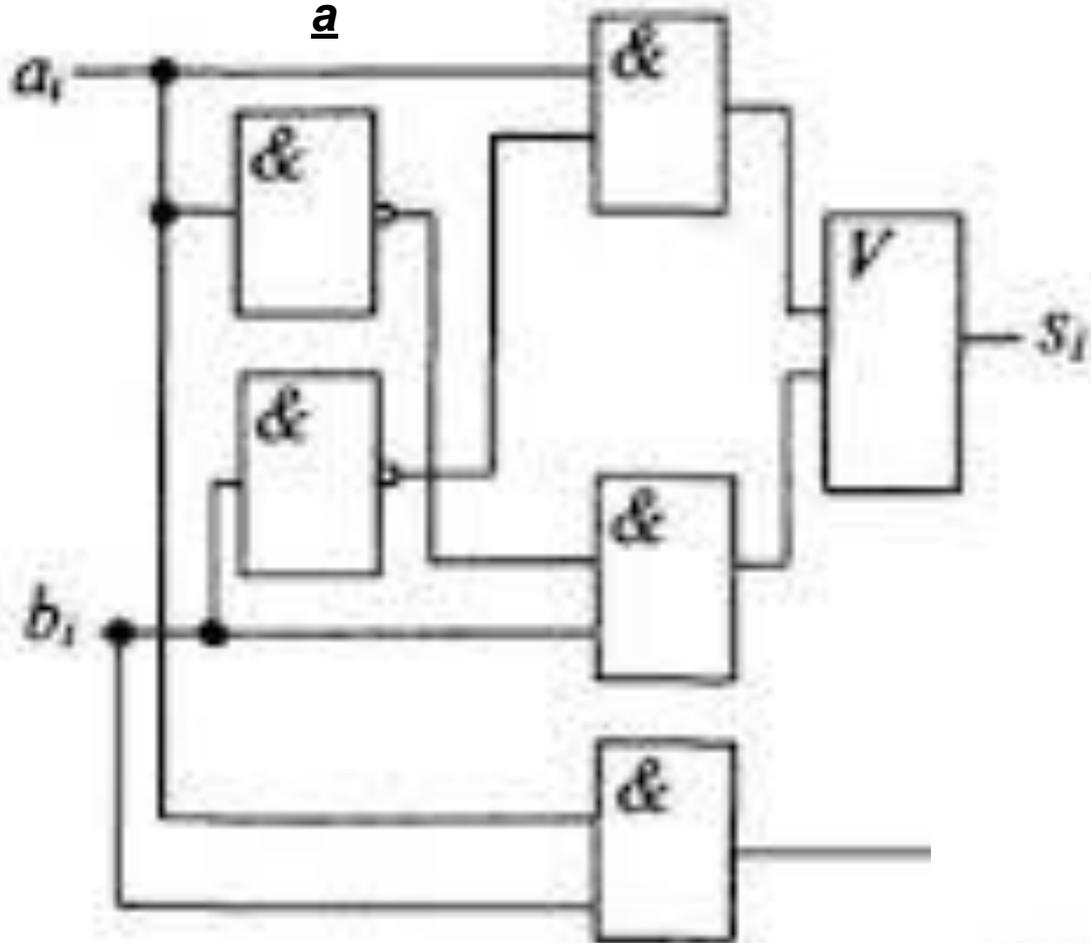
Полусумматор – предназначен для сложения одnorазрядных двоичных чисел без учета переноса из предыдущего разряда.

Составим таблицу логических значений для сумматора, где A , B — слагаемые, P и S — перенос и цифра разряда для суммы соответственно:

Входы		Выходы	
A	B	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

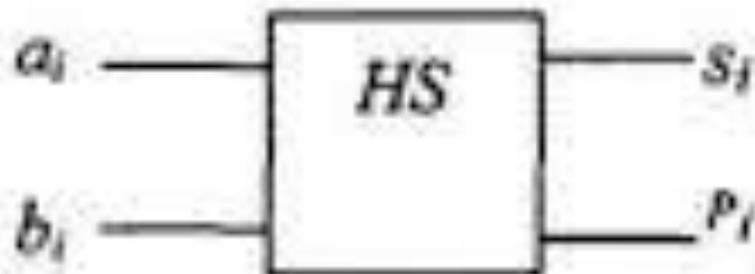
схем

a



Эта схема называется полусумматором, так как в ней отсутствует третий вход — перенос из предыдущего разряда.

УГО – полусумматора

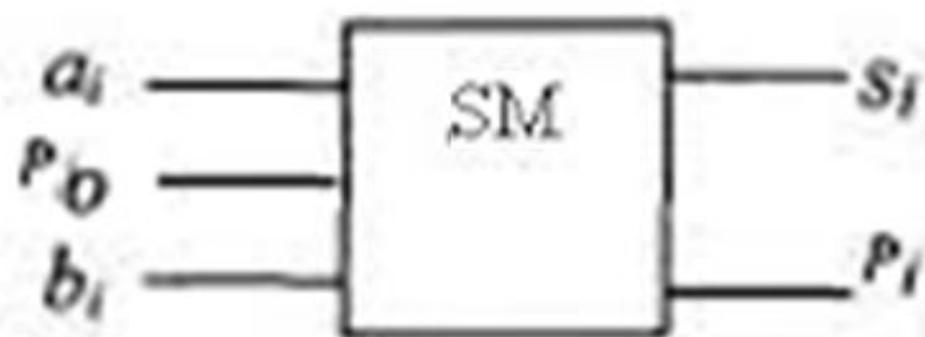
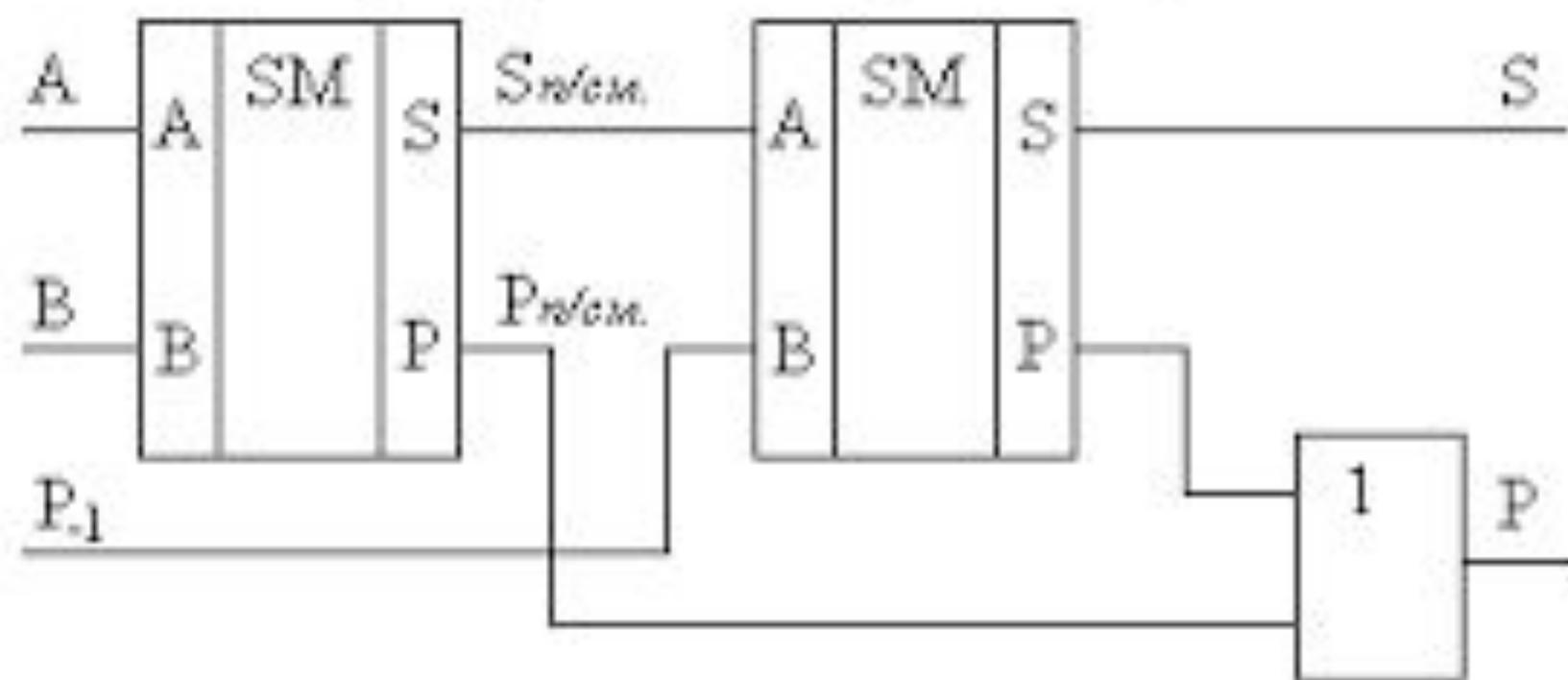


Полный сумматор – предназначен для сложения одноразрядных двоичных чисел с учетом переноса из предыдущего разряда.

Составим таблицу логических значений для одноразрядного сумматора, где A , B — слагаемые, P_0 — перенос из предыдущего разряда, P и S — перенос в следующий разряд и цифра разряда для суммы соответственно.

Входы			Выходы	
A	B	P_0	P	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Схема одноразрядного сумматора:



Параллельный n разрядный сумматор предназначен для суммирования n разрядных чисел.

Его схема составляется из n полных сумматоров соединенных между собой.

