

**Особенности развития и
структурной организации
современных моделей
микропроцессоров.**

Характерными чертами современных универсальных микропроцессоров являются:

- Суперскалярная архитектура, обеспечивающая одновременное выполнение нескольких команд в параллельно работающих исполнительных устройствах.
- Динамическое изменение последовательности команд (выполнение команд с опережением – спекулятивное выполнение).
- Конвейерное исполнение команд.
- Предсказание направления ветвлений.
- Предварительная выборка команд и данных.
- Параллельная обработка потоков данных.
- Многоядерная структура.
- Многопоточковая обработка команд.
- Пониженное энергопотребление.

Стратегия развития процессоров Intel

Intel Core NEW Microarchite cture	Penryn NEW Process	Nehalem NEW Microarchite cture	Westmere NEW Process	Sandy Bridge NEW Microarchite cture
65 nm	45 nm	45 nm	32 nm	32 nm
2006 г.	2007 г.	2008 г.	2009 г.	2010 г.
TOCK	TICK	TOCK	TICK	TOCK

Стратегия развития Intel заключается во внедрении новых микроархитектур процессоров, основанных на новых поколениях полупроводниковой производственной технологии. Темпы выпуска инновационных микроархитектур и полупроводниковых технологий основаны на принципе, который корпорация Intel называет моделью «TICK-TOCK». Этот цикл, как правило, повторяется каждые 2 года.

Особенности многоядерной процессорной микроархитектуры Intel Core

Микроархитектура Intel Core содержит сотни нововведений, но основные из них сводятся к пяти технологическим решениям:

- **Технология Intel Wide Dynamic Execution** (широкое динамическое исполнение).
- **Технология Intel Advanced Digital Media Boost** (улучшенные цифровые медиа возможности).
- **Технология Intel Advanced Smart Cache** (улучшенный интеллектуальный кэш).
- **Технология Intel Smart Memory Access** (интеллектуальный доступ к памяти).
- **Технология Intel Intelligent Power Capability** (интерактивное подключение подсистем).

Технология Intel Wide Dynamic Execution

В новой архитектуре с «широким» динамическим исполнением связывают:

- возможность исполнения большего числа операций за такт, чем это было раньше. Благодаря добавлению в каждое ядро декодеров и исполнительных устройств, каждое из ядер сможет выбирать из программного кода и исполнять до четырех x86 инструкций одновременно с помощью 14-стадийных конвейеров;
- в дополнении к весьма удачной технологии micro-ops fusion (x86 инструкция распадается на последовательность микрокоманд, которые выполняются процессором в этой же последовательности) микроархитектура Core получила технологию macro fusion.

Технология Intel Advanced Digital Media Boost

Микроархитектура Intel Core позволяет ускорить работу с SSE инструкциями в два раза. Блоки SSE в данных процессорах полностью 128-битные, что дает возможность увеличить количество данных, обрабатываемых процессором за такт.

Кроме этого Intel в очередной раз провел ревизию системы команд SSE. Результатом стало расширение SSSE3 еще 32-мя новыми командами, а для процессоров (Penryn), выполненных по 45-нм технологическому процессу, использование нового набора команд SSE4.1, в который добавлено 47 новых команд, позволяющих ускорить, в том числе, кодирование видеозаписей с высоким разрешением и обработку фотоизображений.

Технология Intel Advanced Smart Cache

Процессоры с микроархитектурой Core имеют разделяемый между двумя ядрами L2 кэш. Плюсов такого подхода несколько:

1. Доступ ко всему объему L2 кэша может получить любое из ядер процессора (когда одно из ядер бездействует). Если же одновременно работают два ядра, то кэш делится между ними пропорционально, в зависимости от частоты обращений каждого ядра к оперативной памяти (ОП).

Если оба ядра работают синхронно с одними и теми же данными, то хранятся они в общем L2 кэше только однократно. Таким образом, разделяемый интеллектуальный L2 кэш, более вместителен, чем два отдельных кэша.

2. Значительно снижается нагрузка на ОП системы и на процессорную шину. В этом случае перед системой не стоит задача контроля и обеспечения когерентности кэш-памяти различных ядер.

Технология Intel Smart Memory Access

Под этим названием объединены несколько технологий:

- 1. Усовершенствованный алгоритм предварительной выборки данных.** В процессоре реализовано 6 независимых блоков предварительной выборки данных. Два блока осуществляют выборку данных из памяти в общий L2 кэш, два блока работают с кэшами L1 каждого ядра. Каждый блок отслеживает обращения исполнительных устройств к данным. Базируясь на собранной статистике, блоки предварительной выборки стремятся подгрузить данные из памяти в процессорный кэш еще до того, как к ним последует обращение.
- 2. Memory disambiguation (устранение противоречий при доступе к памяти).** Данная технология направлена на повышение эффективности работы алгоритмов внеочередного исполнения инструкций, осуществляющих выгрузку и сохранение данных в память.

Технология Intel Intelligent Power Capability

Главная особенность микроархитектуры Core в том, что процессоры получили возможность интерактивного подключения тех собственных подсистем, которые используются в данный момент. Причем речь в данном случае идет не о ядрах целиком. Декомпозиция процессора на отдельные функциональные узлы выполнена на гораздо более низком уровне. Каждое из процессорных ядер поделено на большое количество блоков и внутренних шин, питание которыми управляется отдельно посредством специализированных дополнительных логических схем.

Недостатки микроархитектуры Intel Core

Существенным недостатком процессоров микроархитектуры Intel Core стал их **немодульный дизайн (немодульное проектирование)**. Они изначально проектировались как двухъядерные полупроводниковые кристаллы. Последующий же переход к выпуску многоядерных представителей Core 2 стал выявлять слабые места такого подхода. Так, 4-х ядерные и 6-ти ядерные представители микроархитектуры Intel Core просто собирались из нескольких 2-х ядерных кристаллов, что приводило к затруднению взаимодействия между ними. Обмен данными между разрозненными ядрами организовывался через системную память, что порой вызывало большие задержки, обусловленные ограниченной пропускной способностью процессорной шины.

Еще одно узкое место возникало в многопроцессорных системах при использовании системной шины FSB.

Микроархитектура Intel Nehalem

Микроархитектура Nehalem является дальнейшим развитием рассмотренной выше микроархитектуры Intel Core.

Основными отличительными чертами данной микроархитектуры являются :

1. Усовершенствованное по сравнению с Core вычислительное ядро.
2. Многопоточная технология SMT (Simultaneous Multi-Threading), позволяющая исполнять одновременно два вычислительных потока на одном ядре.
3. Три уровня кэш-памяти: L1 кэш размером 64 Кбайта на каждое ядро, L2 кэш размером 256 Кбайт на каждое ядро, общий разделяемый L3 кэш размером 4, 8 до 24 Мбайт.
4. Интегрированный в процессор контроллер памяти с поддержкой нескольких каналов DDR3 SDRAM.

Микроархитектура Intel Nehalem

5. Новая шина QPI с топологией точка-точка для связи процессора с чипсетом и процессоров между собой.
6. Модульная структура.
7. Монолитная конструкция – процессор состоит из одного полупроводникового кристалла.
8. Технологический процесс с нормами производства не менее 45 нм.
9. Использование двух, четырех или восьми ядер.
10. Управление питанием и Turbo-режим.

Усовершенствования вычислительного ядра

Несмотря на то, что процессоры семейства Nehalem преподносятся Intel, как носители новой микроархитектуры, основная их часть – вычислительное ядро – по сравнению с Core изменилась не столь значительно, наибольшие улучшения кроются в инфраструктуре.

В рассматриваемом ядре (рис. 1) так называемый предпроцессор содержит следующие блоки: блок выборки команд и преддекодирования; блок предсказания переходов (ветвлений); блок очередей инструкций; декодер инструкций; блок обнаружения циклов в программе.

В дополнение к уже имеющемуся в Intel Core блоку предсказания переходов был добавлен в Nehalem ещё один «предсказатель» второго уровня. Он работает медленнее, чем первый, но зато благодаря более вместительному буферу, накапливающему статистику переходов, обладает лучшей глубиной анализа.

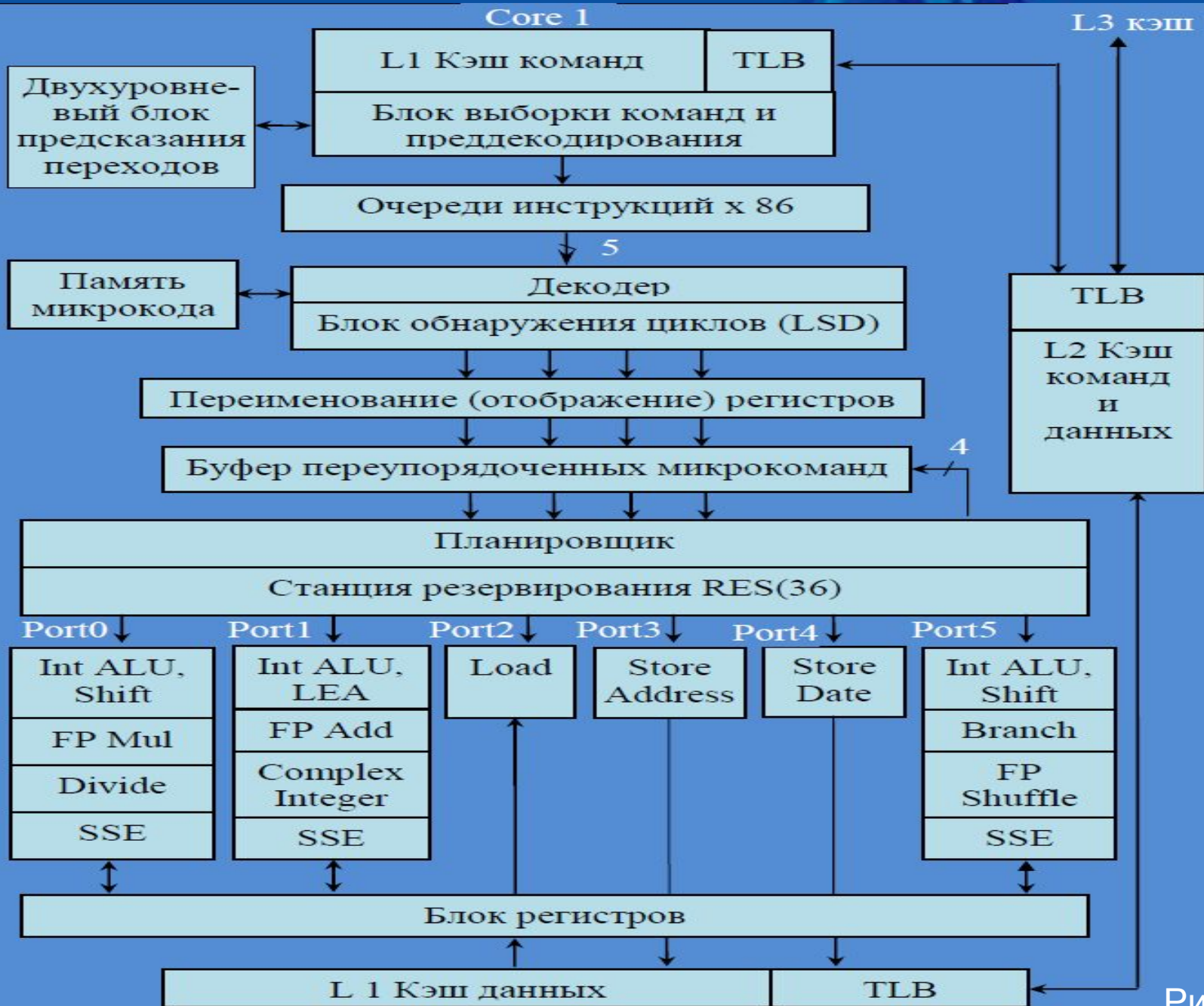


Рис.1

Усовершенствования вычислительного ядра

Разделенные на простые и сложные x86 инструкции (Pre Decode) организуются в виде очередей (Instruction Queues) на входах четырех декодеров. Декодеры преобразуют x86 команды в микрокоманды, под управлением которых в процессоре выполняются элементарные операции (микрооперации). Как в Intel Core, три декодера используются для обработки простых инструкций, один – для сложных. Каждая простая x86 инструкция преобразуется в 1–2 микрокоманды, а для сложной инструкции из памяти микрокода (u Code ROM) выбирается последовательность микрокоманд (микропрограмма), которая содержит более двух микрокоманд (технология micro-ops fusion). Используя технологию macro fusion, четыре декодера могут обработать одновременно пять x86 команд, преобразуя их в четыре микрокоманды. Данная технология заключается в том, что ряд пар связанных между собой последовательных x86 инструкций, таких как, например, сравнение со следующим за ним условным переходом, представляются декодером одной микрокомандой.

Усовершенствования вычислительного ядра

В Nehalem увеличилось число пар x86 команд, декодируемых в рамках этой технологии «одним махом». Кроме того, технология macro fusion стала работать и в 64-битном режиме, в то время как в процессорах семейства Core 2 она могла активироваться лишь при работе процессора с 32-битным кодом.

Следующее усовершенствование, связанное с повышением продуктивности начальной части исполнительного конвейера, коснулось блока обнаружения циклов в программе Loop Stream Detector. Этот блок появился впервые в процессорах с микроархитектурой Core и предназначался для ускорения обработки циклов. Определяя в программе циклы небольшой длины, Loop Stream Detector (LSD) сохранял их в специальном буфере, что давало возможность процессору обходиться без их многократной выборки из кэша и предсказания переходов внутри этих циклов. В процессорах Nehalem блок LSD стал ещё более эффективен благодаря его переносу за стадию декодирования инструкций.

Усовершенствования вычислительного ядра

Иными словами, теперь в буфере LSD сохраняются циклы в декодированном виде, из-за чего этот блок стал несколько похож на Trace Cache процессоров Pentium 4. Однако, Loop Stream Detector в Nehalem – это особенный кэш. Во-первых, он имеет очень небольшой размер, всего 28 микроопераций, во-вторых, в нём сохраняются исключительно циклы.

После декодирования производится переименование регистров, переупорядочение (Retirement Unit) и сохранение до момента выполнения 128 микрокоманд в буфере (Reorder Buffer). Это количество микрокоманд на 33% больше, чем в Intel Core (96 микрокоманд).

На следующем этапе планировщик (Scheduler) через станцию резервирования (Reservation Station – RES), вместимостью до 36 инструкций (Intel Core – 32 инструкции), отправляет микрокоманды непосредственно на исполнительные устройства.

Усовершенствования вычислительного ядра

Также как Core 2, в каждом ядре процессора Intel Nehalem используются три универсальных порта (Port0, Port1, Port5) для связи с различными исполнительными устройствами, два порта (Port3, Port4) для организации записи/загрузки (Store) адреса и данных в память и один (Port2) для организации чтения/выгрузки (Load) данных из памяти. Универсальные порты осуществляют связь с тремя блоками для обработки целочисленных 64-битных данных (ALU), выполнения сдвигов (Shift) и операций сравнения (LEA); с тремя блоками для обработки чисел с плавающей точкой (FAdd, FMul, FPShuffles); с тремя 128-битными блоками для обработки потоковых данных (SSE); с одним блоком для исполнения переходов (Branch); со специальными блоками Divide (деление), Complex Integer (сложные целочисленные операции).

Усовершенствования вычислительного ядра

В микроархитектуре Nehalem Intel продолжила взятый ранее курс на увеличение числа поддерживаемых SIMD инструкций. Пополненный набор команд расширился за счет семи новых инструкций и получил название SSE4.2. В SSE4.2 добавлено пять инструкций, предназначенных для ускорения синтаксического анализа XML-файлов. Также с помощью этих же инструкций возможно увеличение скорости обработки строк и текстов. Ещё две новые инструкции из набора SSE4.2 нацелены на совершенно иные приложения. Первая из них аккумулирует контрольную сумму, а вторая подсчитывает число ненулевых бит в источнике.

Новая структура кэш-памяти

От двухуровневой структуры кэш-памяти в Intel Core с общим на каждые два ядра L2 кэшем в процессорах Nehalem остался только кэш первого уровня суммарным объёмом 64 Кб, который делится на две равные части для хранения инструкций и данных. Использование разделяемого L2 кэша оказалось весьма проблематичным при увеличении количества ядер. Поэтому в микроархитектуре Nehalem, предполагающей наличие в процессоре до 8 ядер, кэш второго уровня не является разделяемым. Каждое из ядер получило свой собственный L2 кэш со сравнительно небольшим объёмом 256 Кбайт.

К двум уровням кэша в Nehalem добавился и L3 кэш, который объединяет ядра между собой и является разделяемым. В результате, L2 кэш выступает буфером при обращениях процессорных ядер в разделяемую кэш-память, имеющую достаточно большой объём.

Реализация многопоточности

Возвращение в Nehalem технологии SMT – одно из самых существенных нововведений, способных положительно повлиять на производительность (в процессорах Pentium 4, эта же технология преподносилась под маркетинговым именем Hyper-Threading).

Внедрение SMT в Nehalem не потребовало существенного увеличения сложности процессора. Продублированы в ядре, фактически, лишь процессорные регистры. Все остальные ресурсы при включении SMT разделяются в процессоре между потоками динамически (например, Reservation Station или кэш-память), либо жёстко пополам (например, Reorder Buffer). Как и в процессорах Pentium 4, активация SMT в Nehalem приводит к тому, что каждое физическое ядро видится операционной системой как пара логических ядер. Например, четырёхъядерный Nehalem будет распознаваться программным обеспечением как процессор с восемью ядрами.

Интегрированный в процессор контроллер памяти

Nehalem стала первой интеловской микроархитектурой, предполагающей интеграцию контроллера памяти внутрь процессора. Главное свойство контроллера памяти процессоров семейства Nehalem – гибкость. Учитывая модульный дизайн всего семейства процессоров, которое может содержать сильно различающиеся по характеристикам и рыночному позиционированию продукты, Intel предусмотрела возможность не только включать или отключать поддержку буферизированных модулей, но и варьировать число каналов и скорость памяти.

Основное преимущество переноса контроллера DRAM в процессор заключается не столько в росте пропускной способности, сколько в уменьшении латентности подсистемы памяти. Ещё одно косвенное преимущество встроенного в процессор контроллера памяти заключается в том, что его функционирование теперь не зависит ни от чипсета, ни от материнской платы.

Новая процессорная шина QPI

Микроархитектура Nehalem универсальна, она используется как в настольных, мобильных, так и в серверных продуктах. Поэтому при разработке данной микроархитектуры было уделено внимание проектированию новой процессорной шины, которая оказалась бы применима в многопроцессорных системах, обеспечивая необходимую пропускную способность и масштабируемость.

Для решения этой задачи был построен специальный интерфейс QPI с топологией точка-точка (QuickPath Interconnect). С технической точки зрения шина QPI представляет собой два 20-битных соединения, ориентированных на передачу данных в прямом и обратном направлении. 16 бит предназначены для передачи данных, оставшиеся четыре – носят вспомогательный характер. Эта шина имеет пропускную способность 12,8 Гбайт/с в каждую сторону или 25,6 Гбайт/с суммарно. В зависимости от рыночного ориентирования, процессоры с микроархитектурой Nehalem могут комплектоваться одним или несколькими интерфейсами QPI.

Модульная структура процессора

Важным нововведением в Nehalem стал модульный дизайн процессора. Фактически, микроархитектура сама по себе включает лишь несколько «строительных блоков», из которых на этапе конечного проектирования и производства может быть собран итоговый процессор. Этот набор строительных блоков включает в себя (рис. 2) процессорное ядро с L2 кэшем (Core), L3 кэш, контроллер шины (QPI), контроллер памяти (MC), графическое ядро (GPU), контроллер потребляемой энергии (PCU) и т. д.

Необходимые «кубики» собираются в едином полупроводниковом кристалле и преподносятся в качестве решения для того или иного рыночного сегмента. Например, процессор Bloomfield, включает в себя четыре ядра, L3 кэш, контроллер памяти и один контроллер шины QPI.

Серверные же процессоры с той же архитектурой будут включать до восьми ядер, до четырёх контроллеров QPI для объединения в многопроцессорные системы, L3 кэш и контроллер памяти.

Модульная структура процессора

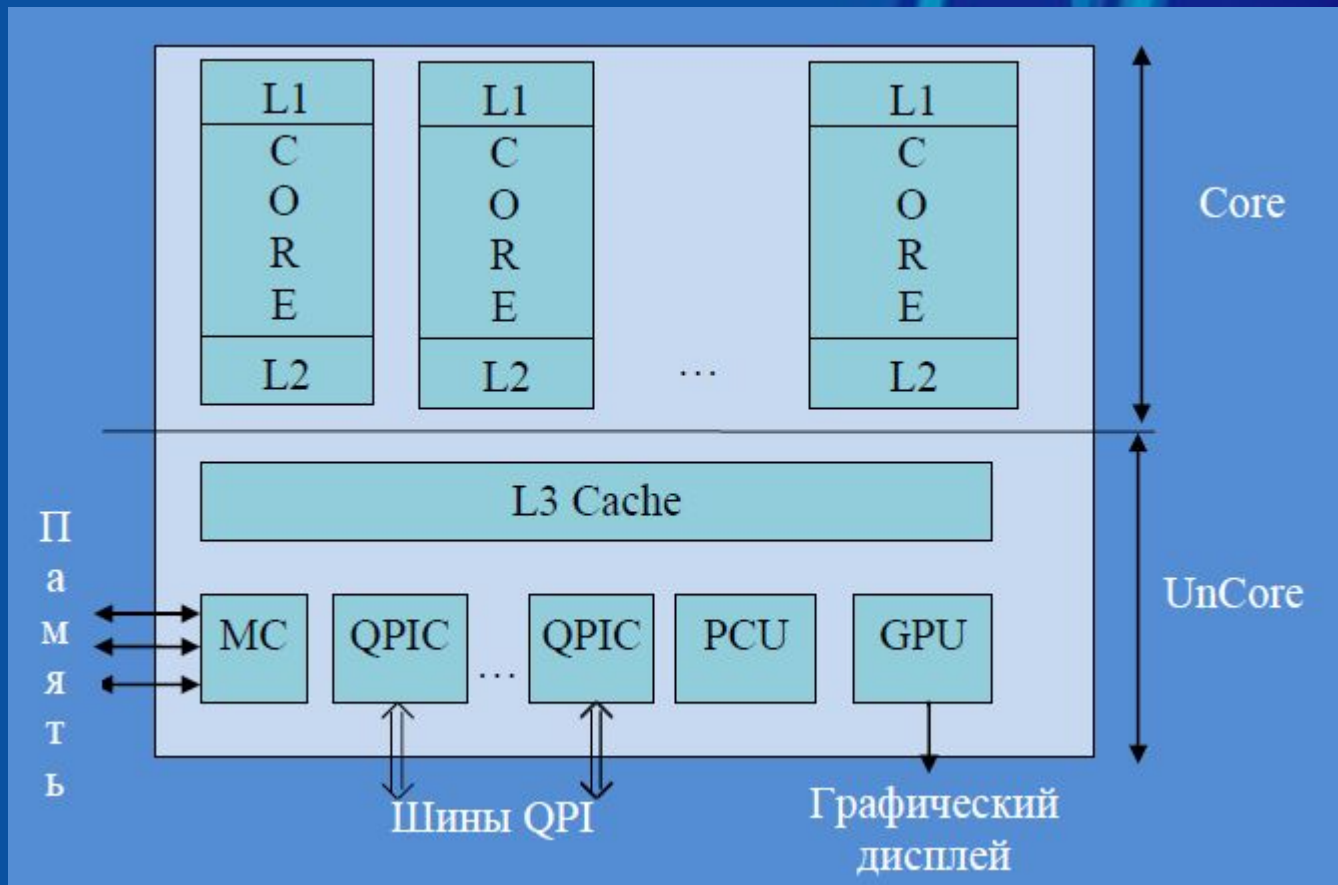


Рис. 2

Управление питанием процессора

Микроархитектура Nehalem предполагает наличие в процессоре важного блока – PCU (Power Control Unit). Этот блок представляет собой встроенный в процессор программируемый микроконтроллер, целью которого является «интеллектуальное» управление потреблением энергии. Неудивительно, что при этом PCU имеет достаточно сложную конструкцию.

Основным предназначением PCU является управление частотой и напряжением питания отдельных ядер, для чего этот блок имеет все необходимые средства. Он получает от всех ядер со встроенных в них датчиков всю информацию о температуре, напряжении и силе тока. Основываясь на этих данных, PCU может переводить отдельные ядра в энергосберегающие состояния, а также управлять их частотой и напряжением питания. В частности, PCU может независимо друг от друга отключать неактивные ядра, переводя их в состояние глубокого сна, в котором энергопотребление ядра приближается к нулевой отметке.

Технология Turbo Boost

Эта технология вводит понятие турбо-режима, в котором отдельные ядра могут работать на частоте, превосходящей номинальную, то есть разгоняться. Основной принцип Turbo Boost Technology состоит в том, что при переходе отдельных ядер в энергосберегающие состояния снижается общее энергопотребление и тепловыделение процессора, а это в свою очередь позволяет нарастить частоты остальных ядер без риска выйти за установленные рамки TDP.

В новых процессорах, если нет риска выйти за границу типичного энергопотребления и тепловыделения, PCU может повышать частоты процессорных ядер на один шаг выше номинала (133 МГц). Это может происходить, например, при слабо распараллеленной нагрузке, когда часть ядер находится в состоянии простоя. Более того, при соблюдении описанных условий, частота одного из ядер может быть увеличена и на два шага выше номинала (266 МГц).

Большим преимуществом Turbo Boost Technology является ее полная прозрачность для операционной системы. Эта технология реализована исключительно аппаратными средствами и не требует использования никаких программных утилит для своей активации.

Процессоры Nehalem

Первыми серийными процессорами, основанными на новой микроархитектуре Nehalem, стали настольные модели, известные под кодовым именем Bloomfield (Core i7-9xx, табл. 1). Эти процессоры имеют четырехядерное строение. Помимо процессорных ядер, в полупроводниковый кристалл Bloomfield включен кэш третьего уровня объёмом 8 Мбайт, трёхканальный контроллер памяти с поддержкой DDR3 SDRAM и один интерфейс QPI. Новые процессоры используют разъём LGA1366, существенно превосходящий по числу контактов и габаритам привычный LGA775. Стал массивнее и сам процессор.

Следующая линейка процессоров Intel Core i7-8xx с ядром Lynnfield отличается от предыдущей двухканальным интегрированным контроллером памяти, уменьшенным TDP, увеличенной частотой шины памяти 1066/1333 МГц, встроенным в процессор контроллером шины графического адаптера PCI Express x16, использованием системной шины DMI для связи процессора с южным мостом чипсета, более агрессивной реализацией технологии Turbo Boost.

Процессоры Intel Clarkdale

Характеристики процессора	Core i3 530	Core i3 540	Core i5 650	Core i5 660	Core i5 661	Core i5 670
Техпроцесс ядра CPU, нм	32					
Техпроцесс ядра CPU, нм	45					
Кол-во ядер CPU/исполняемых потоков, шт.	2/4					
Объем L3 кэш памяти, Мб	4					
Номинальная частота ЦП, ГГц	2.93	3.06	3.2	3.33	3.33	3.46
Частота ЦП с Turbo Boost (максимум), ГГц	N/A	N/A	3.46	3.6	3.6	3.73
Частота GPU, МГц	733	733	733	733	900	733
Поддержка HT	Есть					
Поддерживаемая память, частота памяти, МГц	Dual Channel DDR3, 1333					
Технология Intel vPro	Нет	Нет	Есть	Есть	Нет	Есть
Технология Intel VT-x	Есть					
Технология Intel VT-d	Нет	Нет	Есть	Есть	Нет	Есть
Технология Intel TXT	Нет	Нет	Есть	Есть	Нет	Есть
Набор инструкций AES-NI	Нет	Нет	Есть			
TDP, Вт	73				87	73

Процессоры Intel Bloomfield, Intel Lynnfield

Характеристики процессора	Core i7 860	Core i7 870	Core i7 920	Core i7 940	Core i7 950	Core i7 960
Техпроцесс ядра CPU, нм	45					
Количество ядер CPU/исполняемых потоков, шт.	4/8					
Объем L3 кэш памяти, Мб	8					
Номинальная частота ЦП, ГГц	2.8	2.93	2.66	2.93	3.06	3.2
Частота ЦП с Turbo Boost (максимум), ГГц	3.46	3.6	2.93	3.2	3.33	3.46
Частота GPU, МГц	733	733	733	733	900	733
Поддержка HT (SMT)	Есть					
Поддерживаемая память, частота памяти, МГц	DDR3 1066/1333		DDR3 800/1066			
Количество каналов памяти	2	2	3	3	3	3
Максимальная скорость памяти, Гбайт/сек	21	21	25.6	25.6	25.6	25.6
Технология Intel 64	Есть					
Технология Intel VT-x	Есть					
Технология Intel VT-d	Есть		Нет			
Технология Intel TXT	Есть		Нет			
Технология Intel Speedstep	Есть					
TDP, Вт	95		130			

Семейство процессоров Intel Westmere

Новые процессоры Intel семейства Westmere стали первыми процессорами, созданными по нормам 32-нм техпроцесса. Эти процессоры известны под кодовыми названиями Clarkdale и Arrandale, предназначены для применения, соответственно, в настольных компьютерах и ноутбуках, и входят в модельные линейки Intel Core i3, i5, i7. Процессоры Intel Westmere представляют собой двухъядерные решения. Кроме того, в их конструкции присутствуют два несущих кристалла (рис. 3), один из которых, выпускаемый по 32-нм техпроцессу, включает в себя два вычислительных ядра, разделяемую L3 кэш-память, контроллер шины QPI. Второй, более крупный кристалл, изготавливаемый по 45-нм технологии, содержит графический процессор GPU, двухканальный контроллер памяти DDR3, контроллер интерфейса PCI Express 2.0 и контроллер шин DMI и FDI (Flexible Display Interface). Взаимодействие между двумя кристаллами происходит по высокоскоростной шине QPI.

Семейство процессоров Intel Westmere

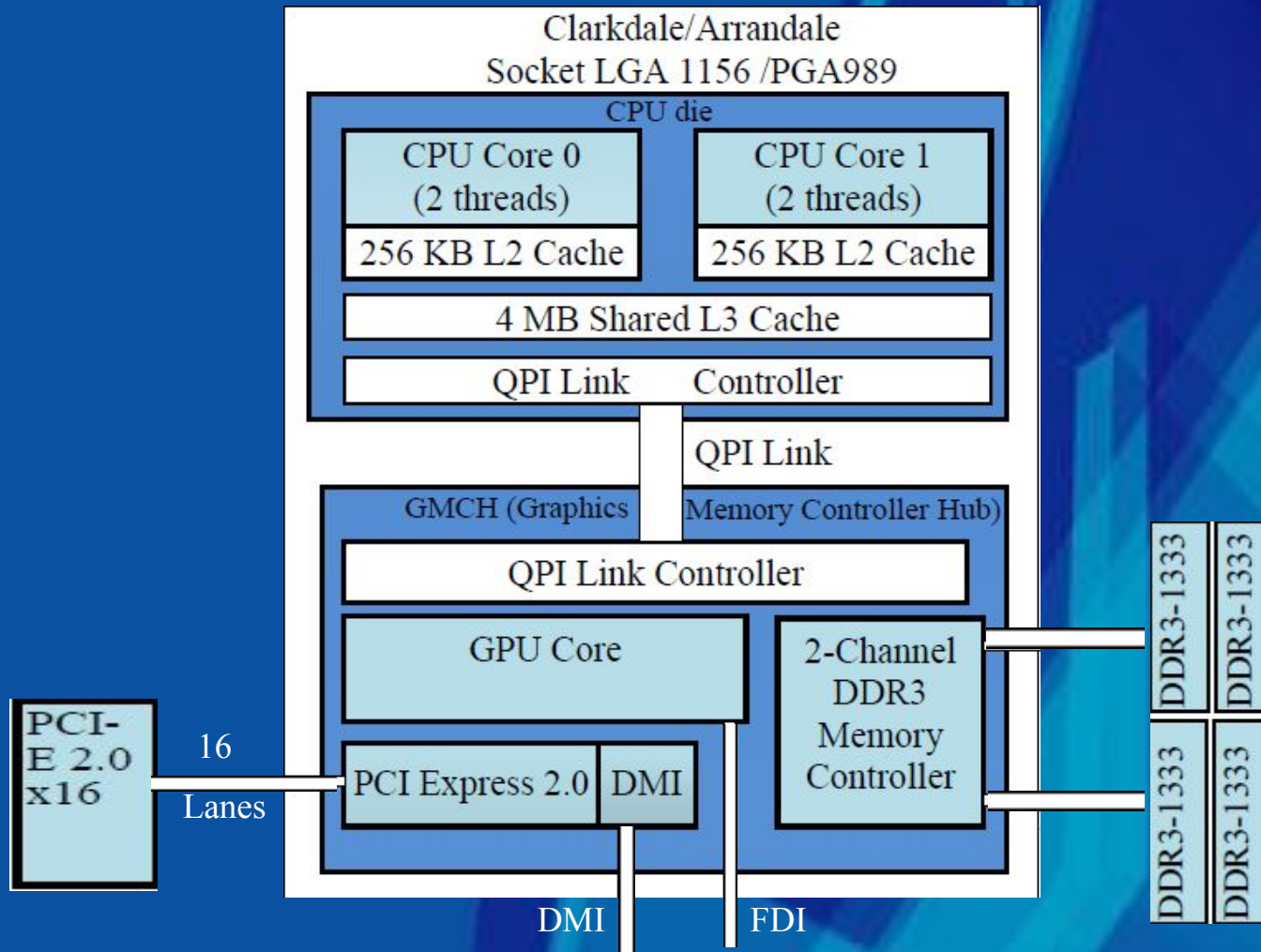


Рис. 3

Микроархитектура AMD K10

Микроархитектура AMD K10 является логическим продолжением вполне удачной в свое время (2003 г.) микроархитектуры K8 (AMD Athlon 64), обладавшей двумя важными достоинствами: встроенным в кристалл процессора контроллером памяти и независимой шиной Hyper-Transport. Микроархитектура K8 использовалась для построения только первого поколения двухъядерных процессоров. Для создания последующих поколений двухъядерных и четырехъядерных процессоров AMD использовала микроархитектуру K9 (AMD Athlon 64 X2), а с 2007 года – K10. Тогда AMD удалось опередить Intel в выпуске настоящего четырехъядерного процессора (AMD Phenom). В то время, как CPU семейства Core 2 Quad представляли собой склейку пары двухъядерных CPU, выполненных в одном процессорном корпусе, AMD Phenom являлся полноценным четырехъядерным решением.

Микроархитектура AMD K10

Впрочем, компоновка четырех процессорных ядер на одном кристалле имела и обратную сторону. Дело в том, что такие полупроводниковые кристаллы, произведенные по 65-нм технологии, получили достаточно большие геометрические размеры. Это, естественно, привело к ощутимому снижению выхода годных кристаллов и повышению себестоимости производства. Однако, AMD смогла придумать, каким образом можно избавиться от значительной части брака. Компания начала поставки трёхъядерных и двухъядерных процессоров, которые изготавливались из кристаллов Phenom с одним или двумя бракованными ядрами (AMD Phenom X3, Phenom X2). Другая проблема, вытекающая из большого размера кристалла процессоров первого поколения K10 – относительно невысокие тактовые частоты, диктуемые необходимостью держать тепловыделение CPU в приемлемых рамках. Эта проблема частично решена AMD в процессорах второго поколения Phenom II и Athlon II, когда производство CPU встало на более современный 45-нм техпроцесс.

Структура ядра процессора AMD K10

Каждое ядро процессора имеет выделенный кэш L1 данных и инструкций размером по 64 Кбайт (KB) каждый, а также выделенный кэш L2 размером 512 KB (рис. 4). Кроме того реализован разделяемый между всеми ядрами кэш L3 размером 2 MB (такой кэш отсутствовал в микроархитектуре AMD K8).

Процессор K10 производит выборку инструкций (Instruction Fetch Unit) из кэша команд L1 выровненными 32-байтными блоками, в отличие от процессоров K8 и Intel Core, которые производили выборку 16-байтными блоками.

В архитектуре AMD K8 длина блока выборки инструкций была согласована с возможностями декодера. В архитектуре K10 возможности декодера изменились, в результате чего потребовалось изменить и размер блока выборки, чтобы темп выборки инструкций был сбалансирован со скоростью работы декодера.

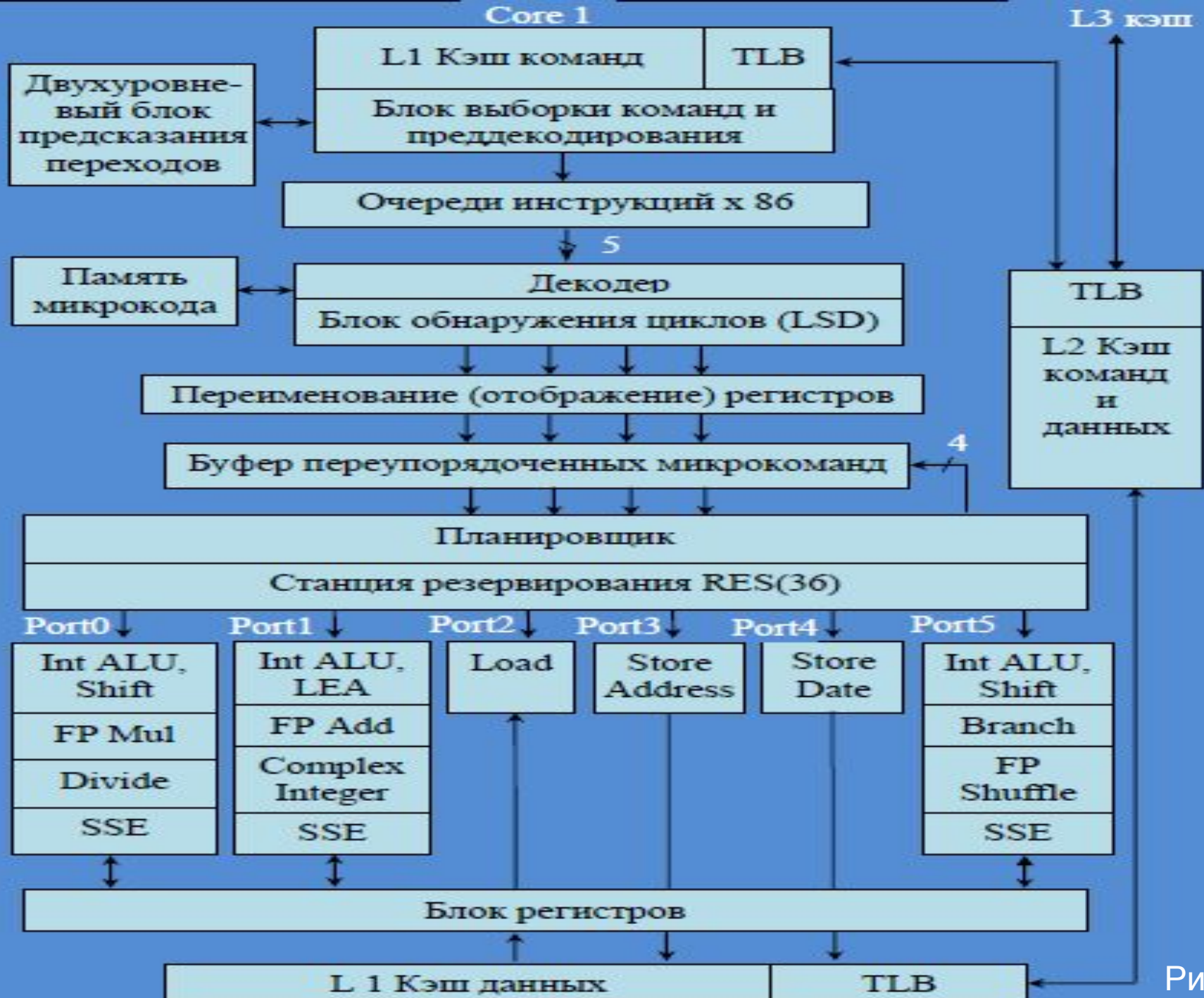


Рис. 4

Структура ядра процессора AMD K10

В K10 предсказание переходов (Branch Prediction Unit) существенно улучшено.

Во-первых, появился механизм предсказания косвенных переходов, т. е. переходов, которые производятся по указателю, динамически вычисляемому при выполнении кода программы.

Во-вторых, предсказание выполняется на основе анализа 12 предыдущих переходов, что повышает точность предсказаний. В-третьих, вдвое (с 12 до 24 элементов) увеличена глубина стека возврата.

Структура ядра процессора AMD K10

В процессоре K10 внешние x86-команды декодируются во внутренние RISC-инструкции, для чего используется декодер команд. Процесс декодирования состоит из двух этапов. На первом этапе выбранные из кэша L1 блоки инструкций длиной 32 байта (256 бит) помещаются в специальный буфер преддекодирования (Predecode / Pick Buffer), где происходит выделение инструкций из блоков, определение их типов и отсылка в соответствующие каналы декодера. Декодер транслирует x86-инструкции в простейшие машинные команды (микрооперации), называемые micro-ops (μOp). Сами x86-команды могут быть переменной длины, а вот длина микроопераций уже фиксированная. Инструкции x86 разделяются на простые и сложные. Простые инструкции при декодировании представляются с помощью одной-двух микроопераций, а сложные команды – тремя и более микрооперациями. Простые инструкции отсылаются в аппаратный декодер, построенный на логических схемах и называемый Direct Path, а сложные – в микропрограммный декодер, называемый Vector Path. Он содержит память микрокода, в которой хранятся последовательности микроопераций.

Структура ядра процессора AMD K10

Аппаратный декодер Direct Path является трехканальным и может декодировать за один такт: три простые инструкции, если каждая из них транслируется в одну микрооперацию; либо одну простую инструкцию, транслируемую в две микрооперации, и одну простую инструкцию, транслируемую в одну микрооперацию; либо две простые инструкции за два такта, если каждая инструкция транслируется в две микрооперации (полторы инструкции за такт). Таким образом, за каждый такт аппаратный декодер выдает три микрооперации.

Микропрограммный декодер Vector Path также способен выдавать по три микрооперации за такт при декодировании сложных инструкций. При этом сложные инструкции не могут декодироваться одновременно с простыми, т. е. при работе трехканального аппаратного декодера микропрограммный декодер не используется, а при декодировании сложных инструкций, наоборот, бездействует аппаратный декодер.

Структура ядра процессора AMD K10

Микрооперации, полученные в результате декодирования инструкций в декодерах Vector Path и Direct Path поступают в буфер Pack Buffer, где они объединяются в группы по три микрооперации.

В том случае, когда за один такт в буфер поступает не три, а одна или две микрооперации (в результате задержек с выбором инструкций), группы заполняются пустыми микрооперациями, но так, чтобы в каждой группе было ровно три микрооперации.

Далее группы микроинструкций отправляются на исполнение.

Структура ядра процессора AMD K10

Если посмотреть на схему декодера в микроархитектурах K8 и K10, то видимых различий казалось бы нет. Действительно, схема работы декодера осталась без изменений. Разница в данном случае заключается в том, какие инструкции считаются сложными, а какие простыми, а также в том, как декодируются различные инструкции. Так, в микроархитектуре K8 128-битные SSE-инструкции разбиваются на две микрооперации, а в микроархитектуре K10 большинство SSE-инструкций декодируется в аппаратном декодере как одна микрооперация. Кроме того, часть SSE-инструкций, которые в микроархитектуре K8 декодировались через микропрограммный декодер, в микроархитектуре K10 декодируются через аппаратный декодер.

Кроме того в микроархитектуре K10 в декодер добавлен специальный блок, называемый Sideband Stack Optimizer. Он повышает эффективность декодирования инструкций работы со стеком и, таким образом, позволяет переупорядочивать микрооперации, получаемые в результате декодирования, чтобы они могли выполняться параллельно.

Структура ядра процессора AMD K10

После прохождения декодера микрооперации (по три за каждый такт) поступают в блок управления командами, называемый Instruction Control Unit (ICU). Главная задача ICU заключается в диспетчеризации трех микроопераций за такт по функциональным устройствам, т. е. ICU распределяет инструкции в зависимости от их назначения. Для этого используется буфер переупорядочивания Reorder Buffer (ROB), который рассчитан на хранение 72 микроопераций. Из буфера переупорядочивания микрооперации поступают в очереди планировщиков целочисленных (Int Scheduler) и вещественных (FP Mapper) исполнительных устройств в том порядке, в котором они вышли из декодера.

Планировщик для работы с вещественными числами образован тремя станциями резервирования (RS), каждая из которых рассчитана на 12 инструкций. Его основная задача заключается в том, чтобы распределять команды по исполнительным блокам по мере их готовности.

Структура ядра процессора AMD K10

Просматривая все 36 поступающих инструкций, FP-Renamer переупорядочивает следование команд, строя спекулятивные предположения о дальнейшем ходе программы, чтобы создать несколько полностью независимых друг от друга очередей инструкций, которые можно выполнять параллельно. В микроархитектурах K8 и K10 имеется 3 исполнительных блока для работы с вещественными числами, поэтому FP-планировщик должен формировать по три инструкции за такт, направляя их на исполнительные блоки.

Планировщик инструкций для работы с целыми числами (Int Scheduler) образован тремя станциями резервирования, каждая из которых рассчитана на 8 инструкций. Все три станции таким образом образуют планировщик на 24 инструкции. Этот планировщик выполняет те же, функции, что и FP-планировщик. Различие между ними заключается в том, что в процессоре имеется 7 функциональных исполнительных блоков для работы с целыми числами (три устройства ALU, три устройства AGU и одно устройство IMUL).

Структура ядра процессора AMD K10

После того, как все микрооперации прошли диспетчеризацию и переупорядочивание, они могут быть выполнены в соответствующих исполнительных устройствах. Блок операций с целыми числами состоит из трех распараллеленных частей.

По мере готовности данных планировщик может запускать на исполнение из каждой очереди одну целочисленную операцию в устройстве ALU и одну адресную операцию в устройстве AGU (устройство генерации адреса).

Количество одновременных обращений к памяти ограничено двумя. Таким образом, за каждый такт может запускаться на исполнение три целочисленных операции, обрабатываемых в устройствах ALU, и две операции с памятью, обрабатываемых в устройствах AGU.

Структура ядра процессора AMD K10

В процессоре K8 после вычисления на AGU адресов обращения к памяти операции загрузки и сохранения направляются в LSU (Load/Store Unit) – устройство загрузки/сохранения. В LSU находятся две очереди LS1 и LS2. Сначала операции загрузки и сохранения попадают в очередь LS1 глубиной 12 элементов. Из очереди LS1 в программном порядке по две операции за такт производятся обращения к кэш-памяти первого уровня. В случае кэш-промаха операции перемещаются во вторую очередь LS2 глубиной 32 элемента, откуда выполняются обращения к кэш-памяти второго уровня и оперативной памяти. В процессоре K10 в LSU были внесены изменения. Теперь в очередь LS1 попадают только операции загрузки, а операции сохранения направляются в очередь LS2. Операции загрузки из LS1 теперь могут исполняться во внеочередном порядке с учетом адресов операций сохранения в очереди LS2. 128-битные операции сохранения обрабатываются в процессоре K10 как две 64-битные, поэтому в очереди LS2 они занимают по две позиции.

Структура ядра процессора AMD K10

Для работы с вещественными числами реализовано три функциональных устройства FPU: FADD – для вещественного сложения, FMUL – для вещественного умножения и FMISC (он же FSTORE) – для команд сохранения в памяти и вспомогательных операций преобразования.

В микроархитектурах K8 и K10 планировщик для работы с вещественными числами каждый такт может запускать на исполнение по одной операции в каждом функциональном устройстве FPU.

Подобная реализация блока FPU теоретически позволяет выполнять до трех вещественных операций за такт. В микроархитектуре K10 устройства FPU являются 128-битными. Соответственно 128-битные SSE-команды обрабатываются с помощью одной микрооперации, что теоретически увеличивает темп выполнения векторных SSE-команд в два раза, по сравнению с микроархитектурой K8.

Структура ядра процессора AMD K10

Одной из основных составляющих микроархитектур K8, K10 является интегрированный в процессор **контроллер памяти**. В последних процессорах K10 (2010 г.) используется двухканальный контроллер памяти DDR3 – 1333 МГц.

Вместе с внесением изменений в архитектуру процессорных ядер инженеры AMD уделили пристальное внимание модернизации интерфейсов, по которым процессоры K10 общаются с внешним миром. В первую очередь необходимо отметить увеличенную скорость шины **Hyper Transport** (высокоскоростная шина передачи данных между «точка-точка», разработанная AMD), которая в новых CPU приведена в соответствие со спецификацией **версии 3.0**.

В то время, как процессоры Athlon 64 использовали шину Hyper Transport с пропускной способностью 8 GB/сек процессоры Phenom могут обмениваться данными с чипсетом уже на скорости, достигающей 14,4–16,0 GB/сек. При этом спецификация Hyper Transport 3.0 позволяет дополнительно нарастить пропускную способность шины до 20,8 GB/сек.