

# Шины расширения. Шина PCI.

---



# История

---

Весна 1991 г. – разработка первой макетной версии шины PCI.

1992 г. – появление первой версии шины PCI.

1993 г. – создание PCI 2.0.

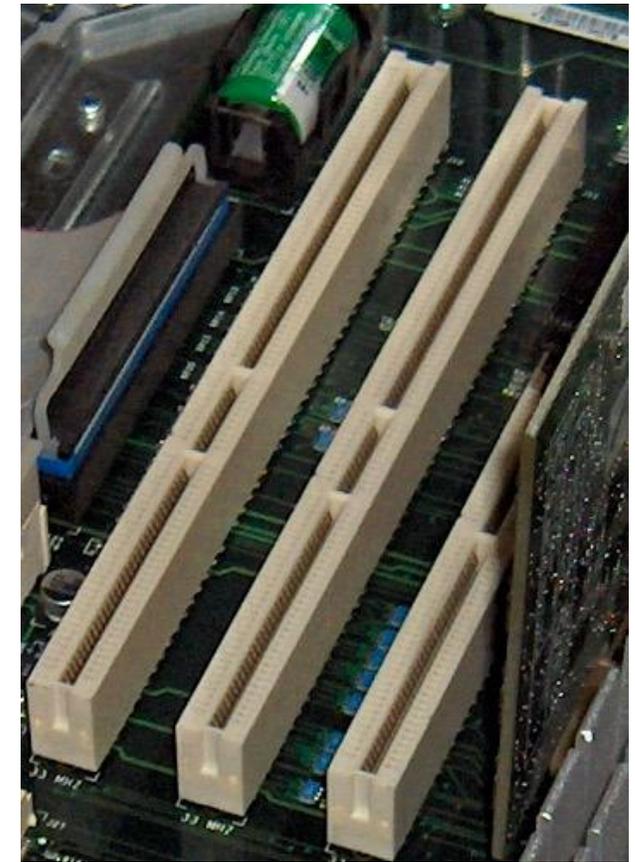
1995 г. – появление версии PCI 2.1.

# Версии PCI.

Стандарт	Разрядность, биты	Напряжение, В	Частота, МГц	Пропускная способность, Мб/с
PCI 2.0	32	5	33	133
PCI 2.1–3.0	32	5 или 3,3	33 или 66	133 (если частота 33 МГц) 266 (если частота 66 МГц)
PCI 64	64	3,3 или 5	33	266
PCI 66	64	3,3	66	533
PCI-X	64	1,5 или 3,3	66–533	1024–4096



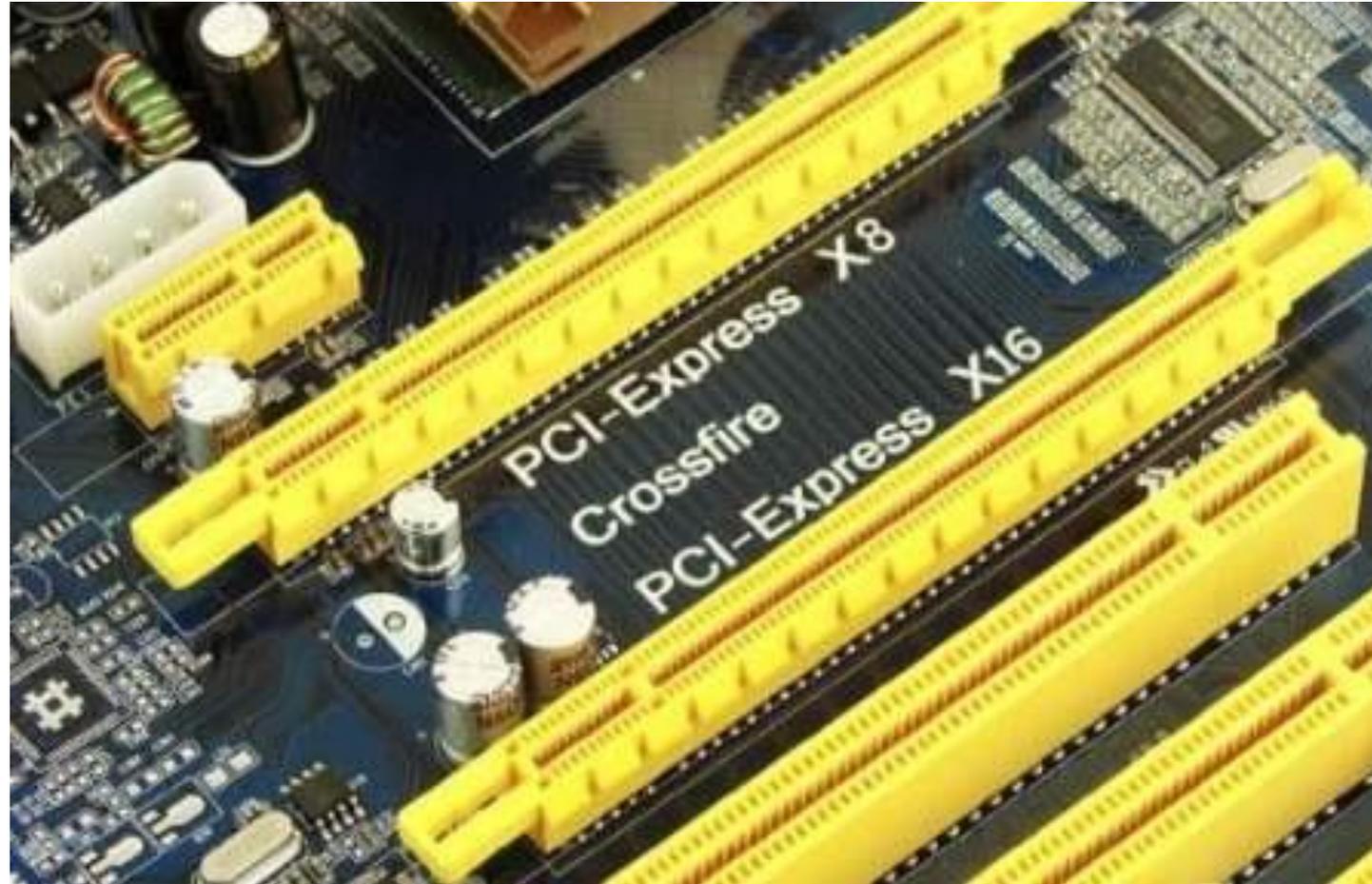
32-разрядные PCI



64-разрядные PCI

<b>AD</b> {31:0}	мультиплексированная шина адреса/данных. Адрес передается по сигналу <b>–FRAME</b> , в последующих тактах передаются данные
<b>–CI/BE</b> {3:0}	команда/разрешение обращения к байтам. Команда, определяющая тип очередного цикла шины (чтение-запись памяти, ввода/вывода или чтение/запись конфигурации, подтверждение прерывания и другие) задается четырехбитным кодом в фазе адреса по сигналу <b>–FRAME</b>
<b>–FRAME</b>	индикатор фазы адреса (иначе - передача данных)
<b>–DEVSEL</b>	выбор инициатором устройства назначения
<b>–IRDY</b>	готовность инициатора к обмену данными
<b>–TRDY</b>	готовность устройства назначения к обмену данными
<b>–STOP</b>	запрос устройства назначения к инициатору на останов текущей транзакции
<b>–LOCK</b>	используется для установки, обслуживания и освобождения захвата ресурса на PCI
<b>–REQ</b> {3:0}	запрос от PCI-устройства на захват шины (для слотов 3:0)
<b>–GNT</b> {3:0}	разрешение мастеру на использование шины
<b>PAR</b>	общий бит четности для линий <b>AD</b> {31:0} и <b>CIBE</b> {3:0}
<b>–ParityER</b>	сигнал об ошибке по четности (от устройства, ее обнаружившего)
<b>–RST</b>	сброс всех устройств
<b>IDSEL</b>	выбор устройства назначения в циклах считывания и записи конфигурации
<b>–SERR</b>	системная ошибка, активизируется любым устройством PCI и вызывает немаскируемое прерывание процессора (NMI)
<b>–REQ64</b>	запрос на 64-битный обмен
<b>–ASK64</b>	подтверждение 64-битного обмена
<b>–INTR A,B,C,D</b>	линии запросов прерывания, направляются на доступные линии IRQ BIOS компьютера. Запрос по низкому уровню допускает разделяемое использование линий прерывания
<b>Clock</b>	сигнал синхронизации на тактовой частоте шины
<b>Test Clock, –TSTRES, TestDO, TestDI</b>	сигналы для тестирования адаптеров по интерфейсу JTAG (на системной плате обычно не задействованы)
<b>TSTMSLCT</b>	перевод в режим тестирования

# PCI Express





# НОВЫЕ ВОЗМОЖНОСТИ

---

• Горизонтальная замена карт

- Гарантированная полоса пропускания
- Управление энергопотреблением
- Контроль целостности передаваемых данных

# Примеры PCI-Express устройств



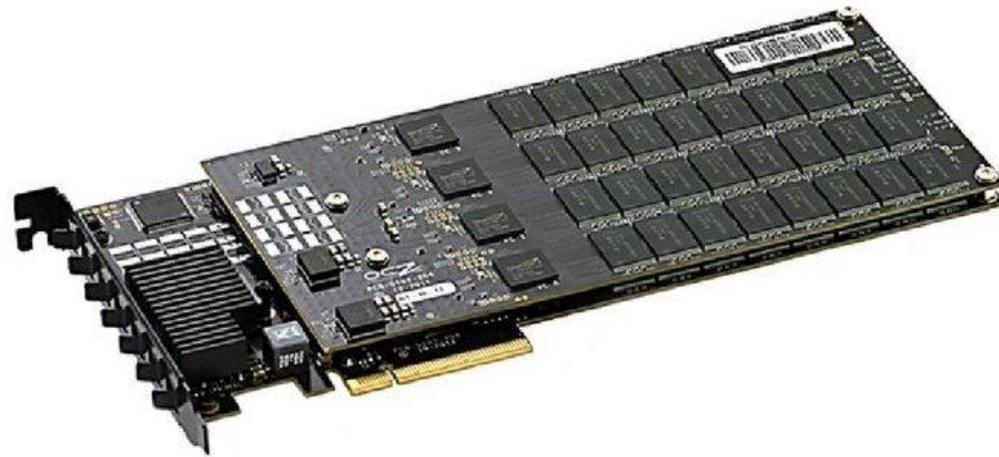
Видеокарта GIGABYTE GeForce GTX 770

# Примеры PCI-Express устройств



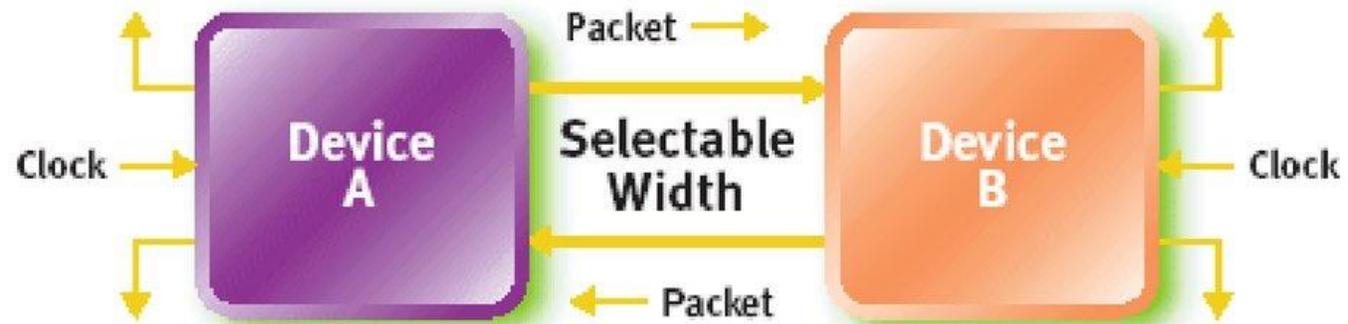
Звуковая карта SUS Xonar DX

# Примеры PCI-Express устройств



SSD накопитель OCZ Z-Drive R4 Enterprise

# Канал PCI-Express



## В одну/обе стороны, Гбит/с

	Связей						
	x1	x2	x4	x8	x12	x16	x32
<b>PCIe 1.0</b>	2/4	4/8	8/16	16/32	24/48	32/64	64/128
<b>PCIe 2.0</b>	4/8	8/16	16/32	32/64	48/96	64/128	128/256
<b>PCIe 3.0</b>	8/16	16/32	32/64	64/128	96/192	128/256	256/512
<b>PCIe 4.0 (предварительно)</b>	16/32	32/64	64/128	128/256	192/384	256/512	512/1024

# PCI-Express 2.0

• Увеличенная пропускная способность: ПСП одной линии 500 МБ/с, или 5 ГТ/с (агрегациями).

- Внесены усовершенствования в протокол передачи между устройствами и программную модель.
- Динамическое управление скоростью (для управления скоростью работы связи).
- Оповещение о пропускной способности (для оповещения ПО об изменениях скорости и ширины шины).
- Расширения структуры возможностей — расширение управляющих регистров для лучшего управления устройствами, слотами и интерконнектом).
- Службы управления доступом — опциональные возможности управления транзакциями точка-точка.
- Управление таймаутом выполнения.
- Сброс на уровне функций — опциональный механизм для сброса функций внутри устройства.

# PCI-Express 3.0

---

В ноябре 2010 года были утверждены спецификации версии PCI Express 3.0. Интерфейс обладает скоростью передачи данных в GT/s (Гигабайт/секунда). Но, несмотря на это, его реальная пропускная способность всё равно была увеличена вдвое по сравнению со стандартом PCI Express 2.0. Этого удалось достигнуть благодаря более агрессивной схеме кодирования 128b/130b, когда 128 бит данных, пересылаемых по шине, кодируются 130 битами. При этом сохранилась полная совместимость с предыдущими версиями PCI Express. Карты PCI Express 1.x и 2.x будут работать в разъёме 3.0 и, наоборот, карты PCI Express 3.0 будут работать в разъёмах 1.x и 2.x. По данным PCI-SIG, первые тесты PCI Express 3.0 начались в 2011 году, средства для проверки совместимости для партнеров появились лишь в середине 2011-го, а реальные устройства — только в 2012-м.

# PCI-Express 4.0

---

PCI Special Interest Group (PCI SIG) заявил, что PCI Express 4.0 может быть стандартизован до конца 2016 года, однако на середину 2016 года, когда рид чипов уже готовился к изготовлению, СМИ сообщили, что стандартизация ожидается в начале 2017. Ожидается, что он будет иметь пропускную способность 16 GT/s, то есть будет в два раза быстрее PCIe 3.0.