

Организация ЭВМ и систем

Лекция № 4

- **Конвейерная обработка данных в процессорах IA-32**
- **Организация и режимы работы процессоров семейства P6 и Pentium 4 IA-32**

Конвейерная обработка данных

В ЦП 80286 конвейер состоит из:

- BU – шинный блок (считывание из памяти и портов ввода/вывода).
- IU – командный блок (дешифрация команд).
- EU – исполнительный блок (выполнение команд).
- AU – адресный блок (вычисляет все адреса, формирует физический адрес).

Конвейерная обработка данных в ЦП 80286

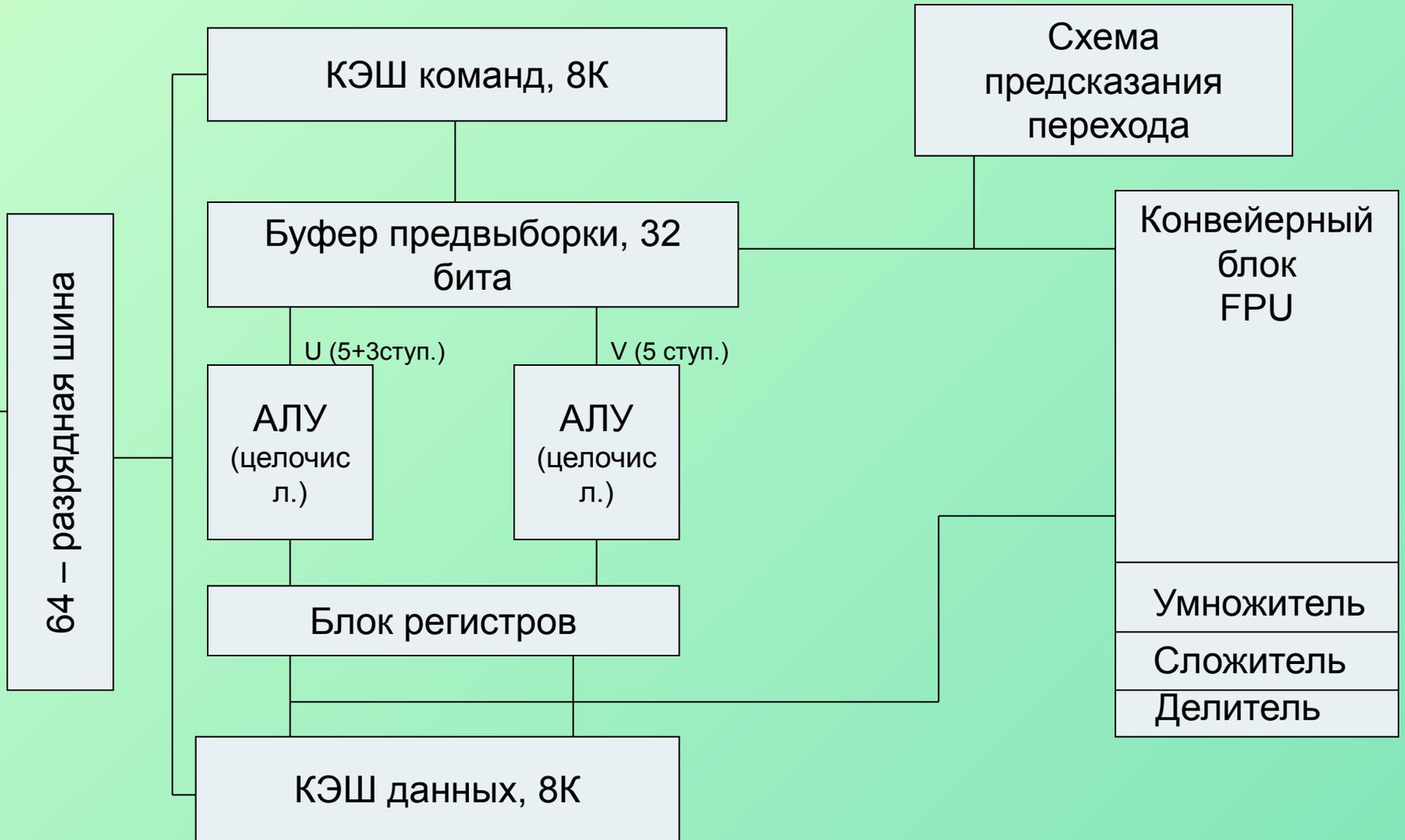
| | | | | |
|----|--------------------------|--------------------------|-------------------------|-------------------------|
| BU | Считывание 0 команды | Считывание 1 команды | Считывание 2 команды | Считывание 3 команды |
| IU | Дешифрация -1 команды | Дешифрация 0 команды | Дешифрация 1 команды | Дешифрация 2 команды |
| EU | Исполнение -2 команды | Исполнение -1 команды | Исполнение 0 команды | Исполнение 1 команды |
| AU | Адрес 1 команды | Адрес 2 команды | Адрес 3 команды | Адрес 4 команды |

Конвейерная обработка данных в ЦП 80486

В ЦП 80486 – пятиступенчатый конвейер для обработки данных:

- предвыборка команд (PF – Perfect);
- декодирование команды (D1 – Instruction Decode);
- формирование адреса (D2 – Address Generate);
- выполнение команды в АЛУ и доступ к кэш-памяти (EX – Execute);
- обратная запись (WB – Write Back).

ЦП Pentium



Конвейерная обработка данных в ЦП Pentium

| | | | | | | | | | |
|----|--|----|----|----|----|----|----|----|----|
| PF | <table border="1"><tr><td>K1</td><td>K3</td><td>K5</td><td>K7</td></tr><tr><td>K2</td><td>K4</td><td>K6</td><td>K8</td></tr></table> | K1 | K3 | K5 | K7 | K2 | K4 | K6 | K8 |
| K1 | K3 | K5 | K7 | | | | | | |
| K2 | K4 | K6 | K8 | | | | | | |
| D1 | <table border="1"><tr><td>K1</td><td>K3</td><td>K5</td><td>K7</td></tr><tr><td>K2</td><td>K4</td><td>K6</td><td>K8</td></tr></table> | K1 | K3 | K5 | K7 | K2 | K4 | K6 | K8 |
| K1 | K3 | K5 | K7 | | | | | | |
| K2 | K4 | K6 | K8 | | | | | | |
| D2 | <table border="1"><tr><td>K1</td><td>K3</td><td>K5</td><td>K7</td></tr><tr><td>K2</td><td>K4</td><td>K6</td><td>K8</td></tr></table> | K1 | K3 | K5 | K7 | K2 | K4 | K6 | K8 |
| K1 | K3 | K5 | K7 | | | | | | |
| K2 | K4 | K6 | K8 | | | | | | |
| EX | <table border="1"><tr><td>K1</td><td>K3</td><td>K5</td><td>K7</td></tr><tr><td>K2</td><td>K4</td><td>K6</td><td>K8</td></tr></table> | K1 | K3 | K5 | K7 | K2 | K4 | K6 | K8 |
| K1 | K3 | K5 | K7 | | | | | | |
| K2 | K4 | K6 | K8 | | | | | | |
| WB | <table border="1"><tr><td>K1</td><td>K3</td><td>K5</td><td>K7</td></tr><tr><td>K2</td><td>K4</td><td>K6</td><td>K8</td></tr></table> | K1 | K3 | K5 | K7 | K2 | K4 | K6 | K8 |
| K1 | K3 | K5 | K7 | | | | | | |
| K2 | K4 | K6 | K8 | | | | | | |

ЦП Pentium

Суперскалярная архитектура – это способ построения процессора с двумя или более конвейерами, позволяющий выполнять параллельно 2 или более выбранные команды.

U – конвейер основной (команды целочисленные и с плавающей точкой).

V – конвейер (команды, которые выполняются за один такт).

Спаривание – это процесс параллельного выполнения 2-х команд, независящих по данным или ресурсам.

Основные отличия ЦП Pentium

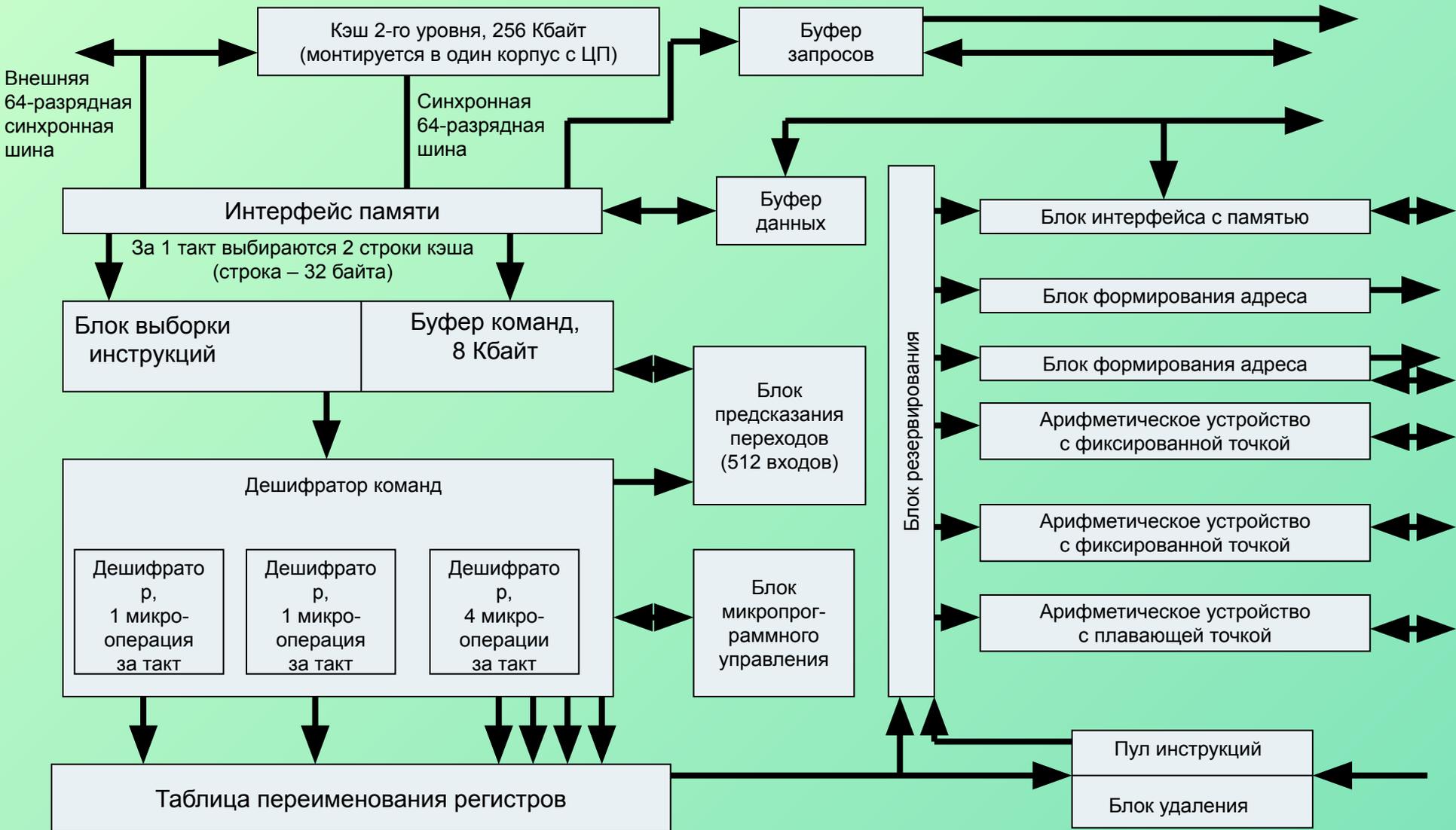
- Увеличен размер страничной памяти.
- Механизм страничной организации памяти позволяет работать одновременно со страницей 4 Мбайт.
- 64-разрядная ШД.
- Конвейеризация машинного цикла.
- Суперскалярная архитектура.
- Контроль четности адреса и данных.
- Раздельные блоки кэш-памяти для данных и кода.
- Блок прогнозирования ветвлений.
- Средства управления питанием (снижение мощности потребления).

ЦП Pentium Pro (P6)

В P6 *динамическое исполнение программы*. Этот термин определил 3 способа обработки данных:

- Глубокое предсказание ветвлений (с вероятностью > 90% можно предсказать 10=15 ближайших переходов).
- Анализ потока данных (на 20-30 шагов вперед посмотреть программу и определить зависимость команд по данным или ресурсам).
- Опережающее исполнение команд (ЦП P6 может выполнять команды в порядке отличном от их следования в программе.)

Структура микропроцессора Pentium Pro

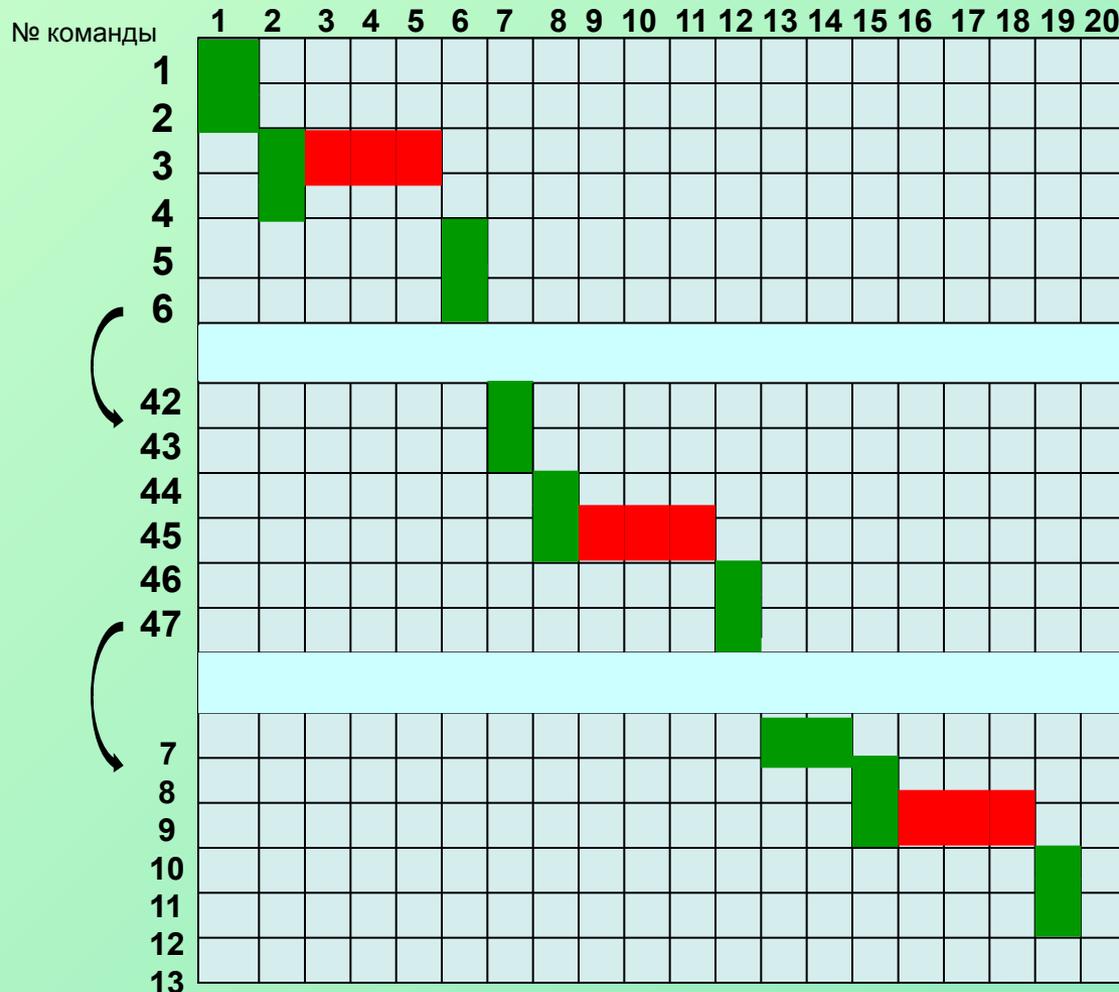


Новое в процессоре Pentium Pro

- Кэш-память 2-го уровня размером в 256 Кбайт сопряжена с ЦП в виде второго кристалла.
- Динамическое исполнение.
- Суперскалярная архитектура (метод построения процессора с двумя или более конвейерами, позволяющий запускать и параллельно выполнять более одной команды за такт).
- Внутренняя RISC архитектура.
- Число исполнительных устройств – 5.

Как работает обычный Pentium?

■ - Выполнение команды; ■ - Обращение к памяти



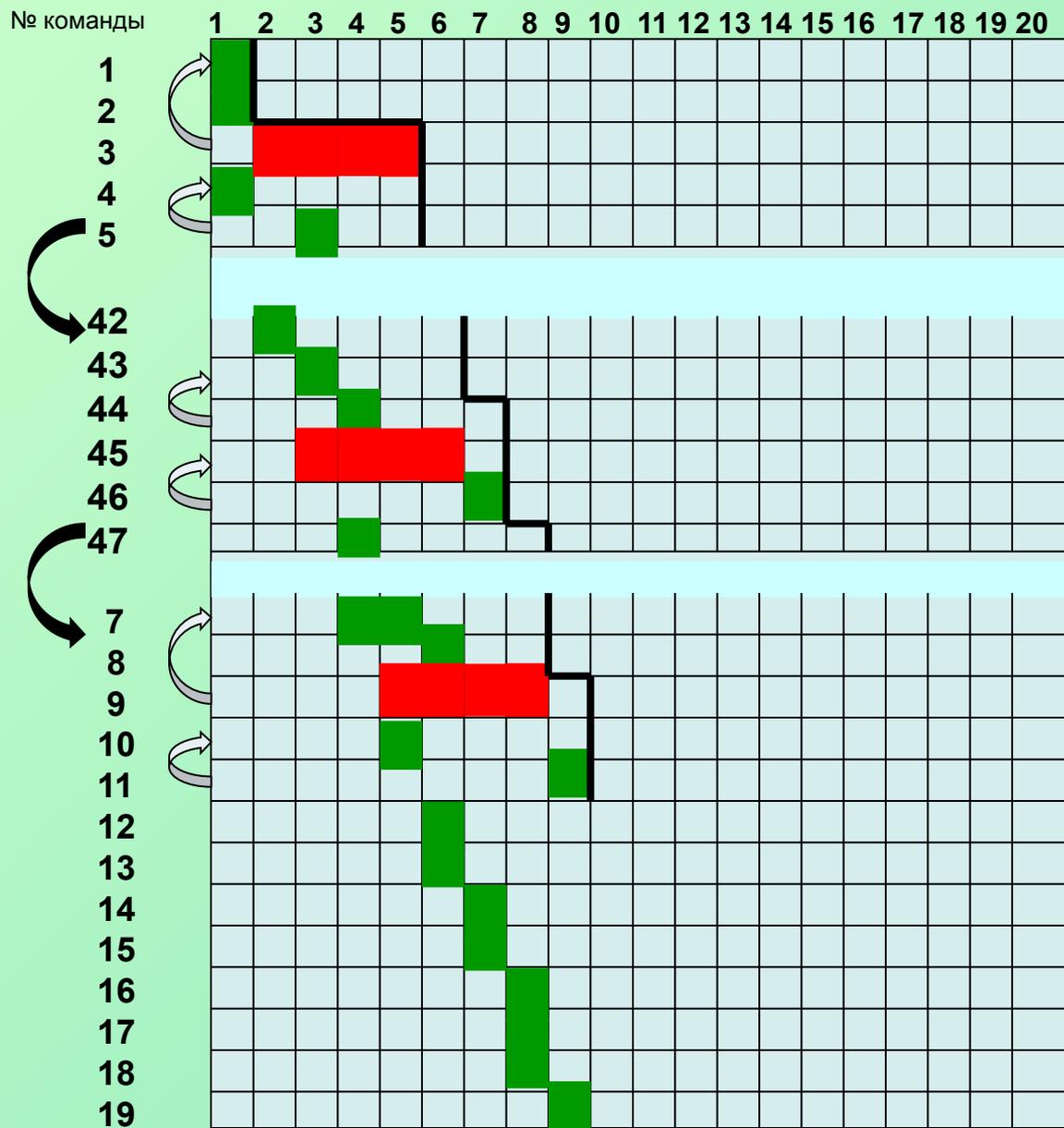
Рассмотрим сильно упрощенную схему одного из типичных участков кода программы.

Процессор Pentium оснащен лишь двумя независимыми исполнительными блоками и способен одновременно обрабатывать не более двух машинных команд.

Когда идет обращение к памяти оба вычислительных блока простаивают.

Pentium выполнил 17 команд за 19 тактов, то есть в среднем он выполнял почти 1 команду за такт.

Как работает Pentium Pro?



█ - Выполнение команды

█ - Обращение к памяти

— - Команды, прошедшие подтверждение

↪ - Зависимость команды от результата предыдущих команд

В Pentium Pro применено *динамическое исполнение программы*:

- Глубокое предсказание ветвления.
- Анализ потока данных.
- опережающее исполнение.

ЦП Pentium MMX

Основные черты MMX (MultiMediaeXtention) технологии:

- SIMD архитектура (одна команда над многими данными);
- 57 новых инструкций;
- 8 64-разрядных регистра MMX (MM0-MM7 – это мантиссы 8 регистров блока арифметики с плавающей точкой);
- 4 новых типа данных:
 - упакованный байт $64=8 \times 8$
 - упакованное слово $64=4 \times 16$
 - упакованное двойное слово $64=2 \times 32$
 - учетверенное слово $64=1 \times 64$

ЦП Pentium II

- 2 КЭШа I уровня (16 Кб).
- КЭШ II уровня (512 Кб).
- Двойная независимая шина (300-разрядная) - 2 независимых канала передачи данных:
 - для связи ЦП с КЭШ II уровня;
 - для связи ЦП с оперативной памятью.

ЦП Pentium III

- Используется расширение SSE (Streaming SIMD Extensions) – потоковые SIMD расширения. SSE инструкции доступны во всех режимах работы. 70 новых инструкций.
- 8 новых 128-разрядных регистров данных: XMM0, XMM1, ..., XMM7. 32-битный регистр управления/состояния MXCSR используется для маскирования исключений, выбора режимов и определения состояния флагов.
- Новый тип данных - упакованные числа с плавающей запятой одинарной точности). В одном 128-разрядном регистре 4 новых типа данных.
- Все команды SSE доступны из любых режимов работы ЦП: реального, защищенного и виртуального.

ЦП Pentium IV

Net-Burst – архитектура:

1. Изменение последовательности выполнения команд.
2. Буфер предсказания переходов – 4Кб (вероятность удачного предсказания 93-94%).
3. Окно команд (можно выбирать 126 команд для внеочередного выполнения).
4. Трассирующий КЭШ – команд I уровня находится после дешифратора и содержит микрокоманды готовые к исполнению (объем кэша - 12000 микрокоманд).
5. Используются SIMD расширения, включая 144 новых инструкции, использующие 128-разрядные XMM - регистры.
6. АЛУ работает на удвоенной частоте ЦП.
7. Применена Quad-pumped 400 Мгц системная шина, обеспечивающая пропускную способность 3,2 Гбайта/с.
8. Кэш L2 – 256 Кбайт работает на частоте процессора.
9. Кэш L1 – 8Кбайт.

Вопросы для самоконтроля

1. Какие блоки составляют конвейер ЦП 80286?
2. Какой блок и почему был добавлен в конвейер ЦП 80486?
3. За сколько шагов выполнятся 10 простых команд в ЦП Pentium?
4. Что понимают под суперскалярной архитектурой?
5. Какие команды могут быть спаренными?
6. Какие способы обработки данных объединяет термин «динамическое исполнение программы»?
7. В чем состоит внутренняя RISC-архитектура ЦП Pentium Pro?

Вопросы для самоконтроля

8. В работе какого процессора наблюдается отклонение от принципов фон Неймана? В чем это проявляется?
9. В чем состоит преимущество использования двойной независимой шины?
10. Что нового появилось в архитектуре процессора Pentium III по сравнению с Pentium MMX?
11. Какие особенности имеет Net-Burst – архитектура?
12. В чем состоит отличие кэш-команд ЦП Pentium IV от всех предыдущих?