

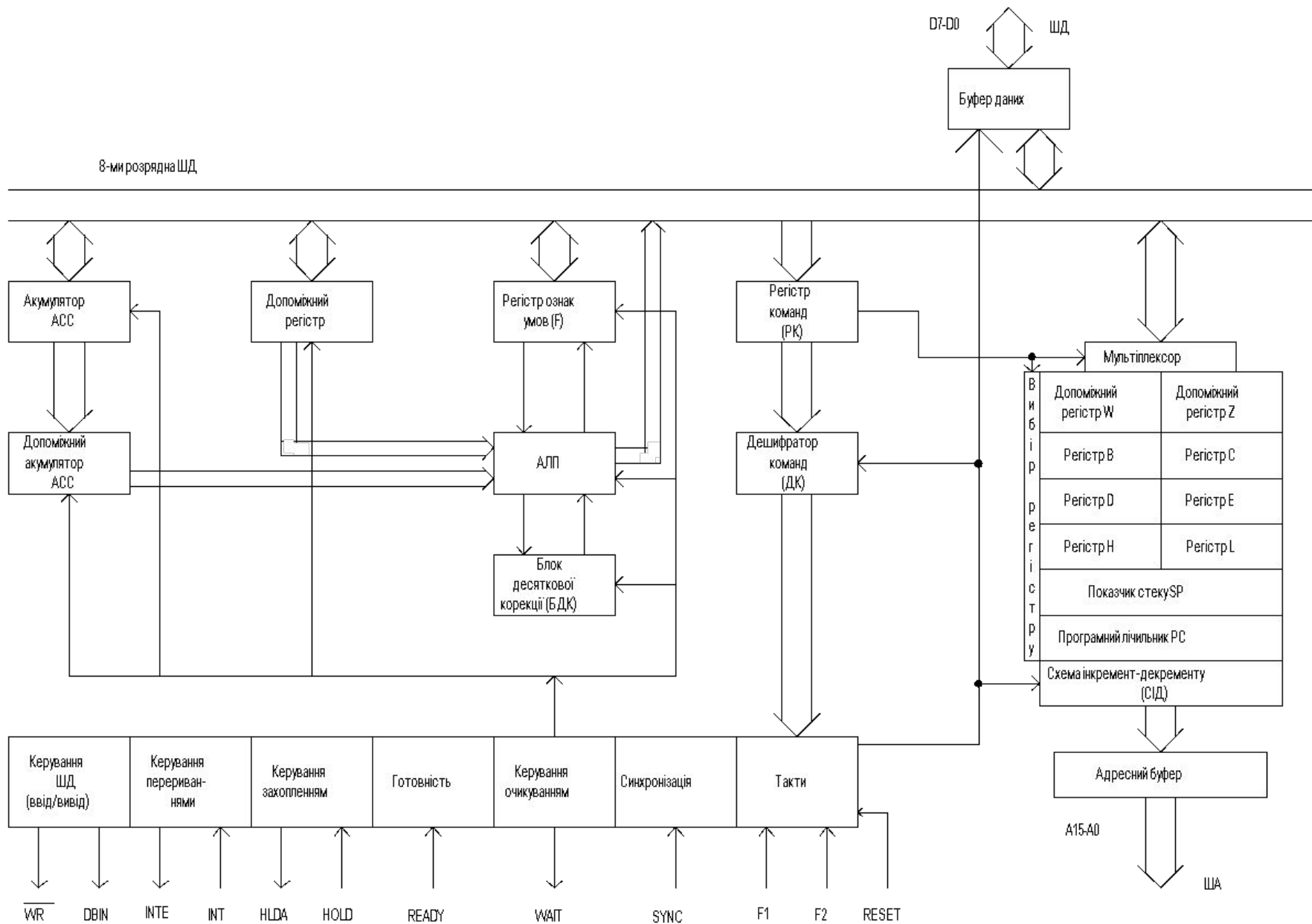
МИКРОПРОЦЕССОР K580 BM80



АРХІТЕКТУРА МП К580ВМ80

- Даний МП являє собою центральний процесорний елемент (ЦПЕ), побудований на одному кристалі, структурна схема якого має такий вигляд (мал. 1.1).





Згідно наведеної схеми основними функціональними вузлами ЦПЕ є:

- АЛП;
- пристрій керування та синхронізації;
- блок регістрів загального призначення (РЗП);
- допоміжні регістри;
- регістр ознак умов (або регістр прапорців);
- вихідні буфери даних та адрес.

Буфер даних (БД)-

- двонаправлена схема з трьома логічними станами (ввід, вивід, виключено), яка призначена для обміну інформацією з пам'яттю та зовнішніми пристроями. Якщо внутрішня шина даних знаходиться в режимі вводу, то буфер даних підключає зовнішню шину даних на ввід. Якщо на внутрішній шині даних присутні дані для передачі з МП, то БД підключає МП на вивід даних на зовнішню магістраль системи і нарешті, коли в мікропроцесорній системі (МПС) має місце режим прямого доступу до пам'яті (ПДП), то БД переходить у відключений, так званий третій стан, тим самим ізолюючи МП від зовнішньої магістралі даних.

Блок реєстрів загального призначення (РЗП)

- призначений для збереження та видачі даних. Регістри В, С, D, H, L можуть використовуватися як восьмирозрядні, або як 16-тирозрядні реєстрові пари BC, DE, HL. Назва реєстрової пари завжди формується по назві 1-го реєстра пари, в якому зберігається старший байт 16-тирозрядного числа. Регістри використовуються як акумулятори, коли в них зберігаються дані, або як покажчики, коли в них знаходяться адреси операндів. Восьмирозрядні дані поступають в РЗП або виходять з РЗП на внутрішню шину даних через мультиплексор (перемикач). Допоміжні реєстри W і Z використовуються для тимчасового збереження 2-го та 3-го байтів поточної команди.

Регістр команд (РК)

- призначений для збереження 1-го байту команди, яка виконується МП в поточний момент часу.

Дешифратор команд (ДК)

- для шифрування коду операції (КОП), який міститься у 1-му байті команди, з наступною генерацією відповідних машинних циклів, що забезпечують виконання даної команди.

Арифметико логічний пристрій (АЛП)

- займає в МП центральне місце і являє собою 8-мирозрядний паралельний пристрій, який забезпечує виконання основних операцій (арифметичних та логічних) обробки даних. АЛП може обробляти не тільки двійкові дані, а і двійково-десяткові числа (тобто числа у Binary Decimals Coded (BDC)) з використанням при цьому блоку десятикової корекції(БДК).

При виконанні операцій АЛП використовує наступні реєстри:

- 8-мирозрядний допоміжний реєстр для тимчасового збереження даних;
- реєстр ознак умов (або реєстр прапорців).

Регістр прапорців (F) призначений для збереження стану результату виконання операції АЛП і включає в себе наступні п'ять тригерів умов (прапорців):

- Z – прапорець нуля (тригер нульового результату - zero);
- CY – прапорець переносу з старшого розряду (carry);
- S – прапорець знаку (sign);
- P – прапорець парності (parity);
- AC – прапорець допоміжного переносу з 3-го в 4-ий розряд (auxiliary carry);

Потреба у реєстрі прапорців обумовлена тим, що виконання будь-якої операції (команди) може ставитися в залежності від значення результату виконання попередньої операції. Для цього АЛП з'єднується із спеціальним реєстром, відповідні розряди якого встановлюються в "1" або "0" в залежності від результату обчислювань. Розряд реєстра тільки зберігає якусь одну ознаку(прапорець), а різні МП можуть використовувати різне число ознак. Значення прапорців використовують тільки певні команди, а інші їх ігнорують.

Розподіл ознак по регістрі прапорців (або його формат) має наступний вигляд

D7	D6	D5	D4	D3	D2	D1	D0
S	Z	0	AC	0	P	1	CY

значення розрядів D5,D3,D1 – незмінні.

16-тирозрядний програмний лічильник (або лічильник команд, Program Counter - PC)

- призначений для формування та збереження адреси пам'яті, де знаходиться наступний байт команди. Оскільки байти команд розміщуються в пам'яті, як правило, послідовно, то після вибору МП кожного чергового байту поточна адреса в PC збільшується на одиницю, що виконується схемою інкремент-декремента (СІД) [increment-decrement].

Показчик стеку (Stack Pointer - SP)

- призначений як для початкового формування в оперативній пам'яті системи спеціальної так званої **стекової** області або **стека**, так і в подальшому для збереження адрес для, повернення до основної програми пам'яті.

Оскільки при виконання будь-якої програми може виникнути потреба виклику підпрограми (або перерви виконання поточної програми), то потрібно забезпечити умови для повернення до виконання основної програми. Для цього треба зберегти адресу комірки пам'яті, де знаходиться чергова команда основної програми. Ця адреса вже сформована (наявна) в РС і вона повинна бути записана в певну область пам'яті, для чого і створюється стек. В SP спочатку записується початкова адреса, з якої починається ця стекова область, так звана **вершина стеку**. В подальшому, коли має місце звернення (запис) до стеку, ця адреса зменшується на стільки одиниць, скільки записів зроблено в стек. Оскільки адреса є 16-тирозрядною, а пам'ять є 8-мирозрядною, то для збереження одного значення адреси потрібно дві комірки стекової пам'яті. Таким чином, поточний вміст SP повинен бути зменшений на 2-і одиниці, а при наступному виклику програми все буде зроблено як і раніше. При закінченні останньої підпрограми по команді "повернення" зі стеку згідно з останньою адресою в SP бережеться адреса повернення до основної програми, яка записується в РС. Знову ж, для цього використовуються дві комірки стеку, бо треба сформуванати 16-тирозрядну адресу основної пам'яті, так що поточна адреса в SP буде збільшена на 2-і одиниці. Цим реалізується, так зване, правило LIFO (last-in-fast-out).

Адресний буфер (АБ)

- є 16-тирозрядним і призначений для формування вихідної адреси для зовнішньої адресної шини (ША), і, звичайно, є однонаправленим, з можливістю відключення (розриву) коли МП передає керування системними ресурсами певному зовнішньому пристрою. Це має місце, при так званому, **захваті шини**.

Пристрій керування та синхронізації (ПКС)

- призначений для прийому та формування керуючих зовнішніх сигналів і здійснення управління роботою внутрішніх вузлів МП.

Сигнали, з якими оперує ПКС є такі:

\overline{WR} (*запис*) – вказує на те, що МП видав на ШД інформацію для запису до пам'яті або для передачі до зовнішнього пристрою (ЗП).

DBIN (*ввід*) - вказує, що ШД знаходиться в режимі прийому даних ззовні.

READY (*готовність*) - вказує МП на готовність пам'яті або ЗП до передачі даних в МП чи до прийому даних з МП, що дозволяє синхронізувати роботу швидко діючих МП з повільнодіючими пристроями пам'яті або ЗП. Якщо цей сигнал відсутній, то МП переходить в режим очікування (*WAIT*) до появи сигналу *READY*.

WAIT (*очікування*) - сигнал підтверджує, що МП знаходиться у стані очікування.

HOLD (*захват*) – сигнал запиту від ЗП на захоплення доступу до системних ресурсів (тобто, до зовнішніх ША і ШД). Це дозволяється не одразу після надходження сигналу *HOLD*, а по завершенню чергового циклу звернення МП до пам'яті. Стан дозволу захвату підтверджується МП видачею сигналу *HLDA*, після чого буфери ША і ШД МП переводяться у відімкнутий (високоімпедантний) стан. МП завершує поточний машинний цикл і переходить у стан зупинки до зняття сигналу *HOLD*.

HLDA (підтвердження захвату) – відповідь МП на запит для захоплення системних ресурсів.

INT (запит на переривання) – сигнал від ЗП на переривання виконання поточних дій МП, який сприймається лише в кінці поточного циклу машинної команди. МП сприймає цей сигнал, якщо тригер дозволу переривань знаходиться у стані логічної “1”, що підтверджується сигналом, рівним “1” на виході INTE.

INTE (дозвіл на переривання) – сигнал, підтверджуючий, що тригер дозволу переривань знаходиться у стані “1”. Цей тригер програмно (командно) встановлюється і скидається відповідними командами, а також завжди скидається сигналом RESET і INT.

RESET (скидання) – сигнал, по якому вміст РС обнуляється, сигнали INTE, HLDA приймають значення “0”, вміст РЗП може змінюватися, а регістр F свого стану не змінює.

F1, F2 (такти) – послідовності тактових сигналів з однаковою частотою, але з протилежною фазою.

