

ЛЕКЦИЯ № 7

Тема: Счётчики

Текст лекции по дисциплине «Цифровые устройства и микропроцессоры»

УЧЕБНЫЕ ВОПРОСЫ:

1. Простейшие схемы счётчиков.
2. Счётчики с произвольным коэффициентом пересчёта.

ЛИТЕРАТУРА:

Основная

Л.1. А.К.Нарышкин «Цифровые устройств и микропроцессоры»: учеб. пособие для студ. Высш. Учебн. Заведений/ А. К. Нарышкин, 2 – е изд. - Издательский центр «Академия», 2008г. с. 179-206

Л.2. Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гуров «Аналоговая и цифровая электроника», М.□Горячая линия- Телеком, 2000г. с. 588-599

Дополнительная литература

Л.5. Е.П. Угрюмов «Цифровая схемотехника», Санкт-Петербург, 2000г. с. 150-157

Л6. Ю.А. Браммер. И.Н.Пашук «Импульсные и цифровые устройства», М.-Высшая школа, 1999г. с. 240-250, 253-256

Контрольные вопросы

Нарисовать условно-графическое обозначение, схему, представить таблицу состояний триггера согласно задания варианта

1 вариант

Асинхронный RS-триггер на элементах И-НЕ

2 вариант

Асинхронный RS-триггер на элементах ИЛИ-НЕ

3 вариант

Синхронный одноклапный RS-триггер

1. Простейшие схемы счётчиков

Контрольные вопросы

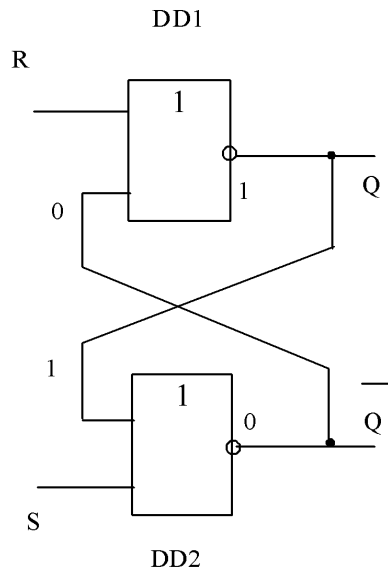
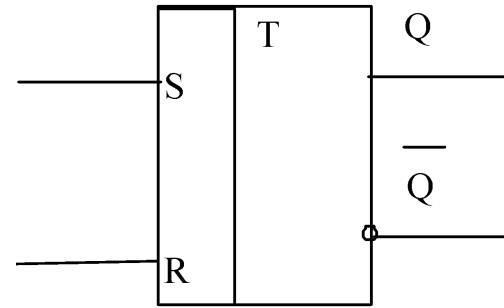


Рис. 1, а



б

1. Какими недостатками обладает такой триггер?
2. В каком триггере устраняются все перечисленные недостатки?
3. Какое другое название имеет этот триггер?
4. Почему его так называют?

Основные понятия и определения

Счётчик (СТ) - функциональный цифровой узел, предназначенный для счёта поступающих на его входы импульсов и фиксирующий это число в каком либо коде .

Счётчики предназначены для:

- подсчёта числа некоторых событий или временных интервалов;
- упорядочения событий в хронологической последовательности;
- адресации;
- делении частоты;
- запоминании и т.д.

Классификация счетчиков

1. По принципу действия (по направлению счёта):

- **суммирующие** (зарегистрированное в счётчике число увеличивается);
- **вычитающие** (зарегистрированное в счётчике число уменьшается);
- **реверсивные** (работают как на сложение, так и на вычитание).

2. По логике (последовательности работы):

асинхронные (переключение элементов счётчика происходит последовательно);

синхронные (переключение элементов счётчика происходит одновременно).

Классификация счетчиков

3. По модулю счёта:

- **двоичные** (двоично-десятичные);
- **десятичные**;
- с постоянным модулем счёта;
- с переменным модулем счёта.

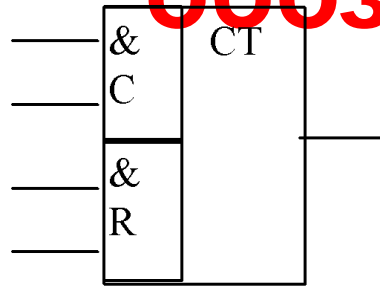
4. По назначению:

- счётчики;
- счётчики-делители (делители).

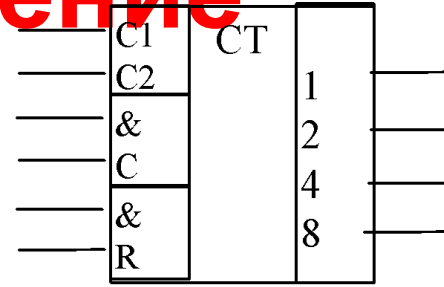
5. По способу реализации внутренних связей:

- с последовательным переносом;
- с параллельным переносом;
- с комбинированным переносом;
- кольцевые.

Условное графическое обозначение



К155ИЕ1
Декадный счётчик
(...)



К155ИЕ2
Двоичный
четырёхразрядный
счётчик

Маркировка счетчиков

К-155ИЕ1, где:

Е - счётчики,

И - элементы арифметических и дискретных устройств.

Устройство счетчиков

Счётчик **состоит**

из последовательно соединённых триггеров, работающих в счётном режиме.

Каждый триггер называется *разрядом*.

Применяют JK-триггер, T-триггер с прямым или инверсным входом управления или D- триггер.

Наиболее удобен JK - триггер, т.к. одним из его главных достоинств является отсутствие запроса состояния.

Характеристики счетчиков

1. Модуль счета (коэффициентом счёта, или коэффициентом пересчёта) $K_{сч}$ – это число, характеризующее количество различных состояний счетчика и определяет его ёмкость. Ёмкость – это число импульсов, доступных счёту за один цикл, после чего счетчик возвращается в исходное состояние.

$$K_{сч} = M = 2^n, \text{ где } n\text{-числа разрядов.}$$

2. Быстродействие счетчиков характеризуется двумя параметрами:

- *Разрешающее время счетчика $T_{сч}$* – минимальный период поступления счетных сигналов при котором не происходит ошибок в счете. Разрешающее время определяет максимальную рабочую частоту счетчика

$$F_{сч} = 1/T_{сч}$$

- Время установления кода счетчика $T_{уст}$ - это интервал времени между поступлением счетного сигнала на вход счетчика и установлением соответствующей кодовой комбинации на выходах счетчика.

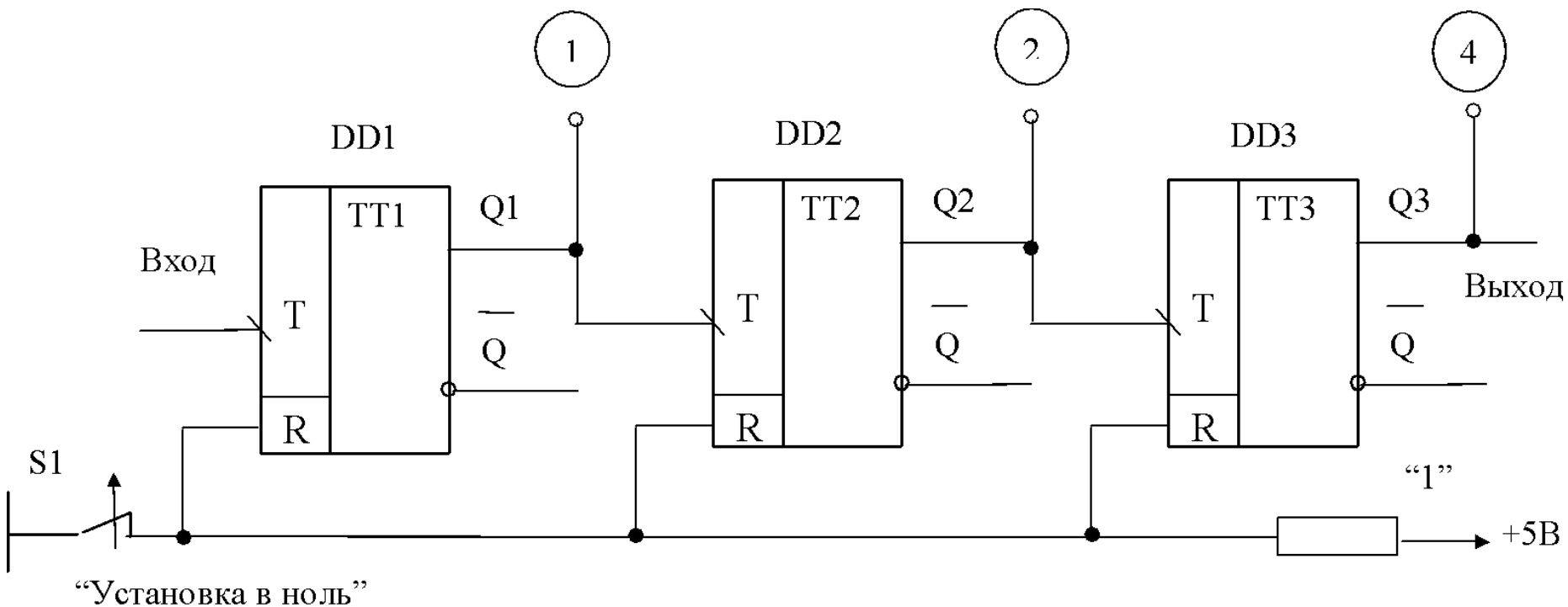
Асинхронные счетчики

Синтез асинхронных счетчиков

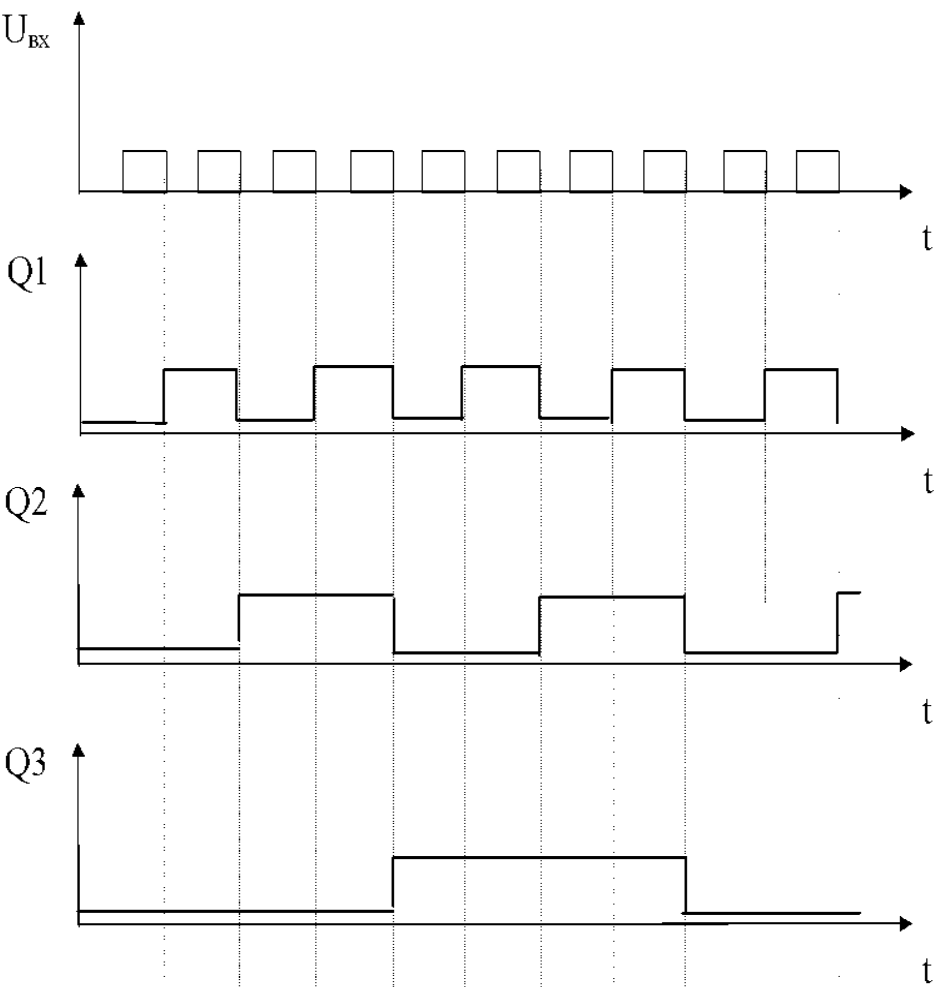
1. Определение количества разрядов счетчика и составление таблицы функционирования.
2. Определение сигналов, подаваемых на тактирующие входы триггеров.
3. Заполнение прикладных диаграмм Вейча и выделение на них ячеек соответствующих отсутствию разрешающего сигнала на трактуемых входах триггеров.
4. Заполнение диаграмм Вейча для уравнений входов с использованием прикладных диаграмм Вейча и характеристических таблиц используемых триггеров.
5. Считывание с диаграмм Вейча уравнений входов в минимизированном виде с учетом дополнительных появившихся факультативно задаваемых значений.
6. Перевод уравнений входов в структурный вид в используемом базисе логических элементов.
7. Изображение схемы счетчика.

Схемы счётчиков (Суммирующий асинхронный счётчик)

В основе лежит Т-триггер



Работа суммирующего асинхронного счётчика



1. Триггер младшего разряда всегда переключается первым.

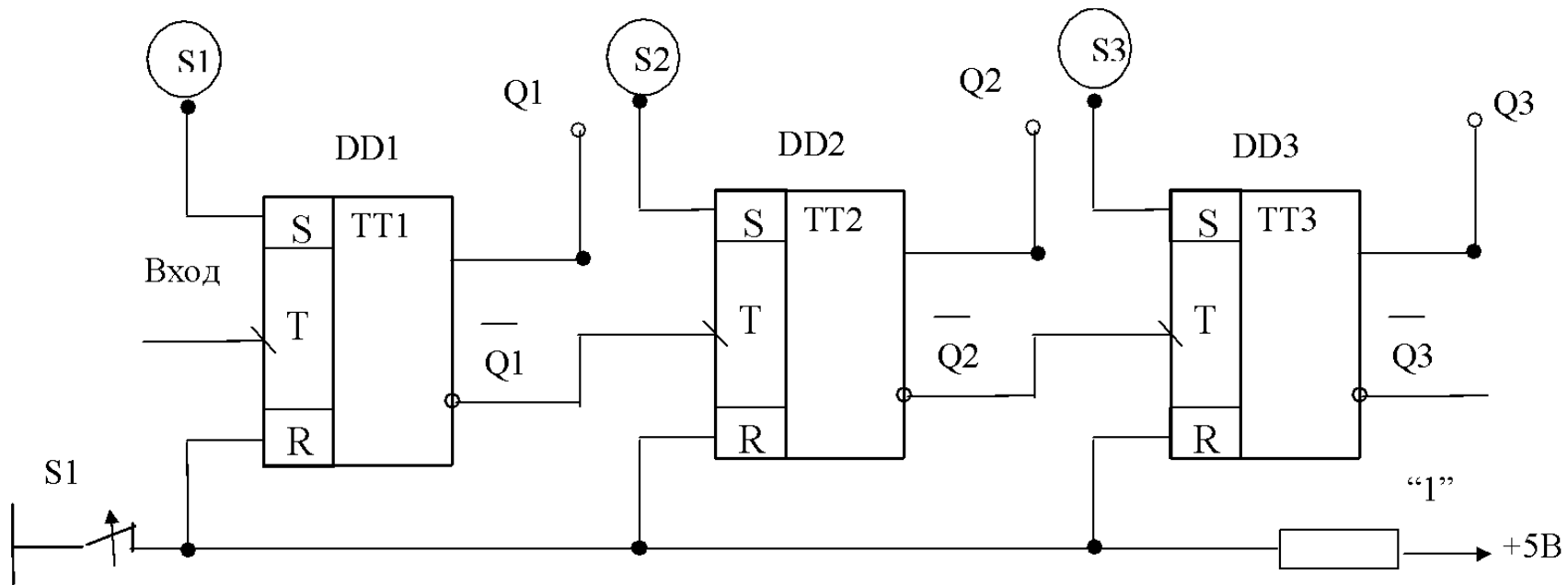
2. Разряды переключаются последовательно.

3. Триггер более старшего разряда переключается если на выходе предыдущего триггера “1” переходит в “0”.

4. Весовой код 1-2-4. Т.е. триггер T1 переключается каждым импульсом. Если вес равен “2” - триггер T2 переключается каждым вторым импульсом. Если “4” - T3 переключается каждым четвёртым импульсом.

Вычитающий асинхронный счётчик

Вычитающий асинхронный счётчик такой счётчик, в котором зарегистрированное в нём число уменьшается



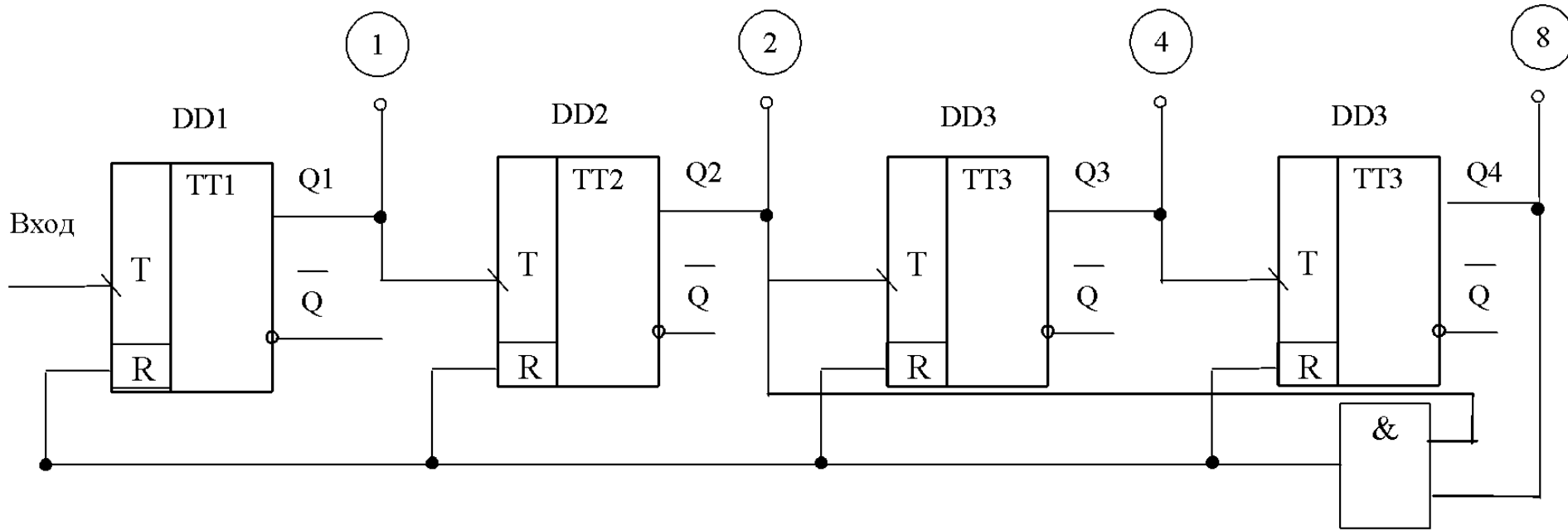
Уменьшение в один

1. Триггер младшего разряда переключается всегда.

2. Триггер более старшего разряда переключается если на выходе предыдущего триггера ноль переходит в единицу.

3. Разряды переключаются последовательно.

Суммирующий асинхронный счётчик по модулю 10



Когда триггеры устанавливаются в состоянии $1010_2 = 10_{10}$, на выходе элемента И возникнет импульс, принудительно устанавливающий счётчик в 0, чем исключается его избыточное состояние

Синхронные счетчики

Основные понятия

Синхронный счётчик - счётчик, в котором триггеры переходят в новые состояния одновременно (синхронно).

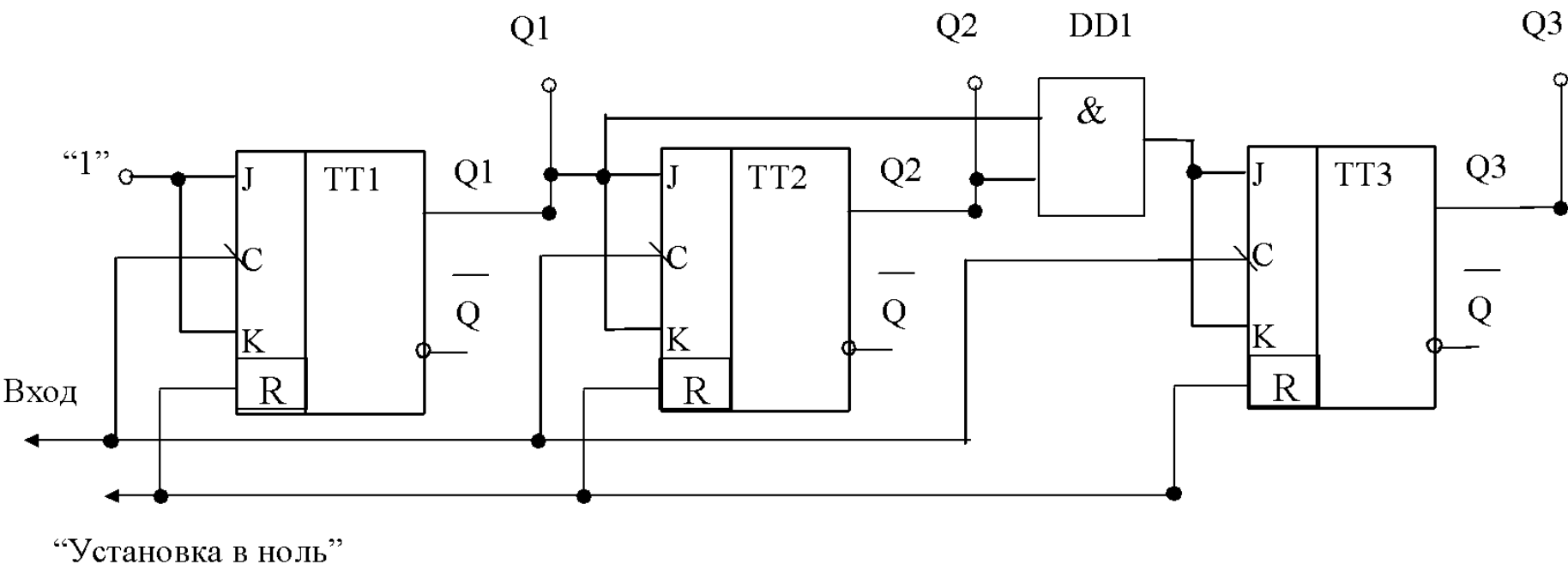
Ко всем разрядам такого счетчика информация о состоянии предыдущих разрядов поступает параллельно, также одновременно поступают к ним счетные (входные) импульсы.

Переключение их в нужной последовательности обеспечивается логическими цепями, которые при поступлении входного импульса одни триггеры удерживают от переключения, а другим разрешают переключиться.

Синтез синхронных счетчиков

1. Определение количества разрядов счетчика и составление таблицы его функционирования.
2. Заполнение прикладных диаграмм Вейча.
3. Заполнение диаграмм Вейча для уравнений входов с использованием прикладных диаграмм Вейча и характеристических таблиц используемых триггеров.
4. Считывание с диаграмм Вейча уравнений входов в минимизированном виде.
5. Перевод уравнений входов в структурный вид в используемом базисе логических элементов.
6. Изображение схемы счетчика.

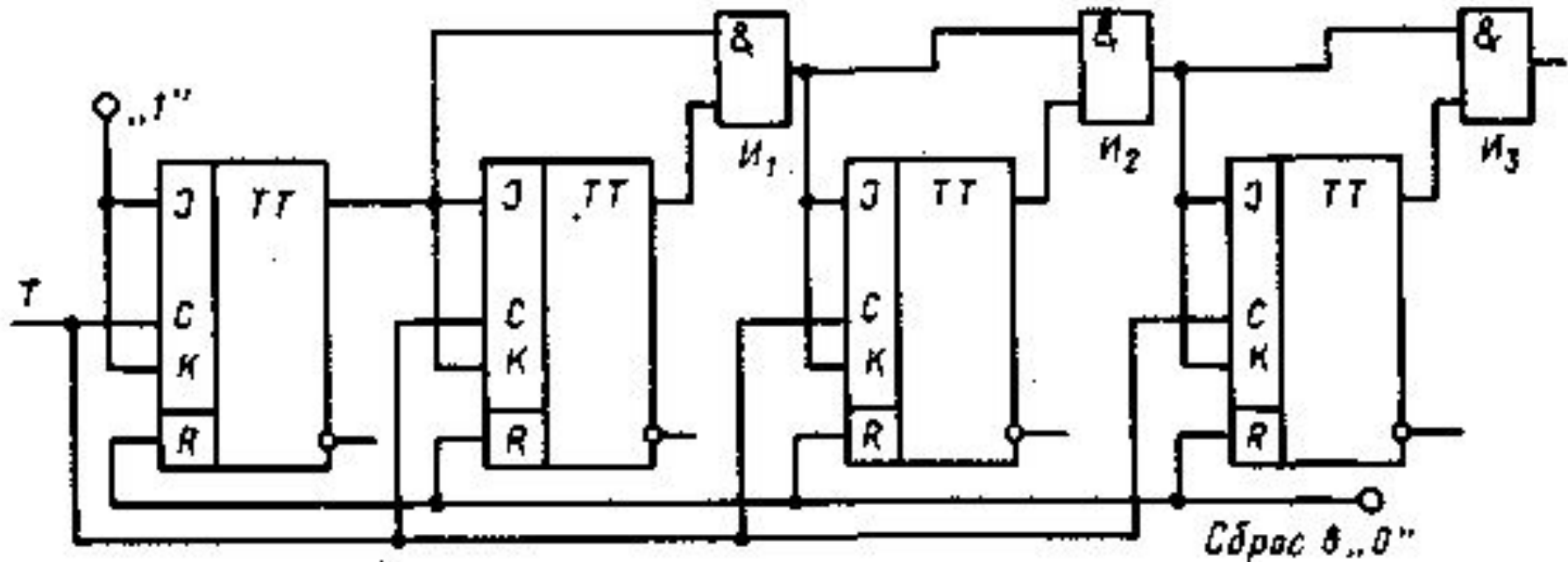
Синхронный суммирующий счётчик



На входы всех триггеров счётные импульсы поступают одновременно.

Переключение разрядов в нужной последовательности обеспечивается логическими цепями.

Синхронный суммирующий счётчик



Триггер Т1 переключается каждым импульсом.

Триггер Т2 переключается когда $Q_1=1$.

Триггер Т3 переключается когда $Q_1=Q_2=1$.

Вывод по 1 вопросу

1. Счётчик (СТ) - функциональный цифровой узел, предназначенный для счёта поступающих на его входы импульсов и фиксирующий это число в каком либо коде.
2. В основе счётчика лежит простейший Т-триггер.
3. В качестве разряда счетчика можно использовать любой другой универсальный триггер, реализующий собой счетный триггер (Т-триггер)
4. В любой схеме счетчика (как асинхронной, так и синхронной) счёт осуществляется последовательно.

2. Счётчики с произвольным коэффициентом пересчёта

Общие понятия

Делитель частоты – это устройство (цифровой узел) предназначенное для деления числа входных импульсов или частоты их следования на заданный коэффициент.

Делитель - счётчик, частота импульсов на выходе которого кратна частоте импульсов на входе.

Коэффициент кратности (деления) называется **коэффициентом счёта**.

$$K_{\text{сч}} = N_{\text{ВХ}} / N_{\text{ВЫХ}}$$

Общие понятия

Классификация.

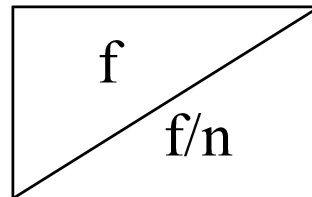
.По конструкции (базовым элементам):

- делители на двоичных счётчиках;
- делители на десятичных счётчиках;
- делители на регистрах сдвига;
- делители на кольцевых регистрах.

.По коэффициенту деления:

- делители с постоянными коэффициентами деления;
- делители с переменными коэффициентами деления:
 - а) делители с целыми коэффициентами деления;
 - б) делители с дробными коэффициентами деления.

Обозначение на функциональной схеме



Делители с постоянными коэффициентами деления

Два способа построения схем делителей (пересчётных устройств) с постоянным коэффициентом деления.

1. Исключение последних (избыточных) состояний счётчиков.
2. Исключение начальных (главных) состояний счётчиков.

Схема делителя с исключением последних состояний

Устройство: В состав такого делителя входят n -разрядный асинхронный счётчик на Т-триггерах с установочными RS входами, имеющий на выходе дешифратор входа с заданными коэффициентами счёта, меньшими чем 2^n и одним выходом. Коэффициент счёта в данном счётчике $K_{сч}$ от 0 до 2^n

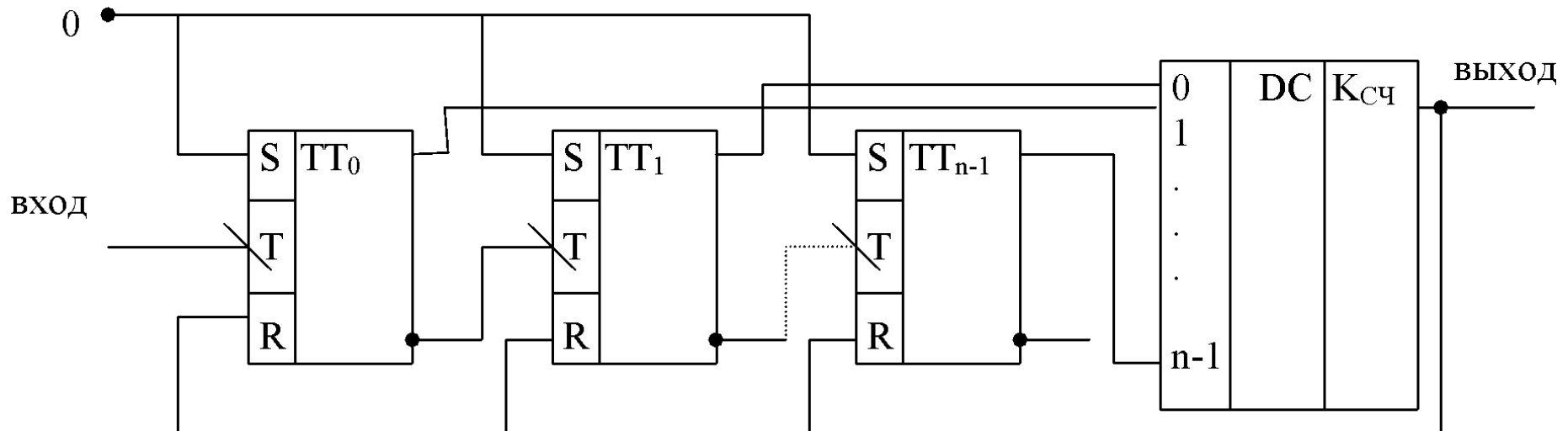


Схема делителя с исключением последних состояний

В исходном состоянии во всех разрядах счётчика записаны 0.

С поступлением на вход схемы счётных импульсов состояние счётчика увеличивается до $K_{\text{сч}} < 2^n$.

После поступления на вход счётчика $K_{\text{сч}}$ -го импульса срабатывает дешифратор и формирует на выходе сигнал 1, который поступает на R входы и обнуляет счётчик.

Затем повторяется цикл счёта от 0 до K .

Таким образом, старшее состояние счётчика от $K_{\text{сч}} + 1$ до $K_{\text{сч}} = 2^n$ исключается из цикла работы. Для предупреждения ложного срабатывания на вход S всех триггеров поступает логический 0.

Схема делителя с исключением начальных состояний

В основе такого делителя лежит асинхронный суммирующий счётчик на JK триггерах с инверсными установочными RS входами. Минимальное количество триггеров в счётчике должно удовлетворять требованию:

$$2^{n-1} < K < 2^n.$$

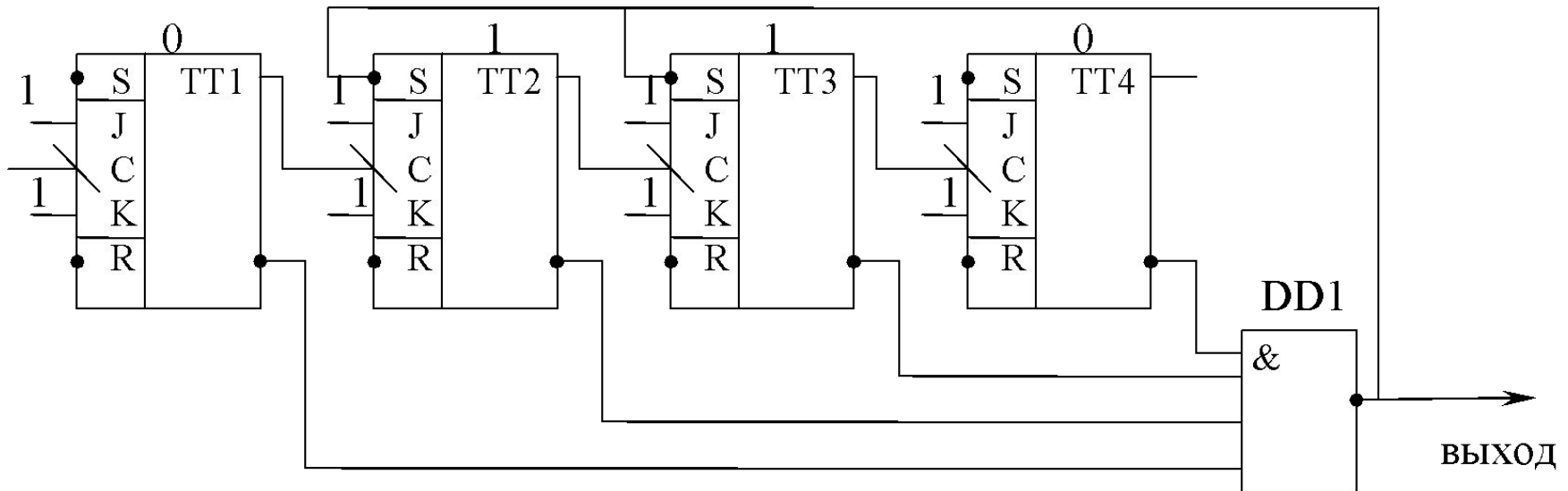


Схема делителя с исключением последних состояний

Исходным состоянием при работе данного делителя является $6_{10} = 0110_2$. По мере поступления счётных импульсов на вход номер состояний счётчика изменяется от 6 до 16. Затем, очередной импульс переводит счётчик в 0, а на вход элемента «И-НЕ» DD1 поступает 1. 0 с выхода DD1 через инверсные входы S триггеров второго и третьего разрядов устанавливает эти разряды в 1 (в исходное состояние). Так, в конце цикла счёта в счётчике сразу же обеспечивается ненулевое начальное состояние $6_{10} = 0110_2$. Далее работа повторяется.

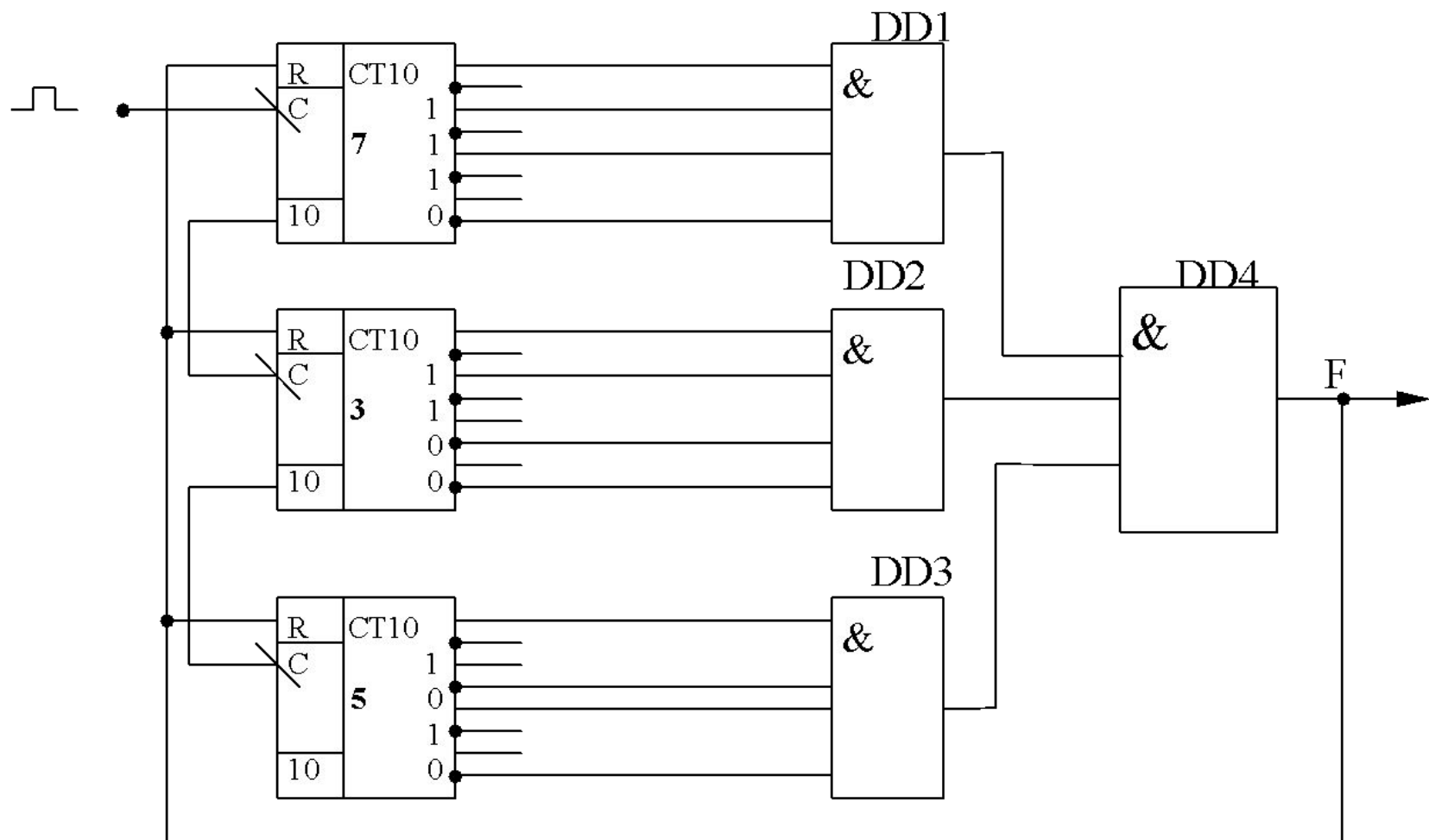
Делители с переменными коэффициентами деления

Счётчики с коэффициентом счёта $K_{\text{сч}}=2^n$ могут быть использованы для построения пересчётных схем с переменным коэффициентом пересчёта $K_{\text{сч}} < 2^n$ - делителей с переменным коэффициентом деления (ДПКД).

ДПКД позволяет получить коэффициент деления через 1. Например, 3-х разрядный ДПКД позволяет получить коэффициент деления от 1 до 999. Рассмотрим работу такого делителя, учитывая, что коэффициент деления равен 537.

Делитель строится на базе трёх декадных счётчиков и дополнительных элементов умножения. В этом счётчике есть выход, на котором появляется 1, когда счётчик перейдёт в состояние 10.

Делители с переменными коэффициентами деления



Делители с переменными коэффициентами деления

Работа.

Делитель имеет три декады:

1. Декада единиц – переключается каждым импульсом.
2. Декада десятков – переключается каждым десятым импульсом.
3. Декада сотен – переключается каждым сотым импульсом.

Элементы DD1, DD2, DD3, DD4 играют роль дешифратора.

В современной аппаратуре используются делители с переменным дробным коэффициентом деления ДДПКД. Дробный коэффициент пересчёта достигается за счёт использования декад долей 1-ц, 10-ов, 100-н и т.д. Кроме того, в процессе работы осуществляется усреднение целочисленных коэффициентов деления путём периодического использования то $K_{\text{ДЕЛ}}$, то $K_{\text{ДЕЛ}} + 1$.

Вывод по 2 вопросу

1. В делителе с постоянными коэффициентами деления коэффициент пересчёта задан жёстко на схемном уровне.
2. В делителе с переменным коэффициентом деления коэффициент пересчёта не задан жёстко на схемном уровне.

Заключение

1. **Делитель** – это счётчик, информация с которого снимается со старшего разряда и который обнуляется после поступления на него заданного числа импульсов.
2. Наиболее широко применяется делитель с переменным коэффициентом деления.
3. В основе счётчика лежит простейший T-триггер.
4. Счёт в счётчиках осуществляется последовательно.