

ОСНОВЫ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

Л9.1 Дешифраторы и шифраторы



Кафтан Ю. М.
2022

В цифровой технике при построении сложных устройств широко применяются не только отдельные *логические элементы*, реализующие элементарные булевы функции, но и их комбинации в виде типовых структур, выполняемых как единое целое в виде *интегральных микросхем (ИМС)*. На входы таких структур могут подаваться *информационные логические сигналы* и *сигналы управления*.

Последние могут определять, например, порядок передачи информационных входных сигналов на выход или играть роль сигналов синхронизации. Во многих случаях, особенно при использовании в устройствах выходных цепей с тремя состояниями, в качестве сигналов синхронизации выступают сигналы *“Выбор микросхемы” (CS)*. Наличие активного значения такого сигнала управления (в одних схемах это логический ноль, в других - логическая единица) разрешает устройству выполнение заданных функций, отсутствие его - переводит схему в “невыбранное” состояние, при котором она не выполняет обработку информации, а её выходы отключены от нагрузки.

Устройство называют *комбинационным*, если его выходные сигналы в некоторый момент времени однозначно определяются входными сигналами, имеющими место в этот момент времени.

Комбинационной схемой называется логическая схема, реализующая однозначное соответствие между значениями входных и выходных сигналов.

Для реализации комбинационных схем используются *логические элементы (ЛЭ)*, выпускаемые в виде интегральных схем.

В этот класс входят интегральные схемы дешифраторов, шифраторов, мультиплексоров, демультимплексоров, сумматоров и компараторов.



Дешифраторы и шифраторы

В повседневной жизни для представления чисел мы применяем десятичную систему счисления. Если последняя используется для представления дискретных сообщений (дискретной информации - данных), то говорят о **кодировании** – установлении соответствия между элементами данных и совокупностью символов, называемых кодовой комбинацией.

В большинстве современных компьютеризированных систем управления и автоматики входная дискретная информация представлена в десятичном (унитарном) коде, а обработка информации цифровым компьютером осуществляется над данными, представленными в двоичном коде.

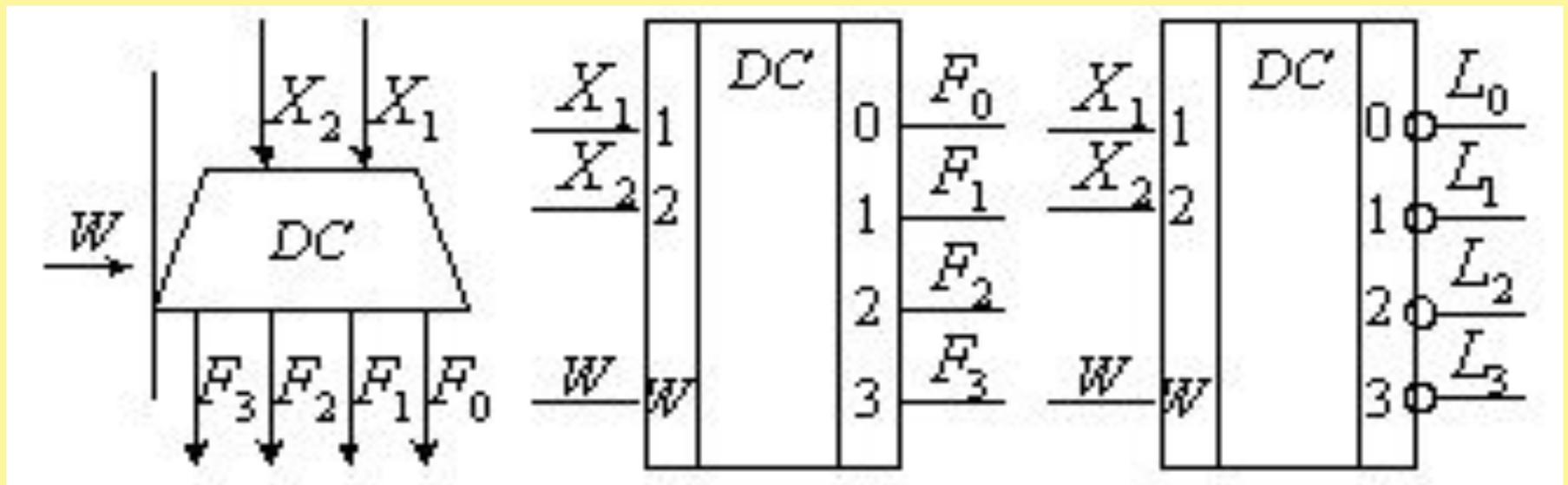
Возникает задача преобразования десятичного (унитарного) кода в двоичный при вводе в систему и обратного перевода двоичного кода в десятичный (**унитарный**) при выводе из цифровой системы результатов обработки информации.



Комбинационное цифровое устройство (КЦУ), выполняющее перевод десятичного (унитарного) кода в двоичный, называется **шифратором** (кодером) двоичного кода, а осуществляющее преобразование двоичного кода в десятичный (унитарный) – **дешифратором** (декодером) двоичного кода.

Очень часто десятичные коды преобразуются в двоично-десятичные, которые называют **BCD** (Binary Code Decimal)-кодами или кодами **8421**. В этом случае КЦУ, преобразующие десятичный код в BCD-код и наоборот, называют соответственно шифратором (кодером) и дешифратором (декодером) двоично-десятичного кода (BCD-кода).





Условные графические обозначения дешифратора:

а — на функциональных схемах; б, в — на принципиальных схемах

Логическая функция дешифратора обозначается буквами **DC (decoder)**. Метки левого дополнительного поля в условном обозначении отображают десятичные веса входных переменных, а метки правого дополнительного поля соответствуют десятичным эквивалентам входных комбинаций двоичных переменных. В схему дешифраторов встраиваются один или два стробирующих (разрешающих) входа, например, W .

С помощью сигнала на входе определяется момент срабатывания дешифратора; кроме того, вход W используется для наращивания разрядности входного кода.

В компьютерах дешифраторы используют для выполнения следующих операций:

- дешифрации кода операции, записанного в регистр команд процессора, что обеспечивает выбор требуемой микропрограммы;
- преобразования кода адреса операнда в команде в управляющие сигналы выбора заданной ячейки памяти в процессе записи или чтения информации;
- обеспечения визуализации на внешних устройствах;
- реализации логических операций, и построения мультиплексоров и демультимплексоров.

Использование дешифраторов для дешифрации кода операции и адреса операнда, размещённых в регистре команд процессора, показано на рис. Дешифрация кода операции в устройстве управления (УУ) определяет тип машинной команды. Дешифрация адреса операнда в оперативной памяти (ОП) обеспечивает доступ к указанной ячейке памяти для записи или считывания данных.

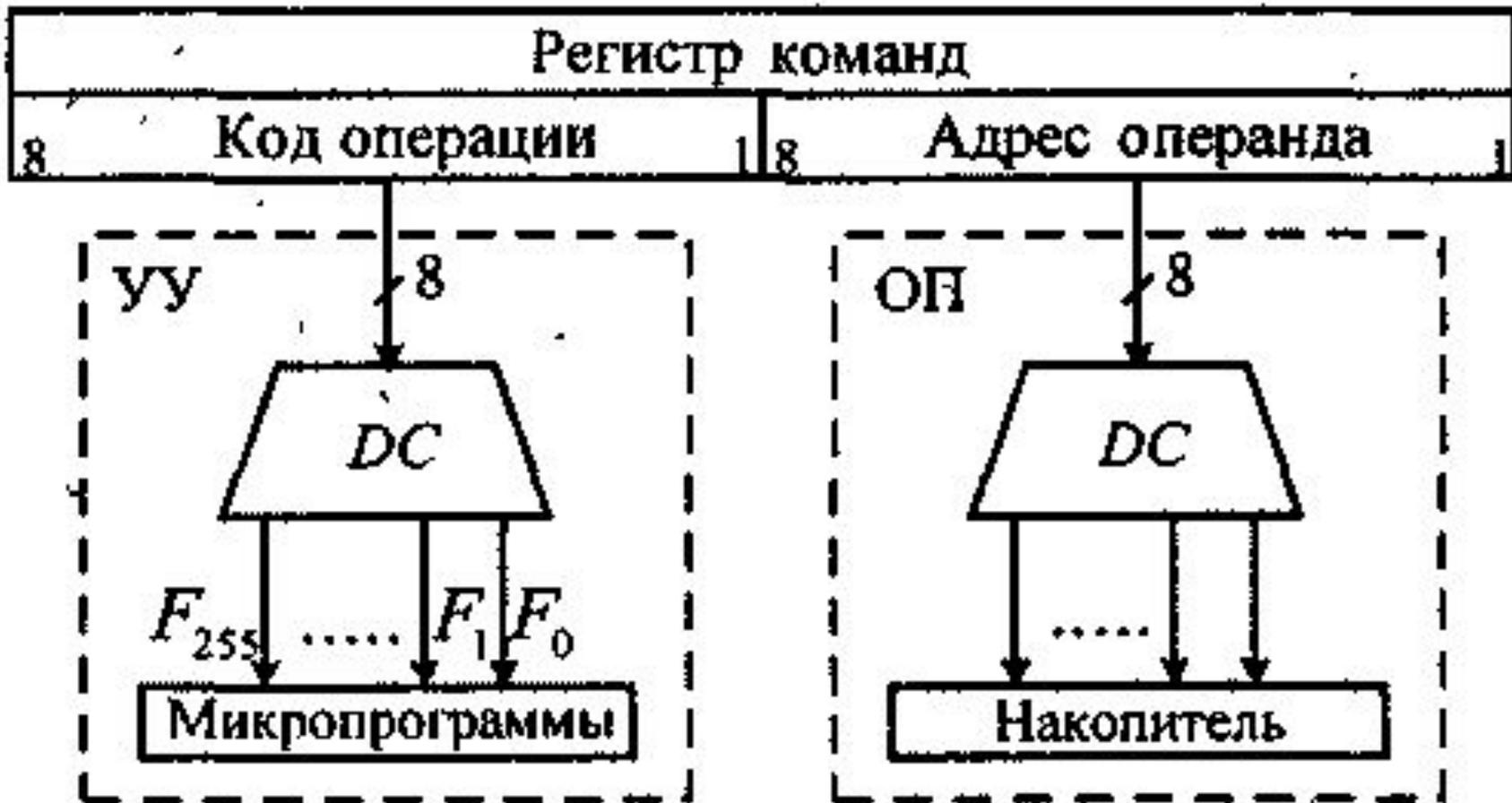
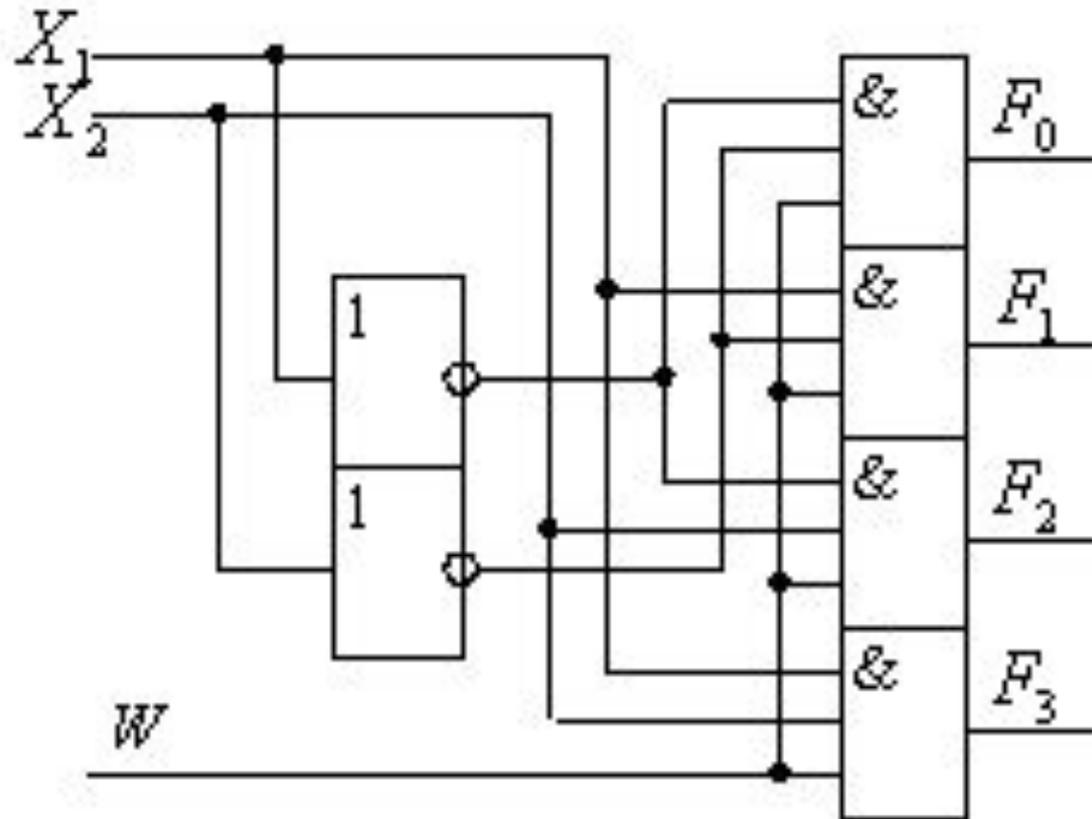
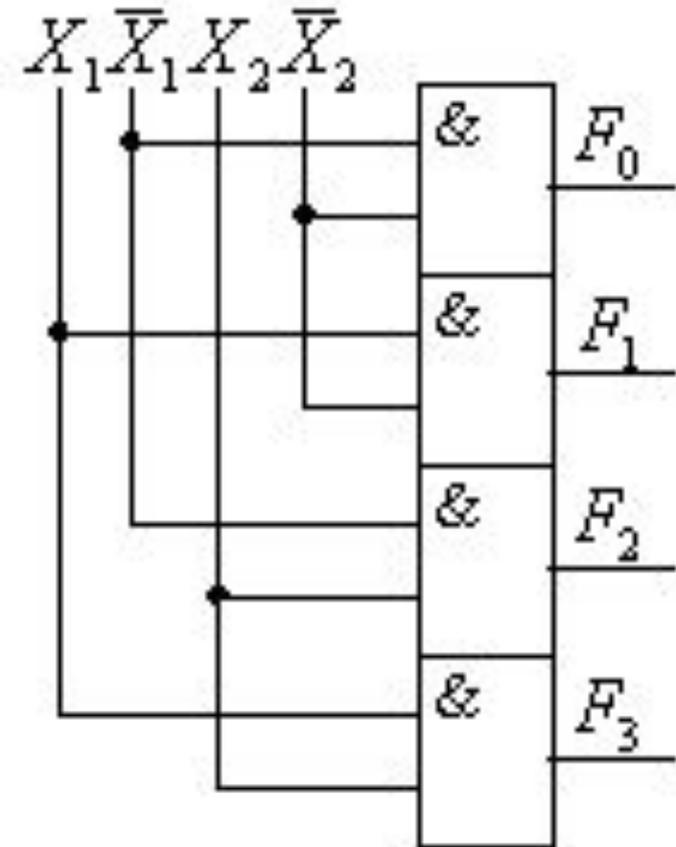


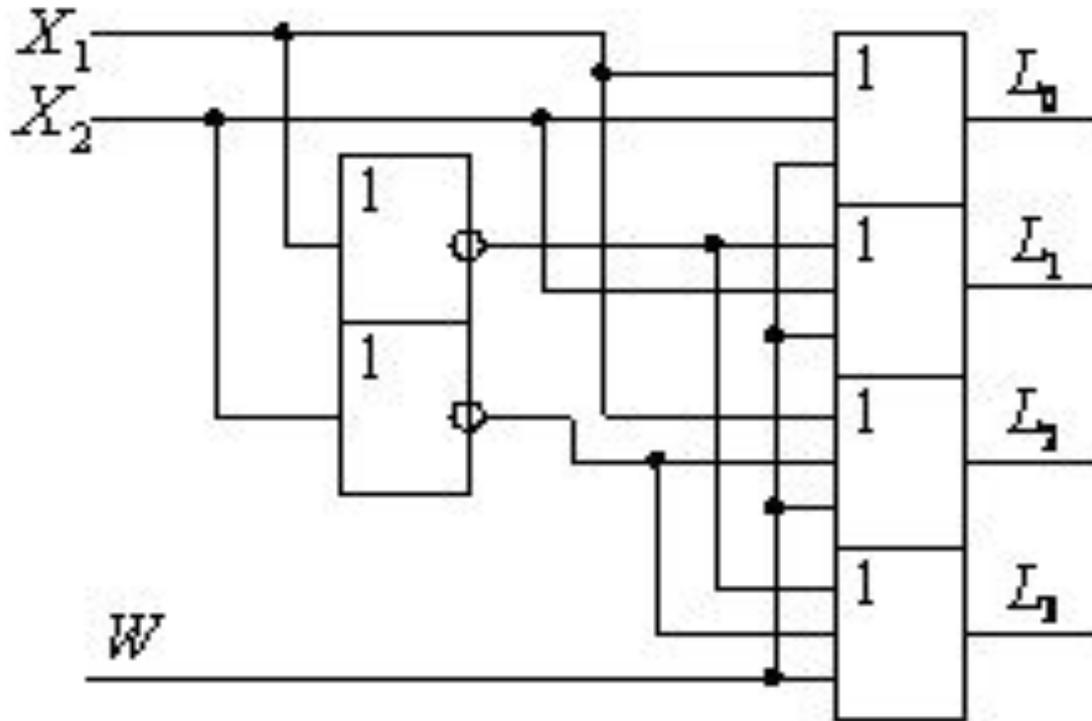
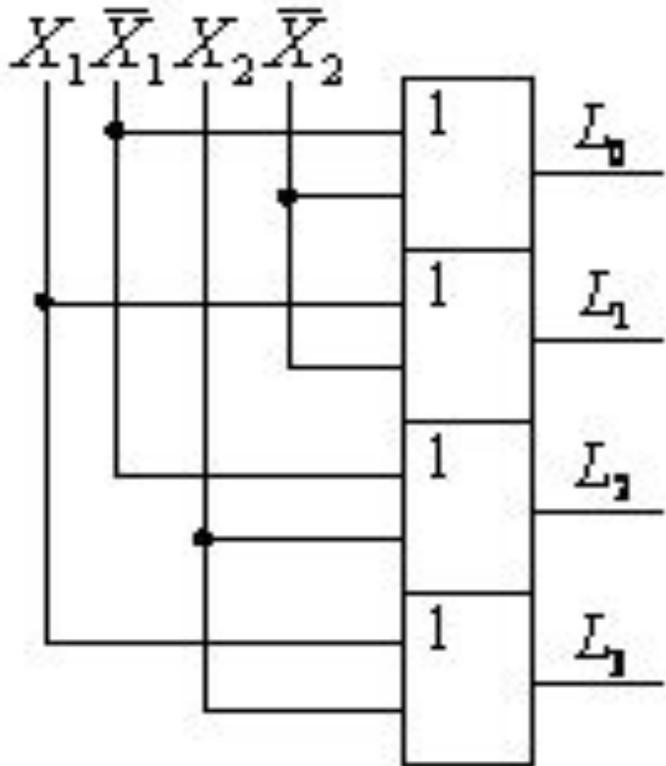
Иллюстрация использования дешифраторов

Линейные дешифраторы на два входа и четыре выхода



В линейном дешифраторе "из n в m " каждая выходная функция F_i реализуется полностью отдельным n -входным логическим элементом при использовании парафазного входного кода.





В схеме, изображенной на рис. используется однофазный входной код, поскольку инверсии переменных образуются элементами НЕ. Если сигнал на стробирующем входе $W = 0$; то работа дешифратора блокируется — на всех выходах устанавливаются логические нули независимо от значений входных переменных.



Пирамидальные дешифраторы

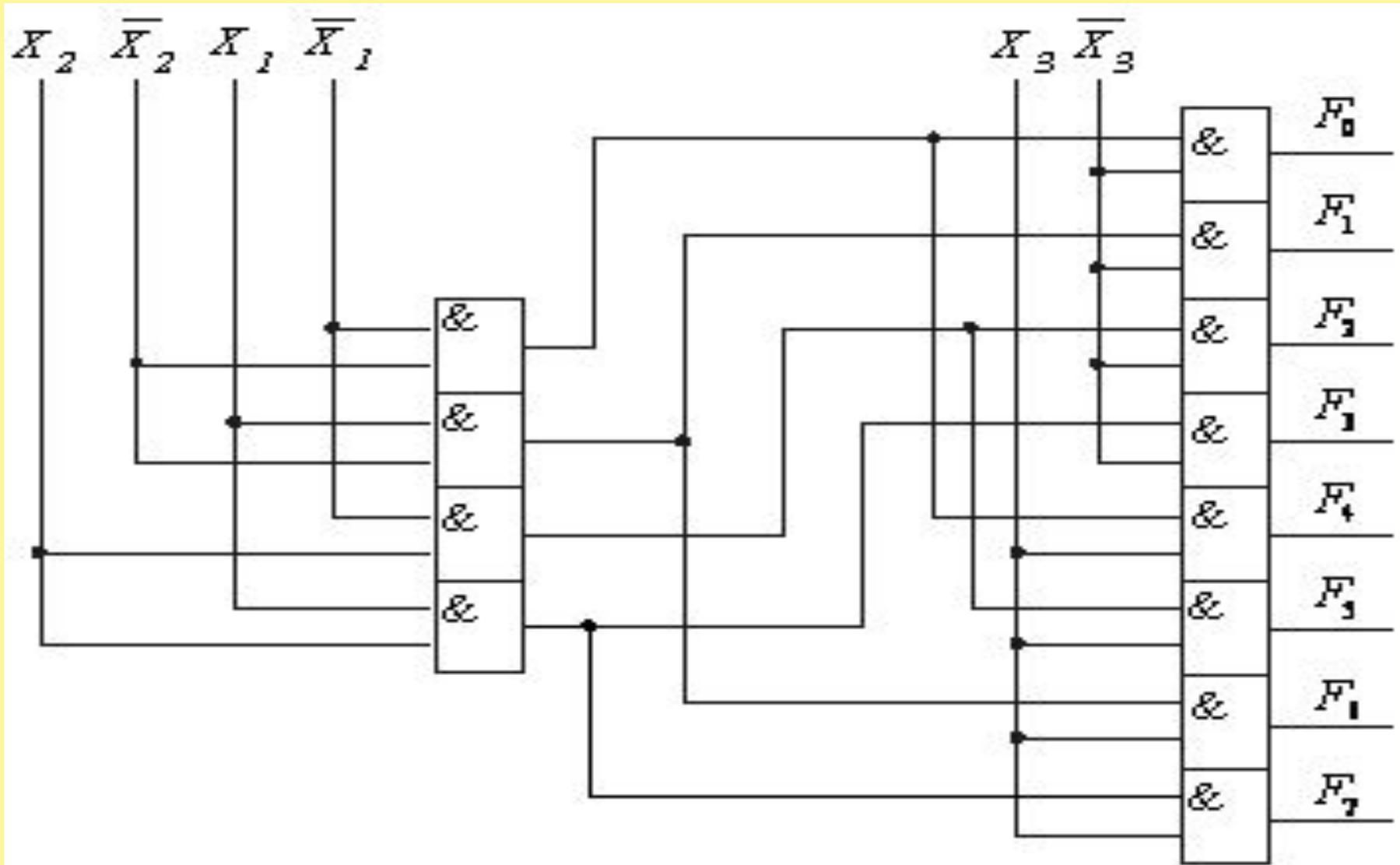


Схема пирамидального дешифратора на три входа и восемь выходов



В пирамидальном дешифраторе число ступеней на единицу меньше разрядности входного кода, то есть $K = n - 1$. Во всех ступенях используются только двухвходовые логические элементы.

На первой ступени используются линейные дешифраторы на два входа и четыре выхода. Каждая последующая ступень имеет в два раза больше элементов, чем предыдущая .

Основным *недостатком* пирамидального дешифратора является большое число ступеней, что существенно увеличивает время дешифрации кода.



Прямоугольные дешифраторы

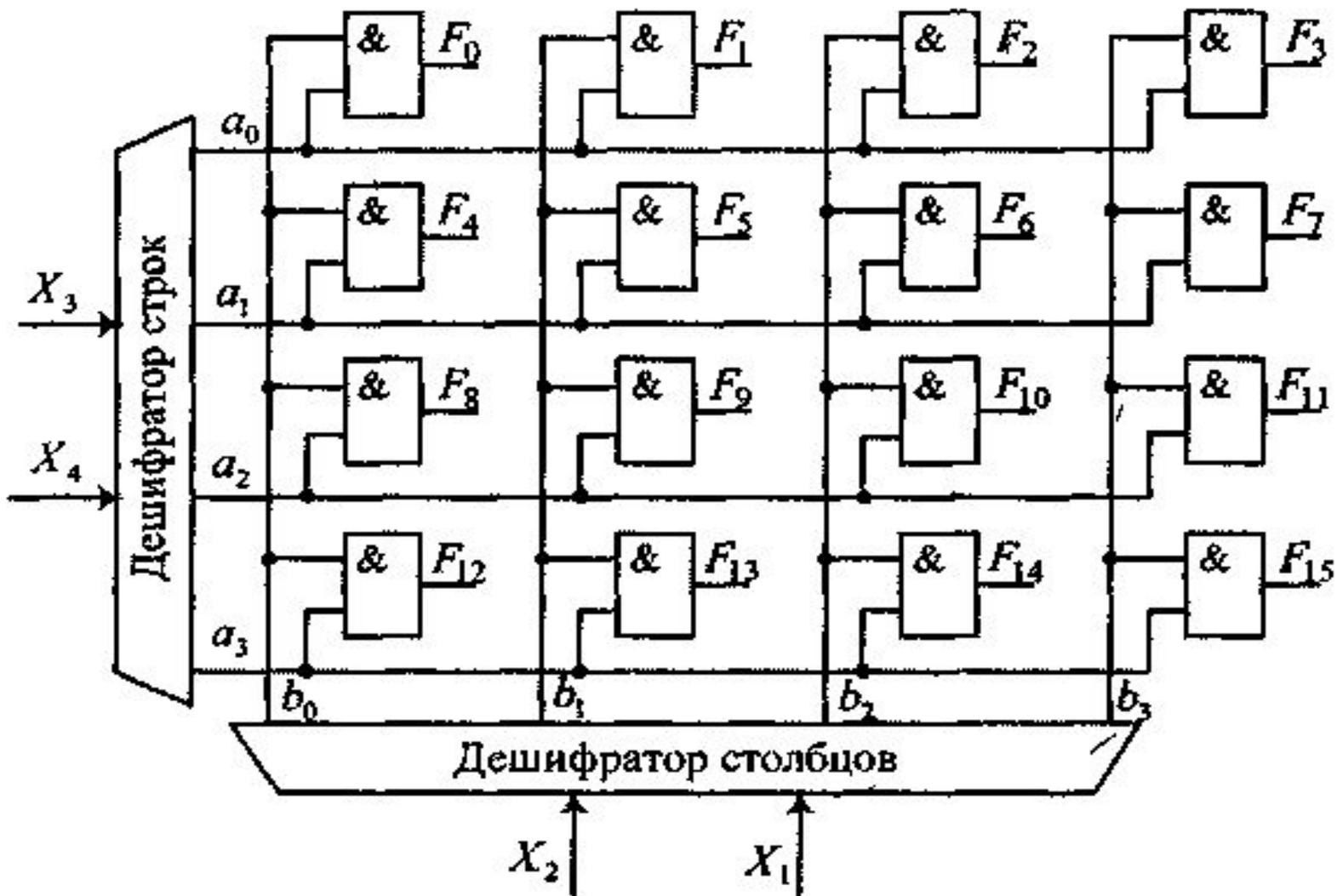


Схема прямоугольного дешифратора

Прямоугольный дешифратор строится по двухступенчатой схеме. При этом входной код разбивается на две группы по $n/2$ разрядов при четном n ; при нечетной разрядности группы содержат неравное число переменных. Две группы переменных декодируются на первой ступени двумя полными линейными (возможно и пирамидальными) дешифраторами, а на второй ступени формируются выходные функции.

Условно считают, что один из дешифраторов первой ступени формирует адреса строк матрицы, а второй — адреса столбцов матрицы. На пересечении линий строк и столбцов подключается $m = 2^n$ двухвходовых схем совпадения, которые образуют вторую, выходную ступень дешифратора. При четном n матрица вентиляй квадратная, при нечетном n — прямоугольная. Поэтому такие дешифраторы называются матричными или прямоугольными

При большом числе разрядов прямоугольный дешифратор почти в $n/2$ раза экономичнее линейного и в два раза — пирамидального.



Синтез комбинационных схем с несколькими выходами

Для выполнения синтеза необходимо проделать несколько этапов:

- **первый этап.** Составление условий функционирования комбинационной схемы в виде таблицы истинности;
- **второй этап.** Составление СДНФ по таблице истинности, описывающей работу заданной схемы;
- **третий этап.** Минимизация СДНФ (если она необходима) с помощью метода непосредственных преобразований или карт Карно-Вейча;
- **четвертый этап.** В соответствии с минимизированной ФАЛ составление схемы электрической функциональной в базисе Буля;
- **пятый этап.** Составление схемы электрической функциональной в базисе Шеффера или Пирса (если это необходимо).



Синтезировать дешифратор на два входа

Нахождение количества выходов дешифратора по формуле $K_{\text{ВЫХ}} = 2^2 = 4$

Первый этап. Составление таблицы истинности, отражающей работу дешифратора

ВХОДЫ		ВЫХОДЫ			
X_2	X_1	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0



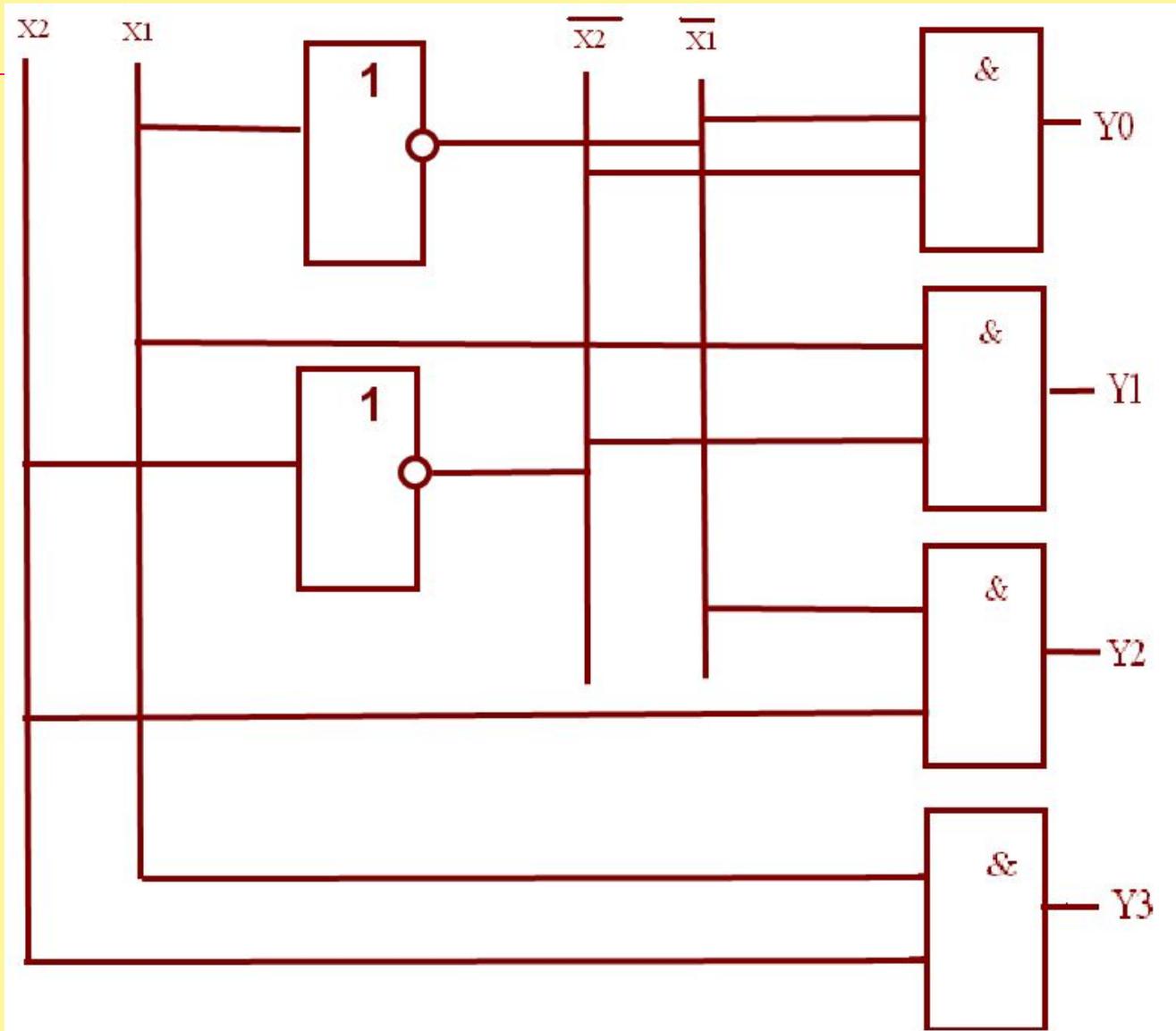
Второй этап. На основании таблицы истинности составляется СДНФ функций выхода

$$\begin{aligned} Y_0 &= \overline{X_2} \overline{X_1} \\ Y_1 &= \overline{X_2} X_1 \\ Y_2 &= X_2 \overline{X_1} \\ Y_3 &= X_2 X_1 \end{aligned}$$

Третий этап. Этап минимизации не нужен, так как выходные функции являются тупиковыми.



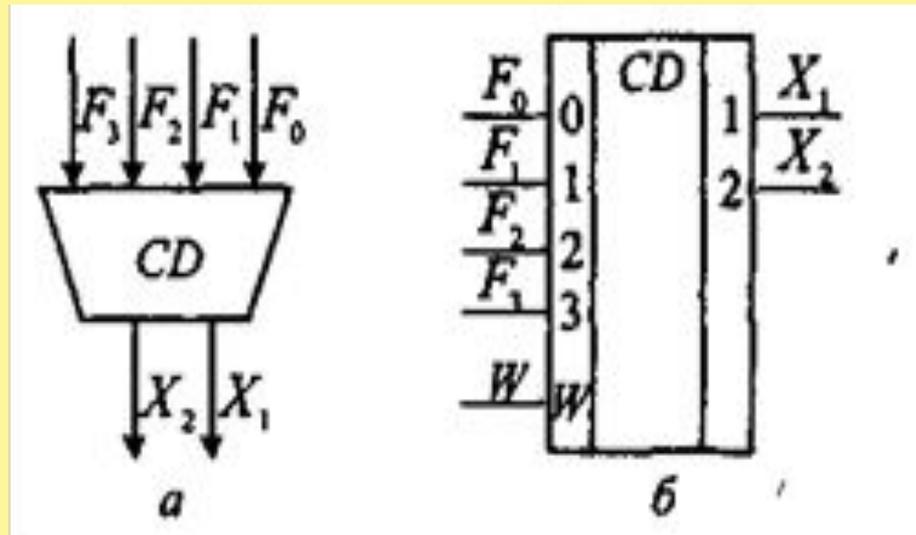
Четвёртый этап. В соответствии с ФАЛ выходов ДШ составляется схема электрическая функциональная.



Шифратор

Шифратором называется функциональный узел компьютера, предназначенный для преобразования входного m -разрядного унитарного кода в выходной n -разрядный двоичный позиционный код.

Двоичные шифраторы выполняют функцию, обратную функции дешифратора. При активизации одной из входных линий дешифратора на его выходах формируется код, отображающий номер активного входа. Полный двоичный шифратор имеет $m = 2^n$ входов и n выходов.



Условные графические обозначения шифратора: а — на функциональных схемах; б — на принципиальных схемах



Функция шифратора обозначается: буквами **CD (coder)**. Входы шифратора нумеруются последовательными десятичными цифрами $0, 1, \dots, m^{-1}$, а метки выходов отображают веса выходных двоичных переменных $1, \dots, 2^{n-1}$.

В цифровых устройствах шифраторы используются для следующих операций:

- преобразования унитарного входного кода в выходной двоичный позиционный код;
- ввода десятичных данных с клавиатуры;
- указания старшей единицы в слове;
- передачи информации между различными устройствами при ограниченном числе линий связи.

Синтезировать шифратор на десять входов, функционирование которого задано таблицей истинности

Первый этап. Составление таблицы истинности, отражающей работу клавиатурного цифрового шифратора

Деся- тич- ный код	ВХОДЫ										ВЫХОДЫ			
	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7	Y_8	Y_9	X_3 2^3	X_2 2^2	X_1 2^1	X_0 2^0
0	-	0	0	0	0	0	0	0	0	0	0	0	0	0
1	-	1	0	0	0	0	0	0	0	0	0	0	0	1
2	-	0	1	0	0	0	0	0	0	0	0	0	1	0
3	-	0	0	1	0	0	0	0	0	0	0	0	1	1
4	-	0	0	0	1	0	0	0	0	0	0	1	0	0
5	-	0	0	0	0	1	0	0	0	0	0	1	0	1
6	-	0	0	0	0	0	1	0	0	0	0	1	1	0
7	-	0	0	0	0	0	0	1	0	0	0	1	1	1
8	-	0	0	0	0	0	0	0	1	0	1	0	0	0
9	-	0	0	0	0	0	0	0	0	1	1	0	0	1

Второй этап. На основании таблицы истинности составляется СДНФ для каждого выхода

$$X_0 = Y_1 \vee Y_3 \vee Y_5 \vee Y_7 \vee Y_9$$

$$X_1 = Y_2 \vee Y_3 \vee Y_6 \vee Y_7$$

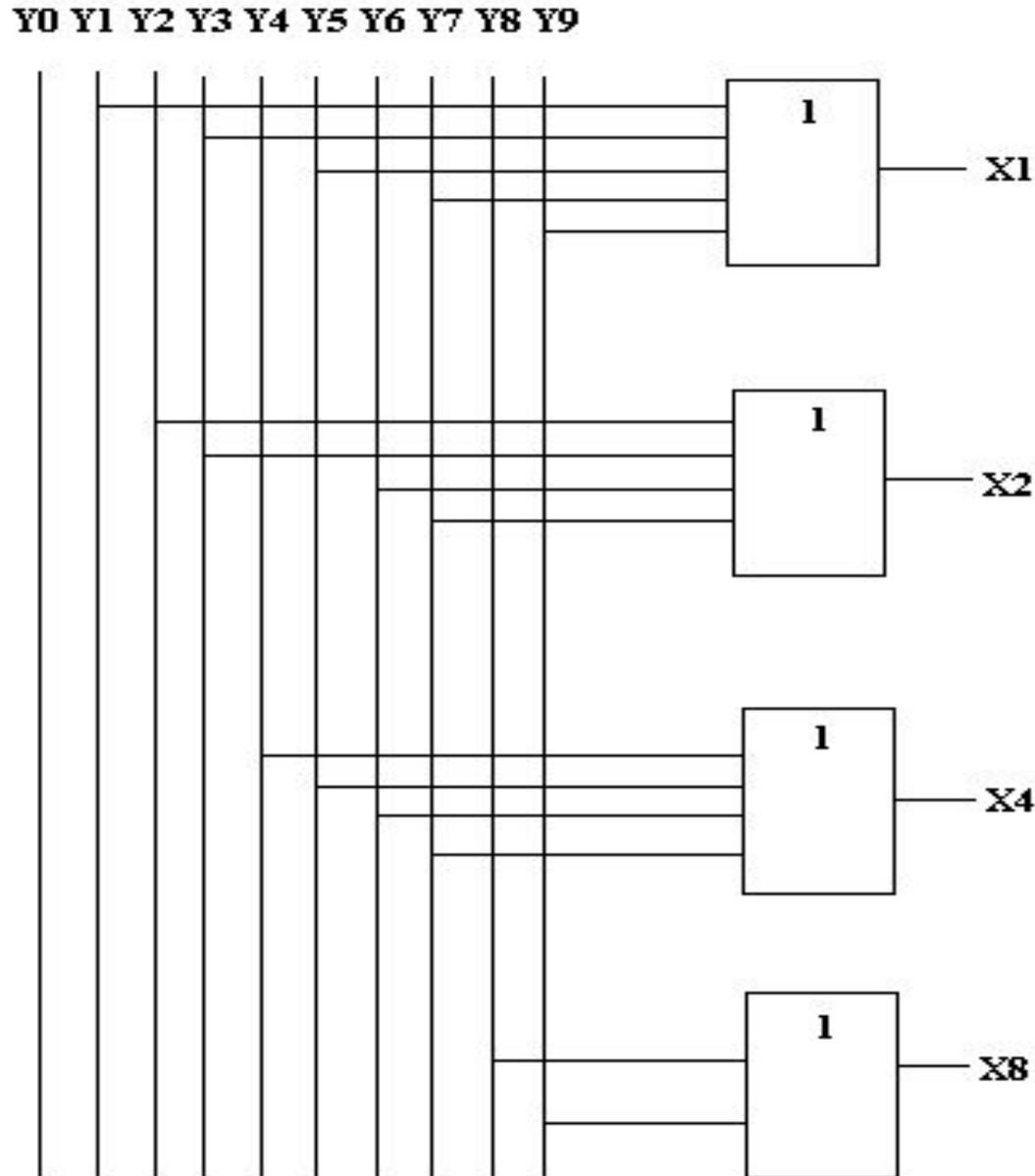
$$X_2 = Y_4 \vee Y_5 \vee Y_6 \vee Y_7$$

$$X_3 = Y_8 \vee Y_9$$

Третий этап. Минимизация СДНФ не нужна т.к. все выходные функции являются тупиковыми



Четвертый этап. На основании ФАЛ для каждого выхода строится схема электрическая функциональная



К *основным характеристикам ДШ* относят:

- разрядность входного кода,
- количество выходных линий,
- быстродействие,
- нагрузочную способность по выходу.

Преобразователями кодов, в общем случае, называют устройства, предназначенные для преобразования одного кода в другой, при этом часто они выполняют нестандартные преобразования кодов.

Преобразователи кодов обозначают через **X/Y**.

Например: преобразователь в семисегментный код.



Литература

[1] стр. 128-142

[2] стр. 58-65

[3] стр. 63-67

