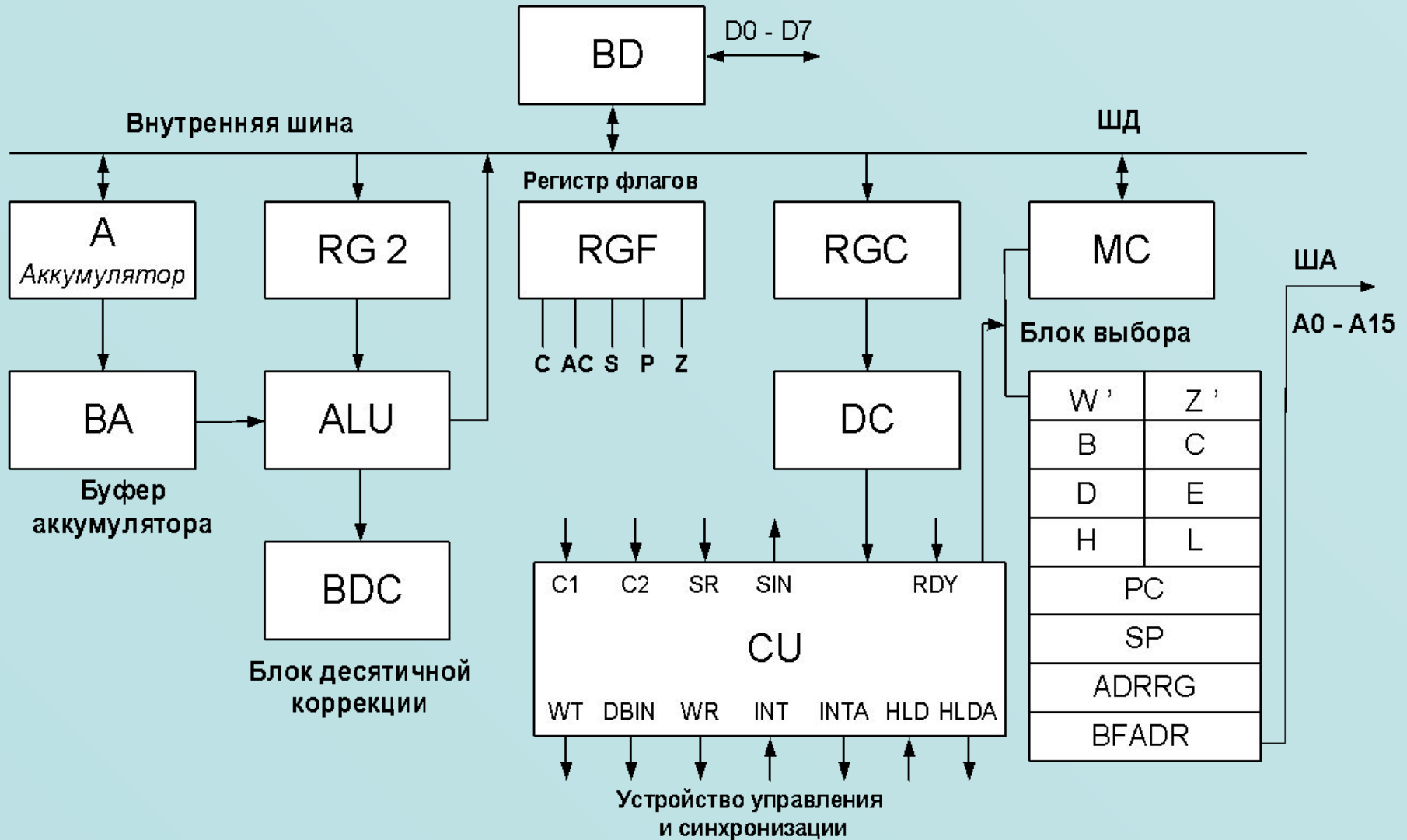


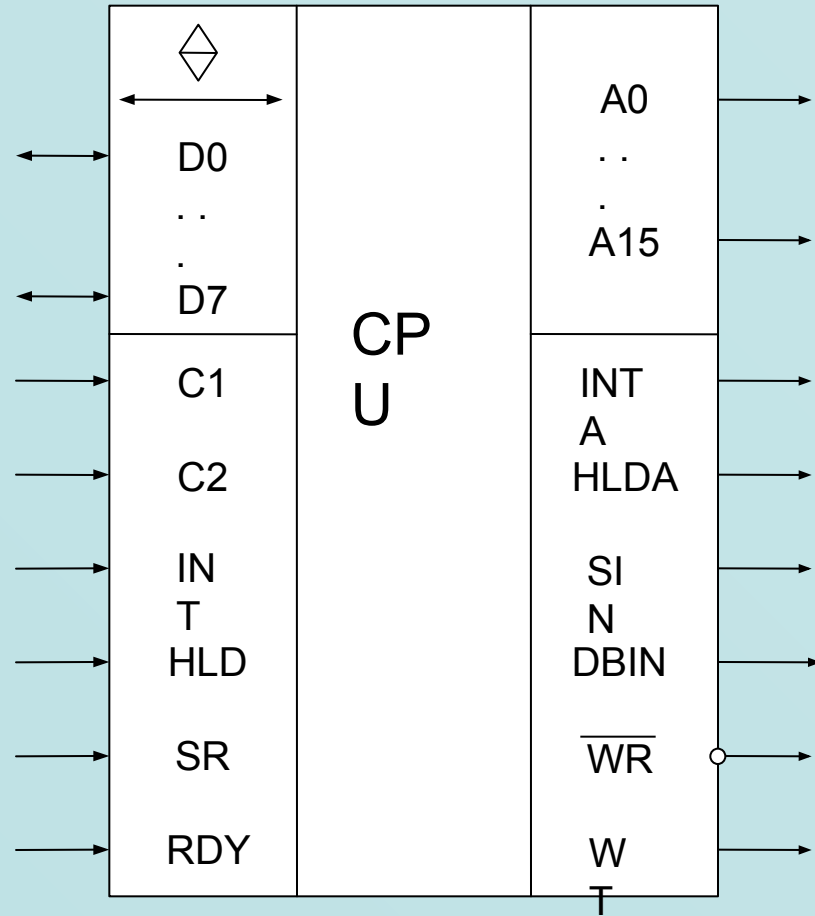
Микропроцессор INTEL 8080 (KP580BM80A)



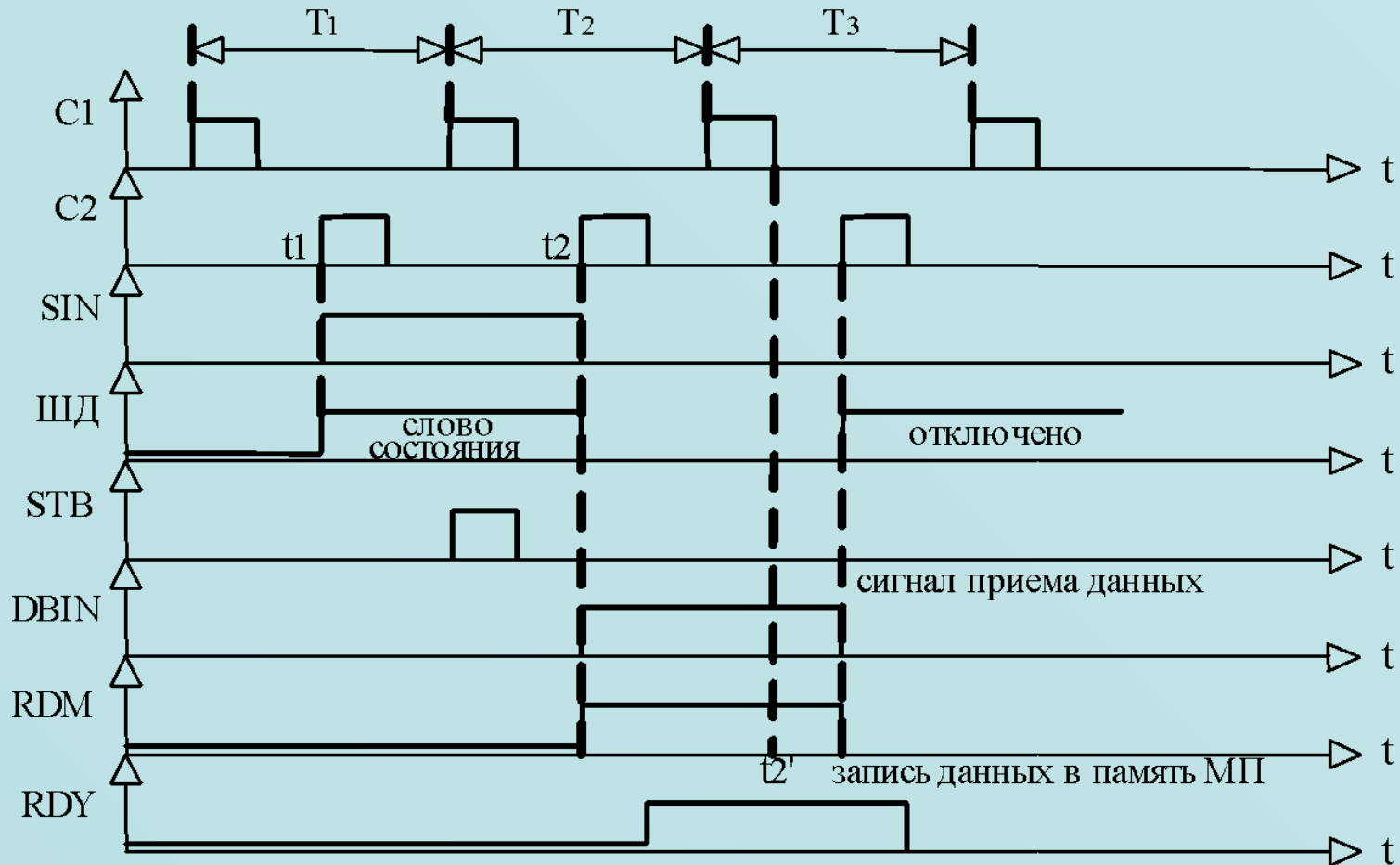
Условное графическое обозначение микропроцессора Intel 8080

Технические характеристики микропроцессора:

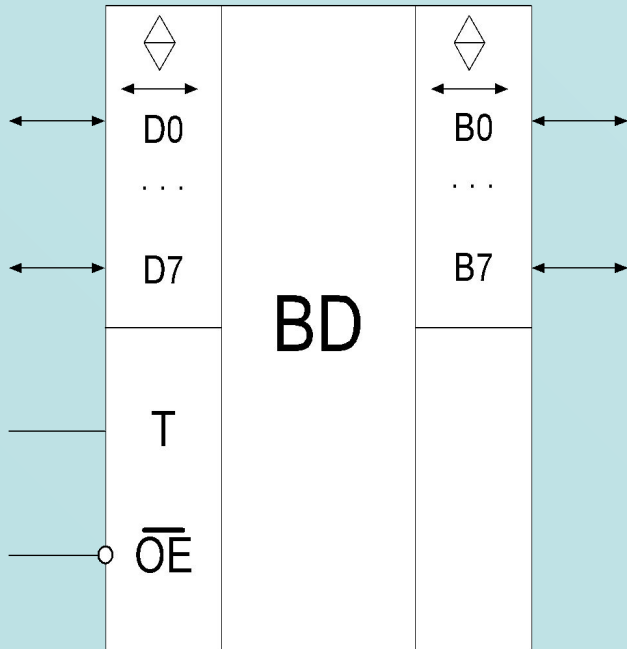
- 1) Тактовая частота $F \leq 2,5 \text{ МГц}$;
- 2) Среднее быстродействие – 500000 операций в секунду;
- 3) Степень интеграции – 4500 транзисторов;
- 4) Разрядность:
 - по шине данных – 8;
 - по шине адреса – 16;
- 5) Число источников питания :
3 (+5В; -5В; +12В);
- 6) Температурный диапазон – стандартный :
-10 ÷ +70°C;
- 7) Число выводов – 40;
- 8) Пластиковый или керамический корпус;
- 9) Потребляемая мощность – не более 1,25 Вт;
- 10) Число команд – 78, базовых команд с модификациями – 244



Временные диаграммы



Двухнаправленный шинный формирователь КР580ВА86(87)



T – сигнал направления передачи данных.
Если $T=1$, - то $D0 \dots D7$ – входы, а $B0 \dots B7$ – выходы.

Если $T=0$, то – наоборот.

OE - сигнал управления отключением выходных линий.

Если $OE=1$, то выходы отключены.

Технология – ТТЛШ

Кол-во выводов – 20

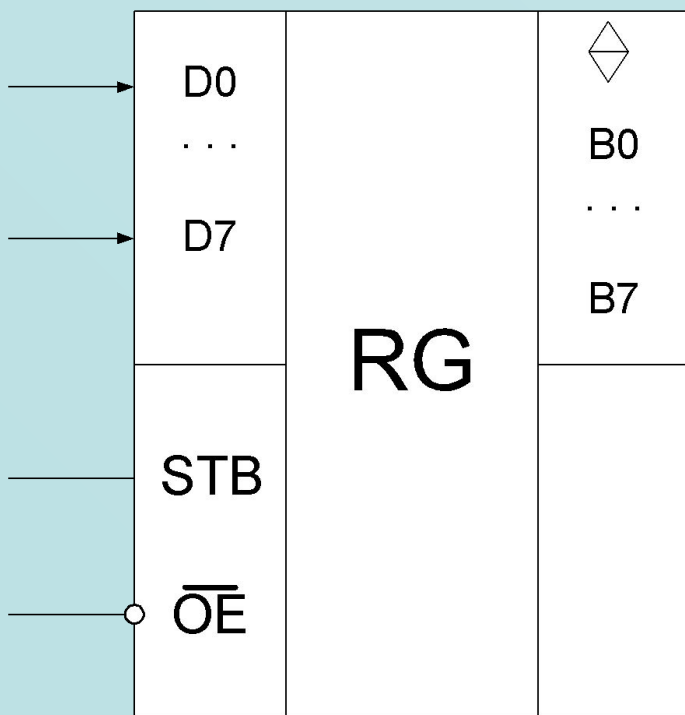
Рассеиваемая мощность ≤ 1 Вт

Диапазон температур от -10 до +70 °C

Данное устройство предназначено для:

- 1) Повышения нагрузочной способности выходных линий микропроцессора;
- 2) Буферизации своих выходных линий;
- 3) Организации обмена данными в одном из двух направлений.

Буферный регистр КР580ИР82(83)



STB – сигнал управления записью в регистр. Если $STB=1$, то данные записываются в регистр.
Если $OE=0$, то на выходе (B0 ... B7) появятся записанные данные.
Если $OE=1$, то выходы отключаются – режим «защёлки».

Технология – ТТЛШ

Кол-во выводов – 20

Рассеиваемая мощность ≤ 1 Вт

Диапазон температур от -10 до $+70$ °C

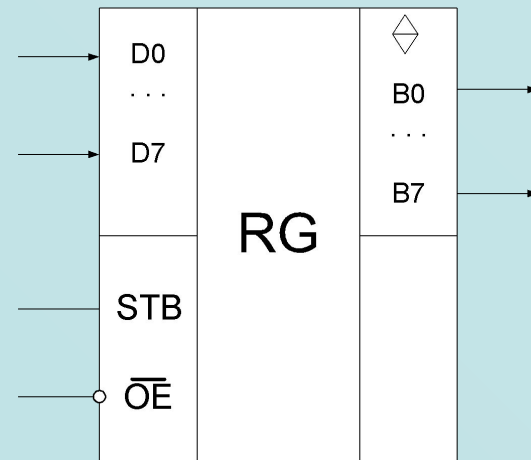
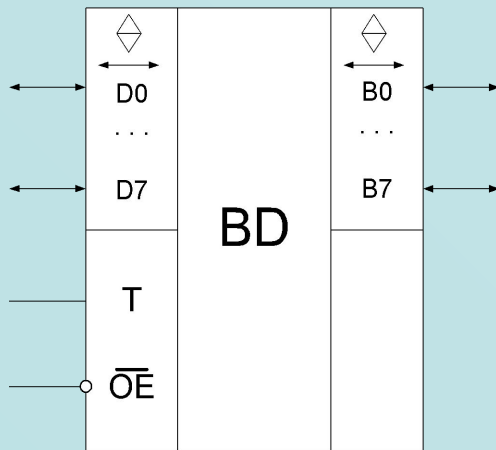
Напряжения питания: $5 \pm 5\%$ В

Длительность сигнала STB: ≥ 15 нс

Данное устройство предназначено для:

- 1) Временного хранения данных;
- 2) Повышения нагрузочной способности выходных линий микропроцессора;
- 3) Буферизации своих выходных линий.

Сходства и различия буферного регистра и шинного формирователя



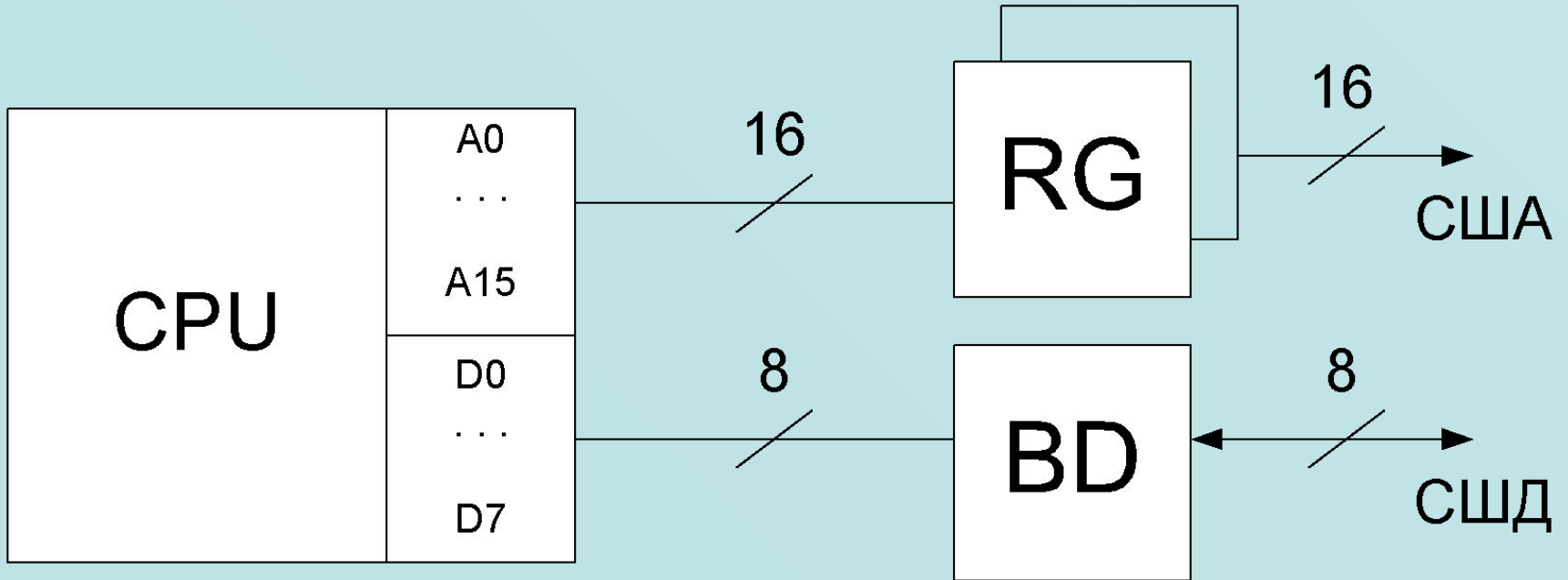
Сходства:

- 1)Повышают нагрузочную способность;
- 2)Управляемое отключение выходов;
- 3)Пропускают данные.

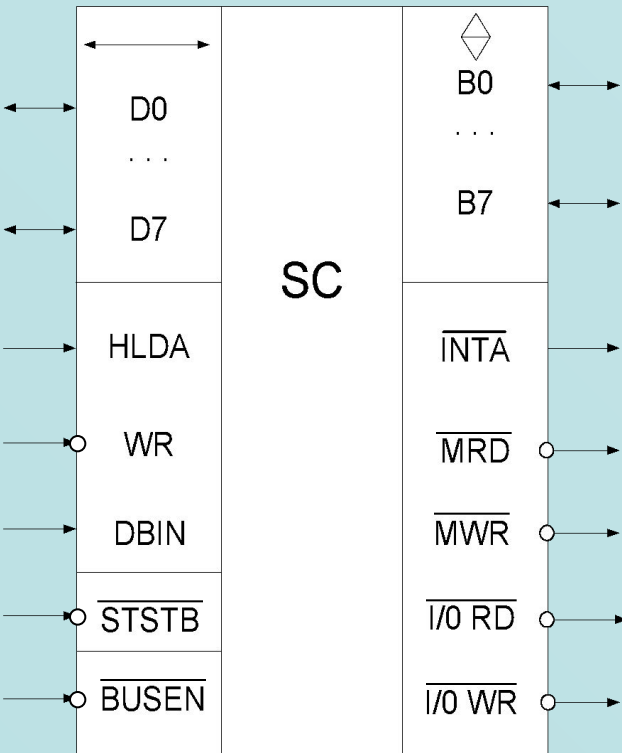
Отличия:

- 1)В шинном формирователе, в отличие от буферного регистра, организована двунаправленная поочередная передача данных;
- 2)Шинный формирователь не запоминает информацию.

Место BD и RG в системе



СИСТЕМНЫЙ КОНТРОЛЛЕР КР580ВК28



D0 ... D7 – входы/выходы, подключаемые к шине данных микропроцессора;

WR – управление записью;

DBIN – управление приемом данных;

HLDA – разрешение захвата шин;

STSTB – сигнал, стробирующий запись данных в системный контроллер;

BUSEN – сигнал разрешения выдачи данных по линии B0 ... B7. Если BUSEN=0, то системный контроллер подключен к системной шине данных, если BUSEN=1, то выходы B0 ... B7 отключены.

B0 ... B7 – входы/выходы, подключаемые к системной шине данных.

INTA – разрешение прерывания.

MRD, MWR – чтение/запись для памяти (активный сигнал «0»)

I/O RD, I/O WR – чтение/запись для устройств ввода/вывода

Технология – ТТЛШ

Число активных элементов: 1141

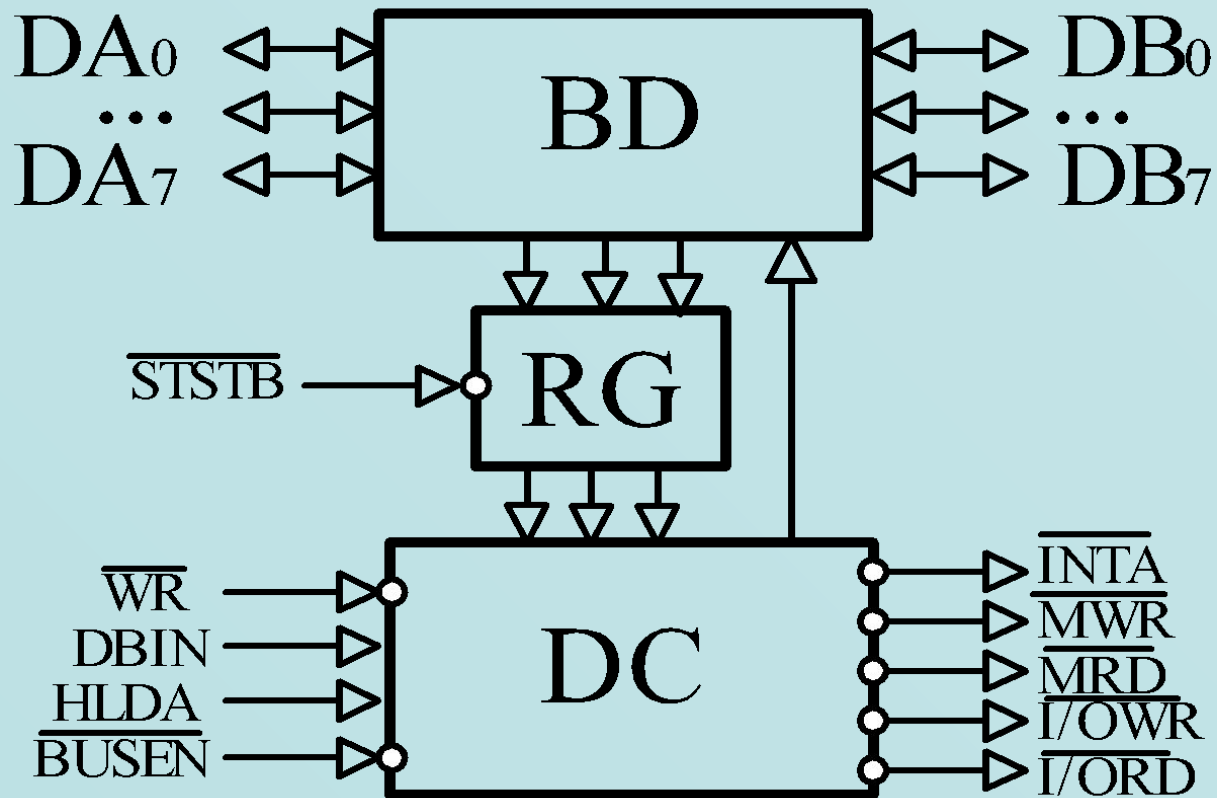
U – +5 В



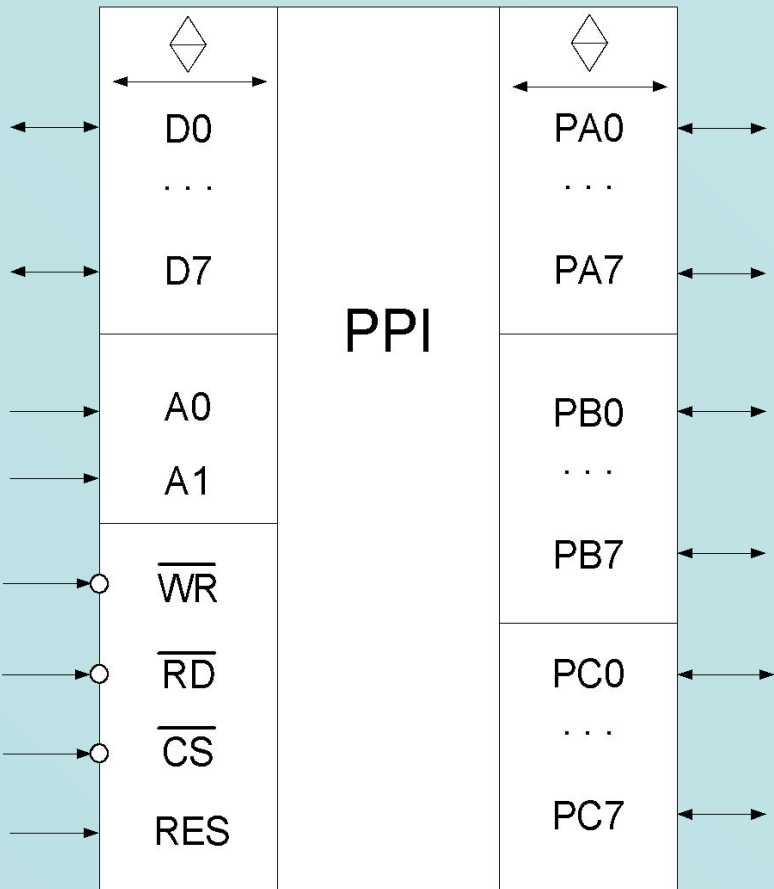
Устройство предназначено для:

- 1) Фиксации слова состояния микропроцессора;
- 2) Буферизации выходных линий;
- 3) Повышения нагрузочной способности выходных линий;
- 4) Формирования сигналов управления памятью и внешними устройствами

СТРУКТУРА КОНТРОЛЛЕРА



ПРОГРАММИРУЕМЫЙ ПАРАЛЛЕЛЬНЫЙ ИНТЕРФЕЙС КР580ВВ55

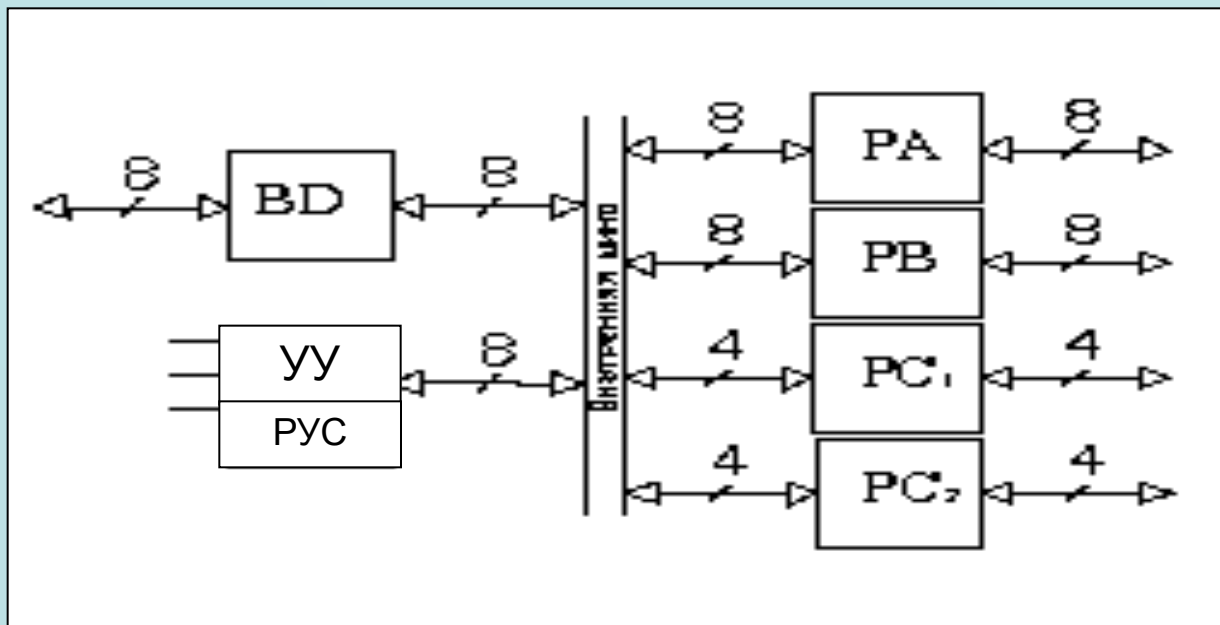


Основные технические характеристики:

- 1) NMOP – технология;
- 2) Корпус с 40 выводами;
- 3) Потребляемая мощность
- не более 0,35Вт;
- 4) Степень интеграции:
- 1600 активных элементов;
- 5) Номинальный ток – 60мА;
- 6) Нагрузочная способность – 1 ТТЛ вход;
- 7) Максимальная тактовая частота – 2МГц;
- 8) Диапазон температур от -10 до +70 °C

D0 ... D7 – входы/выходы, подключаемые к шине данных микропроцессора;
A0, A1 – входы выбора каналов (портов);
CS – сигнал выбора микросхемы (приходит с дешифратора);
RES – сигнал системного сброса;
PA0 – PA7, PB0 – PB7, PC0 – PC7 – входы/выходы портов (каналов).

Структура программируемого параллельного интерфейса



Направление передачи данных в PPI определяется по табл. 2

Направление передачи данных в PPI (табл.2)

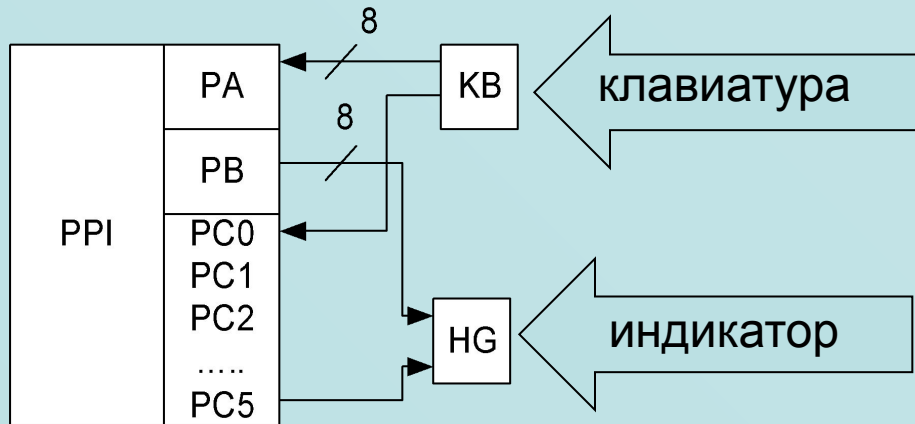
1. Ввод данных:

A1	A0	\overline{CS}	\overline{WR}	\overline{RD}	Направление передачи данных
0	0	0	1	0	$ВУ_i \rightarrow РА \rightarrow ШД МП$
0	1	0	1	0	$ВУ_i \rightarrow РВ \rightarrow ШД МП$
1	0	0	1	0	$ВУ_i \rightarrow РС \rightarrow ШД МП$
1	1	0	1	0	Запрещенная комбинация
x	x	1	x	x	Отключено
x	x	0	1	1	Отключено

2. Вывод данных:

A1	A0	\overline{CS}	\overline{WR}	\overline{RD}	Направление передачи данных
0	0	0	0	1	$ШД МП \rightarrow РА \rightarrow ВУ_i$
0	1	0	0	1	$ШД МП \rightarrow РВ \rightarrow ВУ_i$
1	0	0	0	1	$ШД МП \rightarrow РС \rightarrow ВУ_i$
1	1	0	0	1	$ШД МП \rightarrow РУС$

Подключение к интерфейсу внешних устройств



PA – настроен на ввод данных
PB – настроен на вывод данных
PC – настроен на выдачу
прием сигналов управления

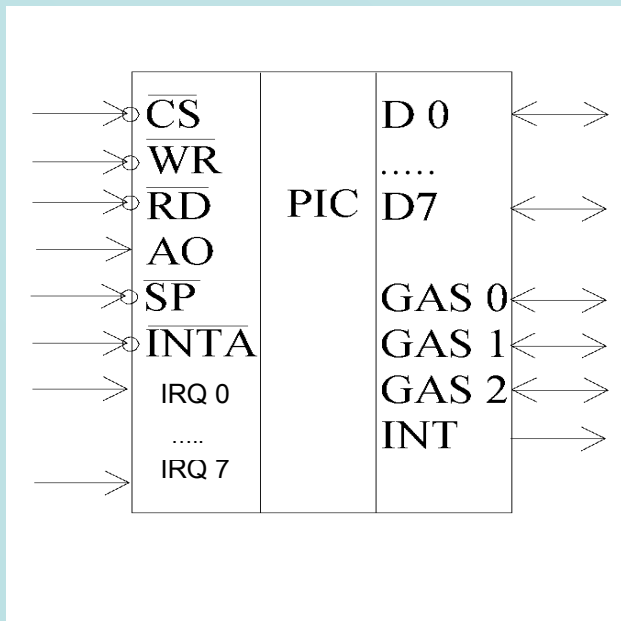
Режимы работы программируемого параллельного интерфейса

Нулевой режим – ввод/вывод данных. В данном режиме данные записываются в ВУ_i или читаются (в зависимости от сигнала управления), проходя через порты А, В или С (поочередно). Дополнительные сигналы управления не формируются.

Первый режим – ввод/вывод со стробированием. В данном режиме порты А и В служат для передачи данных, а по линиям порта С передаются управляющие сигналы (STB, RD, IBF, INTR, ACK и др.). Свободные линии порта С также служат для передачи данных

Второй режим – режим двунаправленного обмена. В данном режиме канал В не работает, передача данных происходит через канал А поочередно в двух направлениях. Необходимые управляющие сигналы передаются по линиям порта С.

ПРОГРАММИРУЕМЫЙ КОНТРОЛЛЕР ПРЕРЫВАНИЙ KP580BH59



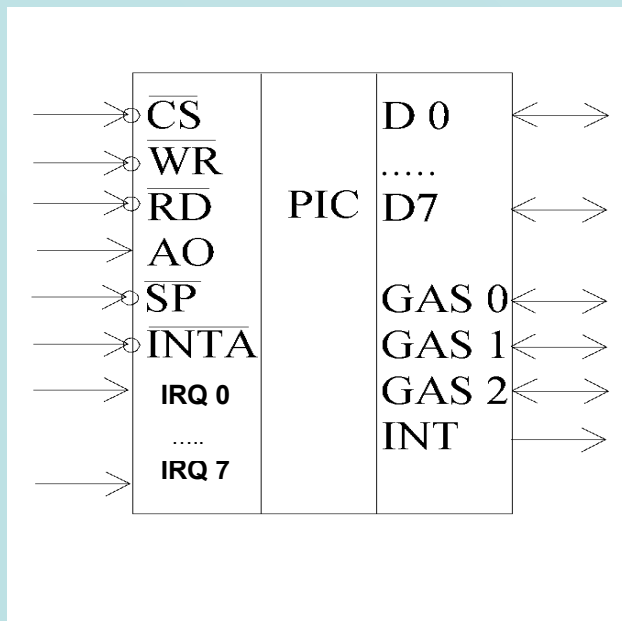
Основные технические характеристики:

- NMOP – технология;
- 28 выводов;
- число запросов на прерывание – 8;
- потребляемая мощность – не более 1Вт;
- стандартный температурный диапазон: $-10 \div +70^{\circ}\text{C}$
- один источник питания $+5\text{В} \pm 5\%$;
- Степень интеграции – около 1000 активных элементов
- Нагрузочная способность – 1 вход ТТЛ-схемы

Данное устройство выполняет следующие функции:

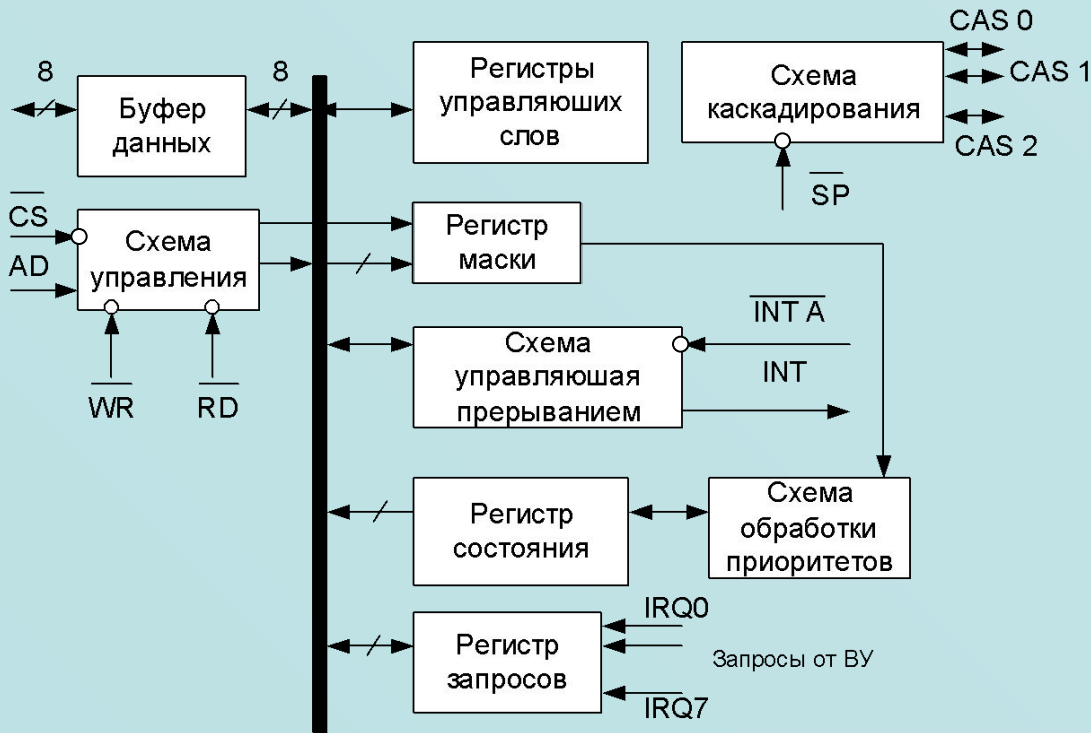
- 1) осуществляет фиксацию запросов на прерывание от восьми внешних источников;
- 2) программное маскирование поступивших запросов;
- 3) присвоение фиксированных или циклически изменяемых приоритетов входам контроллера;
- 4) формирование кода операции CALL и двухбайтного адреса перехода на подпрограмму обслуживания прерываний;
- 5) последовательный опрос внешних устройств для выявления внешнего устройства, нуждающегося в обмене.

Назначение выводов КР580ВН59



- **SP** – вход выбора ведомого контроллера. Если $SP=1$, то контроллер ведущий.
- **IRQ0÷IRQ7** – входы поступающих запросов на прерывание.
- **A0** – вход выбора ячейки регистра управляющего слова для записи информации. В системе может быть максимум 9 контроллеров, из которых один ведущий, а остальные – ведомые.
- **GAS** – входы (для ведомого)/выходы (для ведущего) – линии выбора. Ведущий выбирает ведомого, сообщая его адрес по данным линиям.
- **CS** – выбор устройства.
- **RD/WR** – управляющие сигналы чтения/записи.
- **D0 ... D7** – входы/выходы шины данных. По этим линиям осуществляется либо программирование контроллера, либо считывание информации о содержимом его регистров.
- **INT** – запрос на прерывание. Если контроллер ведомый, то сигнал с его выхода INT поступает на вход IRQ ведущего, если контроллер ведущий, то – на одноименный вход микропроцессора

Структурная схема контроллера прерываний



БД – буфер данных – предназначен для временного хранения данных.

Схема управления – для приема и формирования сигналов управления чтением и записью.

Блок РУС (регистр управляющего слова) – для записи и хранения управляющих слов, определяющих особенности работы контроллера.

Схема каскадирования – определяет, есть ли каскадирование в системе, и формирует адрес выбираемого ведомого контроллера.

Регистр маски – для хранения маски. Маска – это байт, который определяет, какие из входов запроса могут быть закрыты (замаскированы).

Схема управления прерываниями – для формирования сигнала запроса и приема сигнала разрешения на прерывание.

Регистр состояния – определяет, какой из поступивших запросов будет обслужен.

Схема обработки приоритетов – позволяет сформировать сигнал для обслуживания наиболее приоритетного запроса путем установки соответствующего триггера в регистре состояния.

Регистр запросов на прерывание – для запоминания поступающих запросов на прерывание.

Режимы работы контроллера прерываний

Алгоритм программирования PIC

Для программиста контроллер прерываний схематично представляет собой два входных/выходных порта (две ячейки памяти, отличающихся адресами по линии A0):

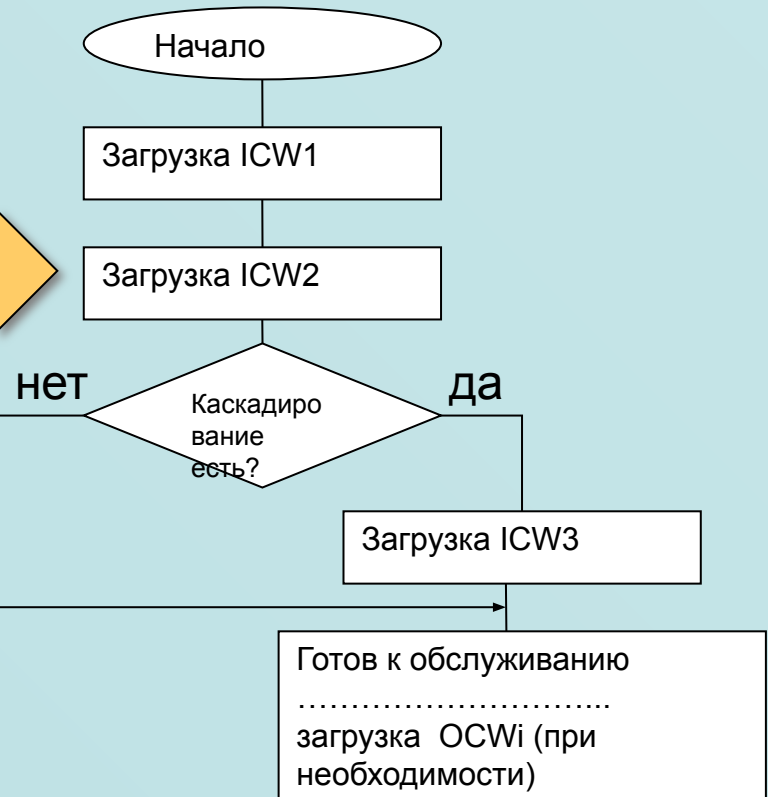
При **A0=0** по команде OUT загружается ICW1;

При **A0=1** по команде OUT загружается ICW2.

При наличии каскадирования: **A0=1**;

По команде OUT загружается ICW3.

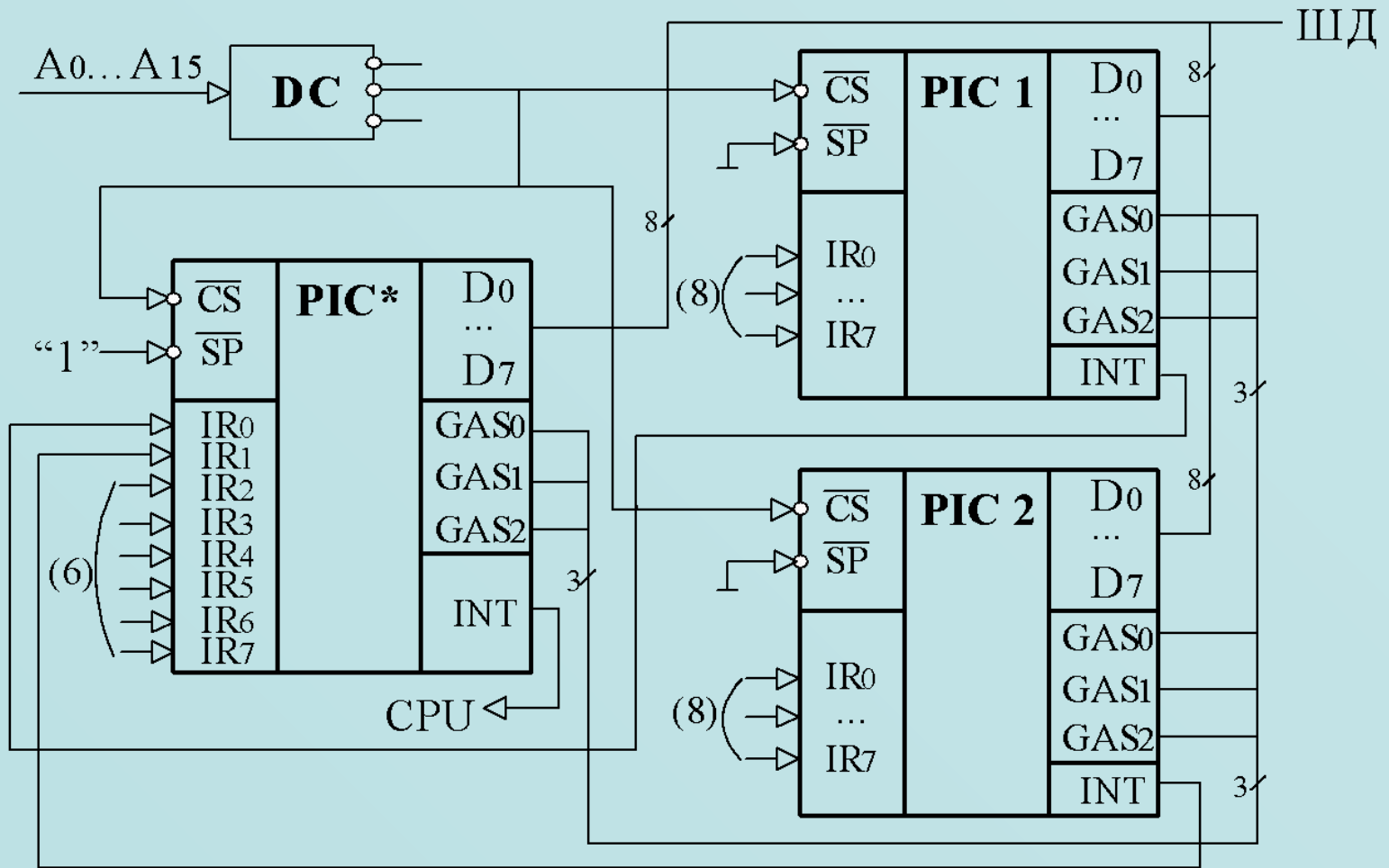
Такая процедура осуществляется для ведущего и ведомого контроллеров последовательно.



Выделяют 5 основных режимов работы контроллера прерываний:

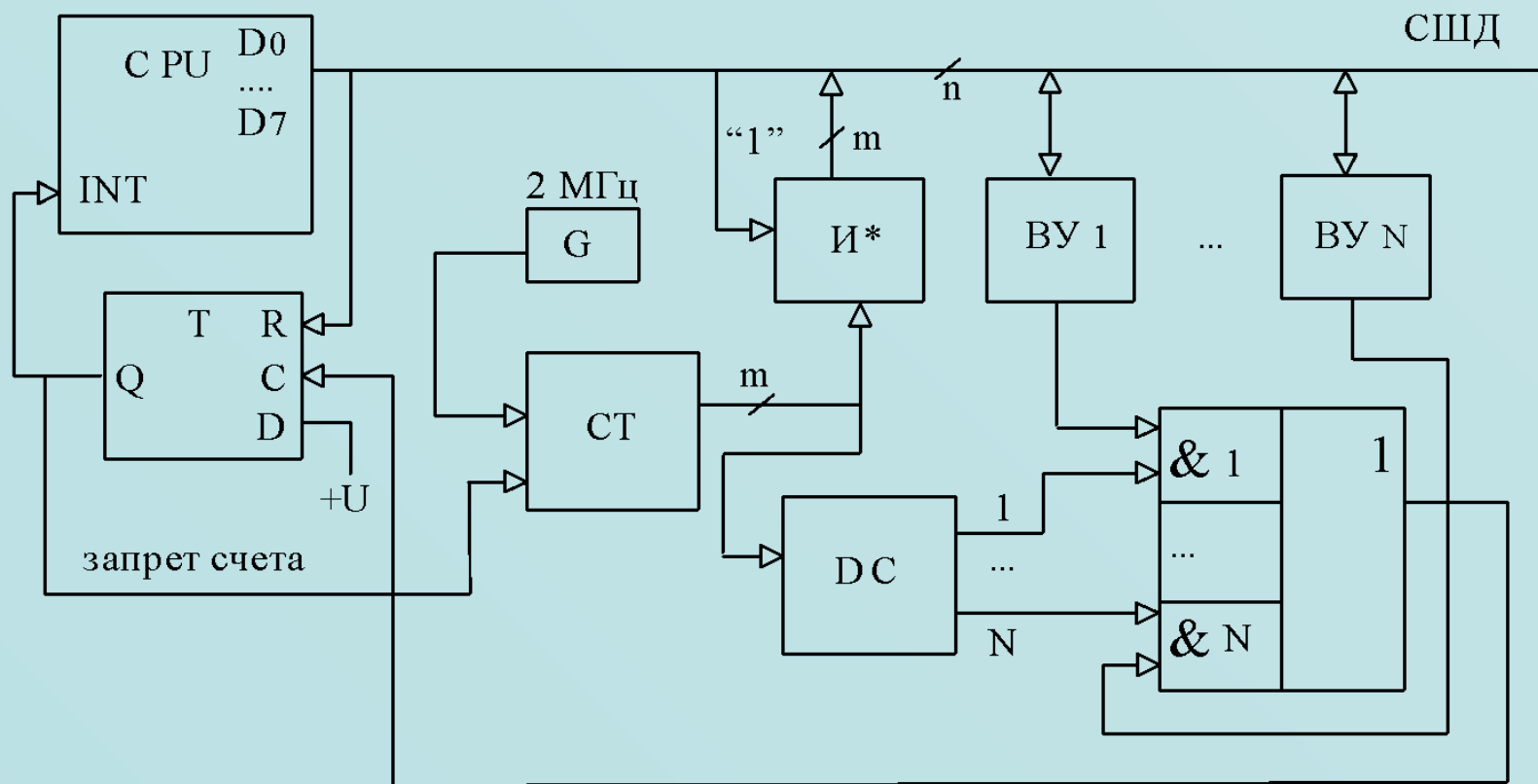
1. Режим фиксированных приоритетов (режим полного вложения подпрограммы обслуживания прерываний);
2. Режим циклического сдвига приоритетов «А»;
3. Режим циклического сдвига приоритетов «В»;
4. Режим специального маскирования;
5. Режим последовательного программного опроса.

Схема каскадирования контроллеров

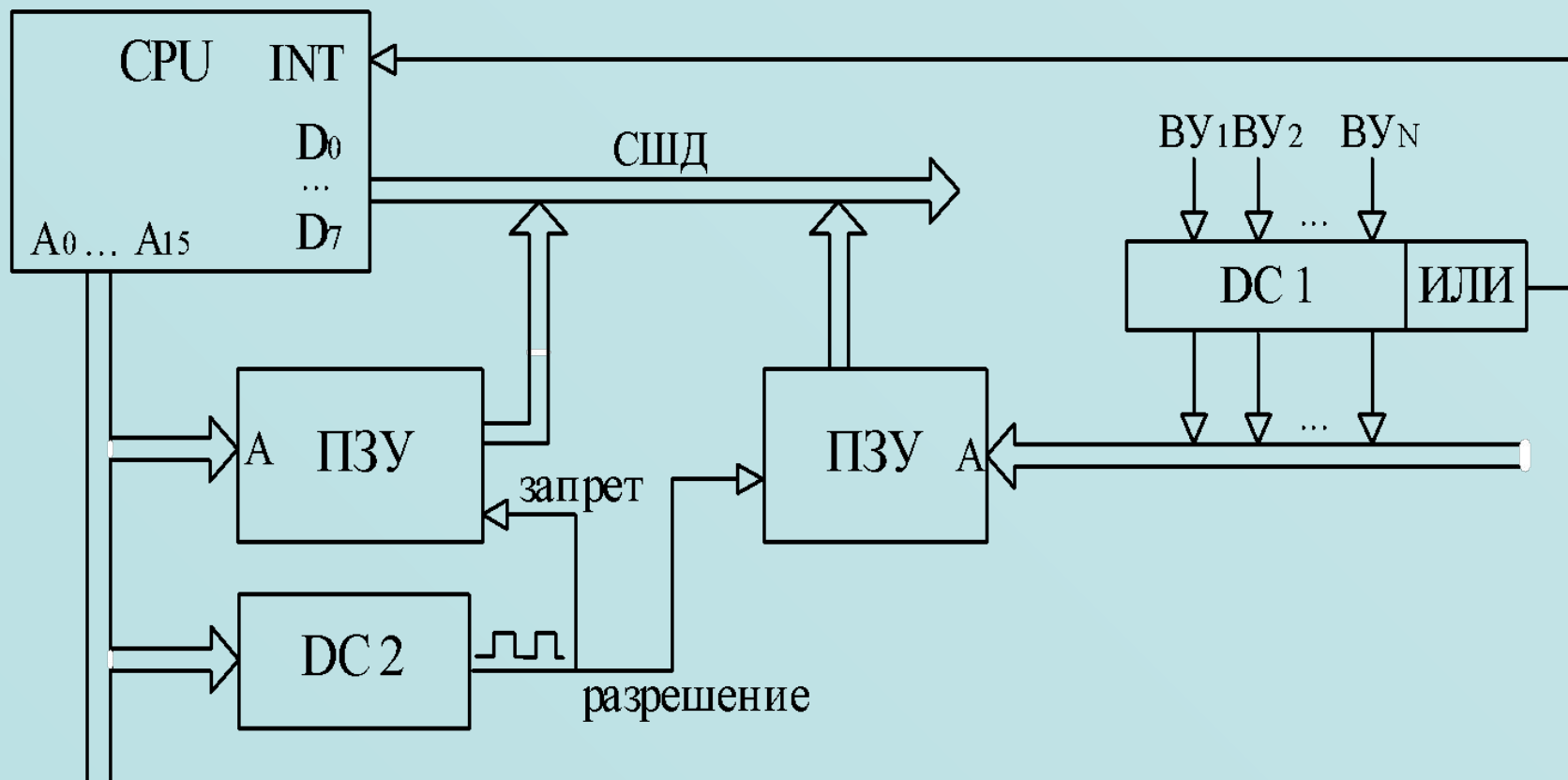


Данная схема позволяет обслужить 22 запроса от внешних устройств. Максимальное же число запросов для каскада из ведущего и 8 ведомых контроллеров = 64.

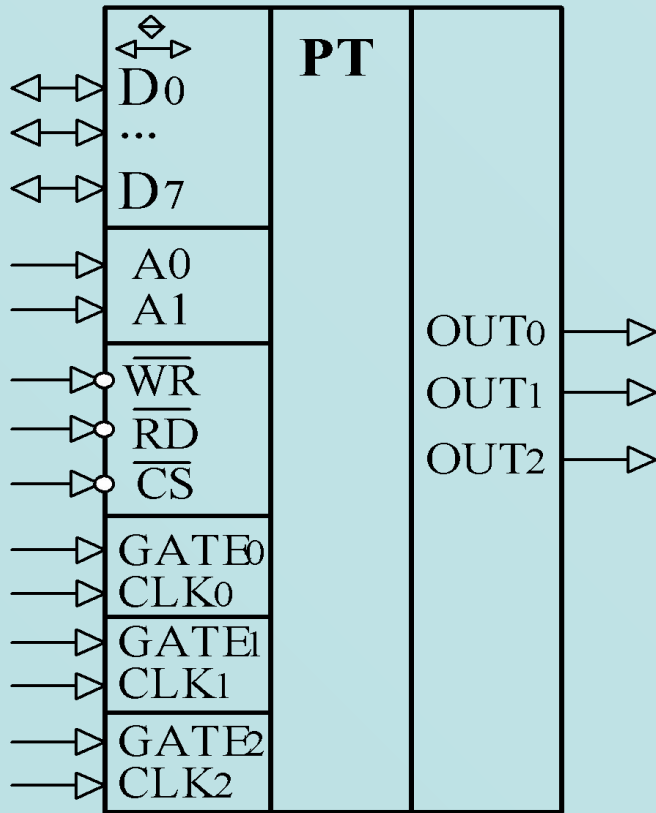
Метод схемного последовательного опроса ВУ



Схема, реализующая передачу вектора прерываний в МП, не обладающий способностью реакции на векторное прерывание



ПРОГРАММИРУЕМЫЙ ТАЙМЕР КР580ВИ53



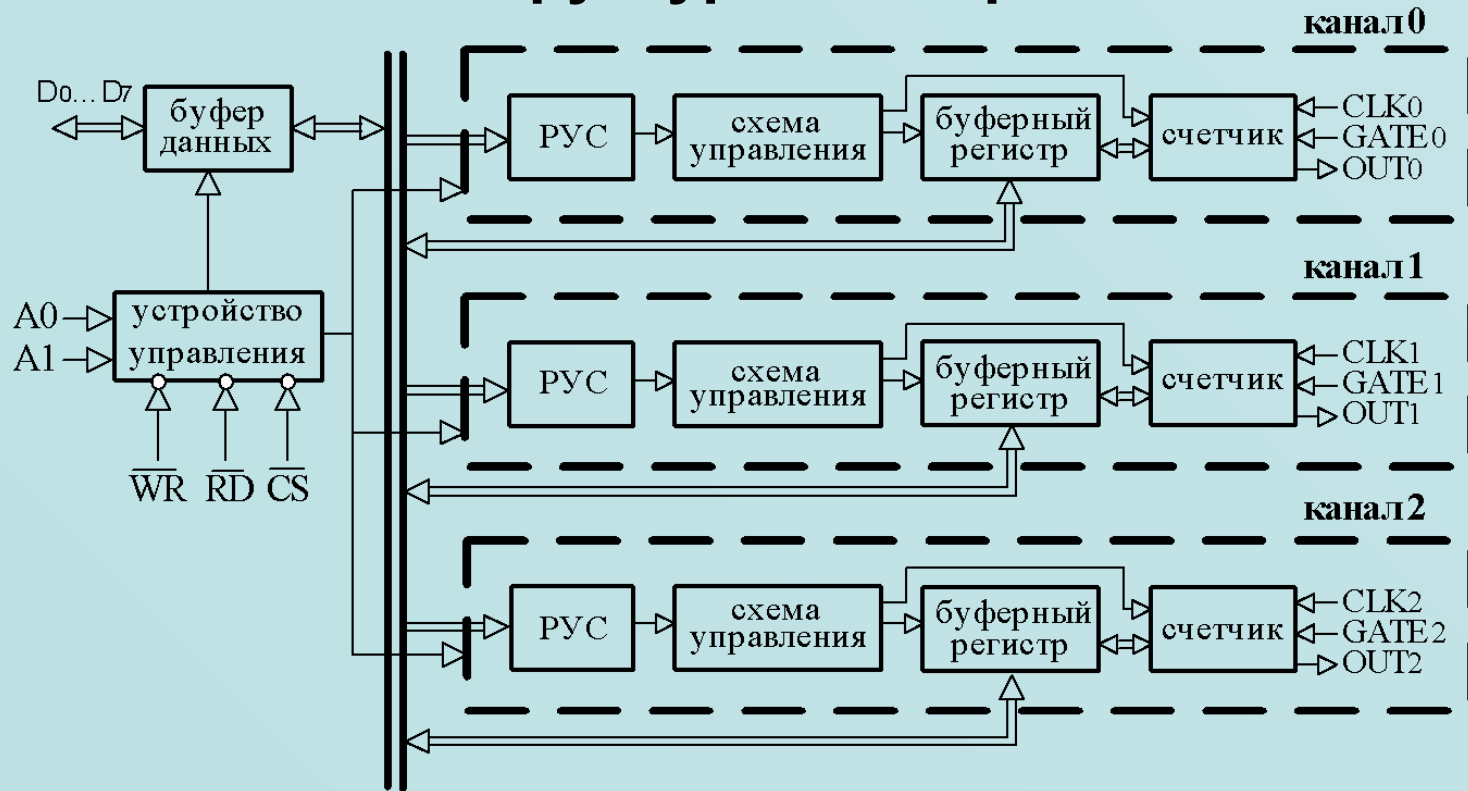
Основные технические характеристики таймера:

- Тактовая частота f до 2 МГц;
- Потребляемая мощность не более 1 Вт;
- n-МОП – технология;
- Один источник питания +5В;
- Нагрузочная способность выходов – 1 ТТЛ вход;
- Диапазон рабочих температур: $-10^{\circ} \div +70^{\circ}C$.

Данное устройство предназначено для задания временных интервалов в микропроцессорных системах и может быть использовано как:

- 1) Одновибратор с программируемой длительностью импульса;
- 2) Программируемый делитель частоты;
- 3) Счетчик.

Структура таймера



ПУС – регистр управляющих слов

БР – буферный регистр

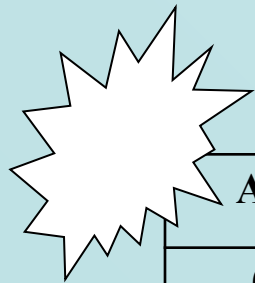
СТ - счетчик

GATE – управляющий вход, который разрешает/запрещает счет (1 – разрешает, 0 – запрещает). Минимальная длительность GATE – 150нс.

CLK – вход для подачи тактовых импульсов.

Используется реверсивный счет с загрузкой начального кода.

Таблица передачи данных

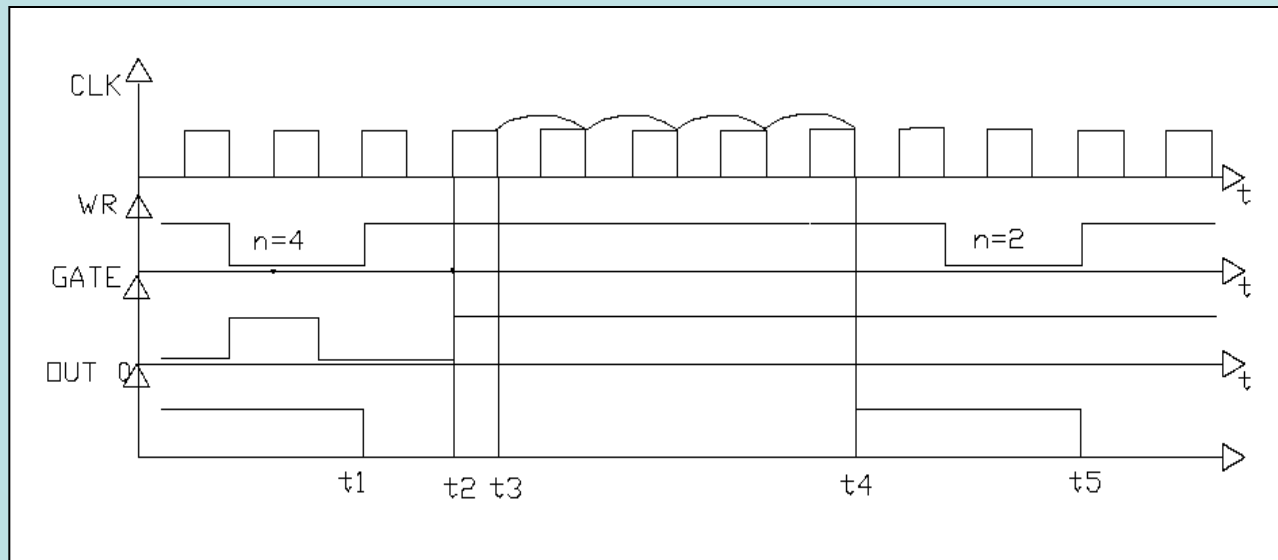


A1	A0	\overline{CS}	\overline{RD}	\overline{WR}	Направление
0	0	0	1	0	ШД МП→СТ0
0	1	0	1	0	ШД МП→СТ1
1	0	0	1	0	ШД МП→СТ2
1	1	0	1	0	ШД МП→РУС
x	x	1	x	x	Отключено
x	x	x	1	1	Отключено
0	0	0	0	1	СТ0→ШД МП
0	1	0	0	1	СТ1→ШД МП
1	0	0	0	1	СТ2→ШД МП
1	1	0	0	1	запрет

Характеристика режимов работы таймера

Нулевой режим

- В нулевом режиме работы с момента записи числа в счетчик на его выходе OUT устанавливается логический «0». Этот сигнал поддерживается до окончания счета. После окончания счета сигнал на выходе OUT становится равным «1» и сохраняется до следующей загрузки. Перезагрузка счетчика во время работы младшим байтом нового числа останавливает счет, а старшим байтом – начинает счет заново для нового кода. Если сигнал GATE становится неактивным (=0) – счет останавливается, если GATE=1 – счет продолжается.





Первый режим

- В первом режиме на выходе счетчика формируется отрицательный импульс, длительность которого определяется следующим образом: низкий уровень сигнала на выходе устанавливается со второго такта CLK при наличии разрешающего сигнала GATE.
 - В отличие от нулевого режима новое число, загружаемое в счетчик при работе, не влияет на текущий счет, а учитывается при следующем запуске. В отличие от нулевого режима здесь программируется не момент перехода к высокому уровню сигнала на выходе счетчика, а длительность отрицательного импульса. Счетчик возможно перезапустить в этом режиме без предварительной загрузки снятием сигнала GATE и затем его подачей
-

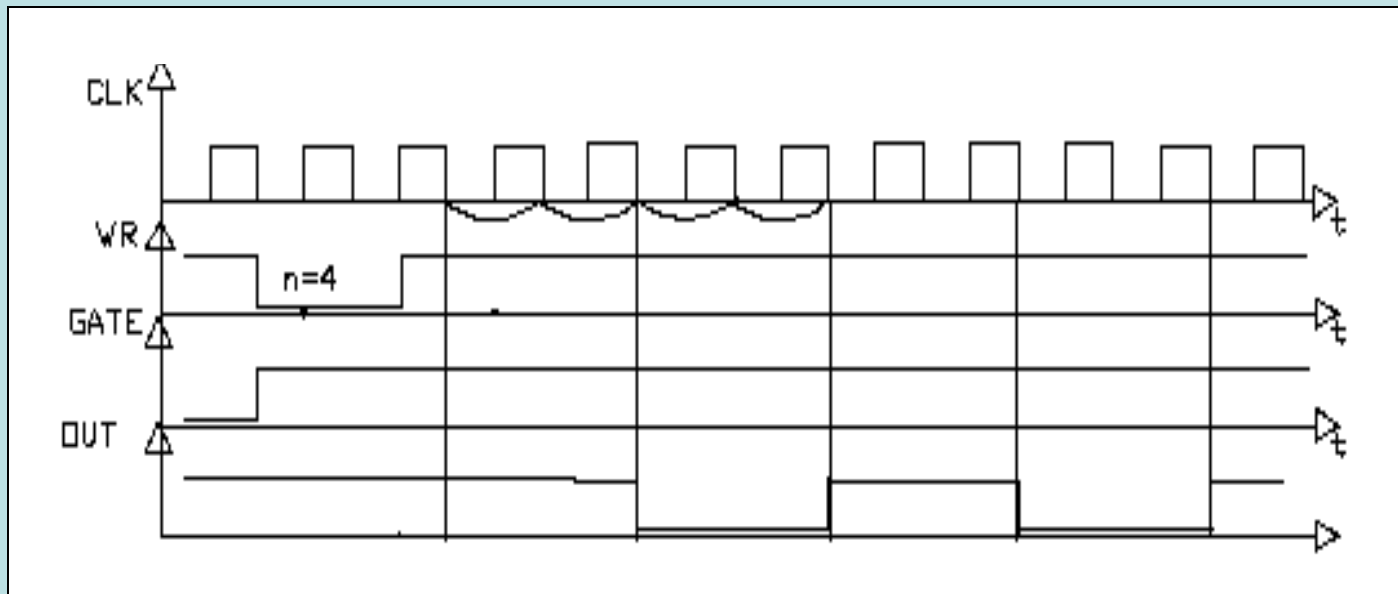


Второй режим

-
- В этом режиме счетчик работает как программируемый делитель частоты. Каждый раз после просчета числа, записанного в счетчик, на выходе появляется отрицательный импульс длительностью в один период тактовой частоты (выдача выходных импульсов осуществляется периодически). Загрузка счетчика новым числом не влияет на момент появления импульса на выходе. Изменения (настройка на новый коэффициент деления) будут производиться только после перезапуска (снятие сигнала GATE, затем его подача).
-

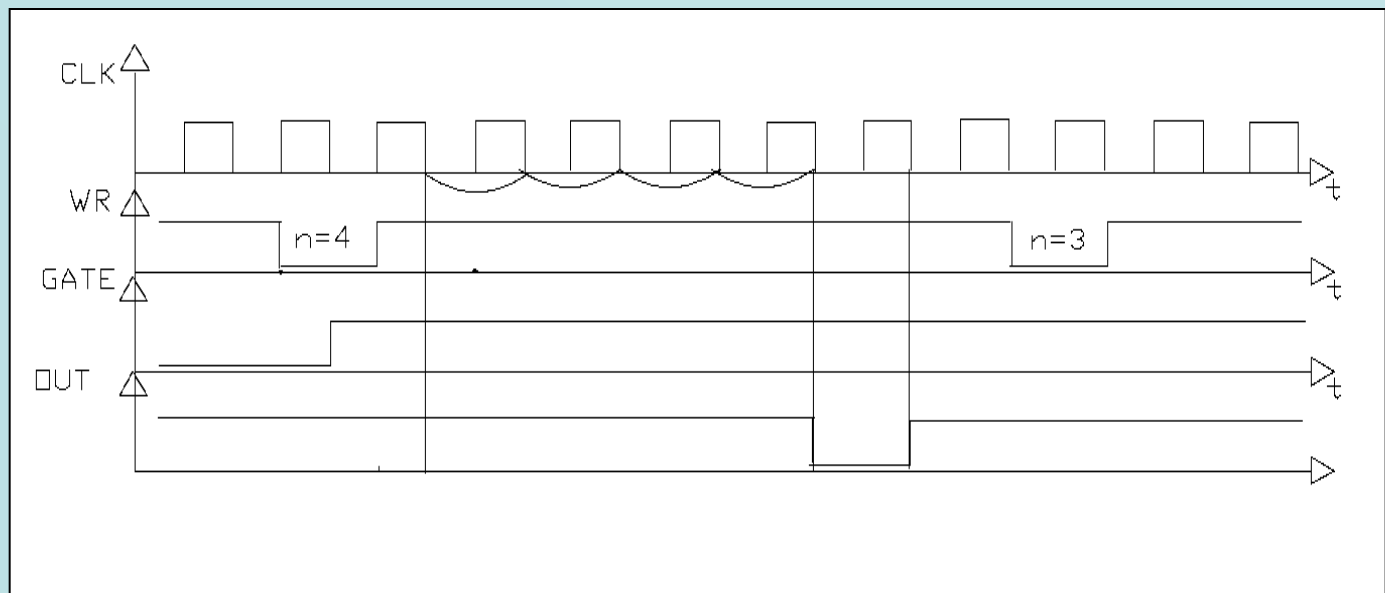
Третий режим

- В этом режиме счетчик работает как программируемый делитель частоты на два. В данном режиме если в счетчик загружено четное число, то на выходе будет формироваться сигнал, у которого длительности отрицательного и положительного импульсов равны между собой и определяются по формуле: $t_i = T_{clk} \cdot n/2$.
Для нечетно числа отрицательный полупериод меньше положительного периода.
Код = 3 загружать нельзя!
Загрузка счетчика новым числом во время счета не влияет на текущий счет, но последующий после запуска счет будет осуществляться с новым коэффициентом пересчета



Четвертый режим

- В режиме «4» после загрузки кода в счетчик и наличия разрешающего сигнала на входе GATE по окончании счета на выходе появляется отрицательный импульс, по длительности равный периоду следования синхроимпульсов CLK. Запись в счетчик во время работы младшего байта нового числа не влияет на текущий счет. Запись старшего байта перезапускает счетчик. Если GATE = 0, то счет запрещен, если GATE=1, то – разрешен.





Пятый режим

- Отличием данного режима от предыдущего является то, что в нем счетчик является перезапускаемым с помощью сигнала GATE. Загрузка счетчика новым числом не влияет на текущий счет, но влияет на последующий после перезапуска.
-

RISC –микропроцессоры

Особенности RISC-микропроцессоров:

- набор команд сокращен до 70-100 команд (вместо нескольких сотен у CISC-микропроцессоров);
- большинство команд выполняется за 1 такт, и лишь немногие - за несколько или даже несколько десятков тактов;
- все команды обработки данных оперируют только содержимым регистров процессора, а для обращения к более медленной оперативной памяти предусмотрены исключительно инструкции вида "загрузить в регистр" и "записать в память";
- команды имеют простой, четко заданный формат;
- из набора команд исключены редко используемые инструкции, а также команд, не вписывающихся в принятый формат;

Наиболее известными RISC-микропроцессоры:
SPARC фирмы Sun Microsystems,
Alpha 21x64 фирмы Digital Equipment
Rx000 фирмы MIPS Computer Systems.

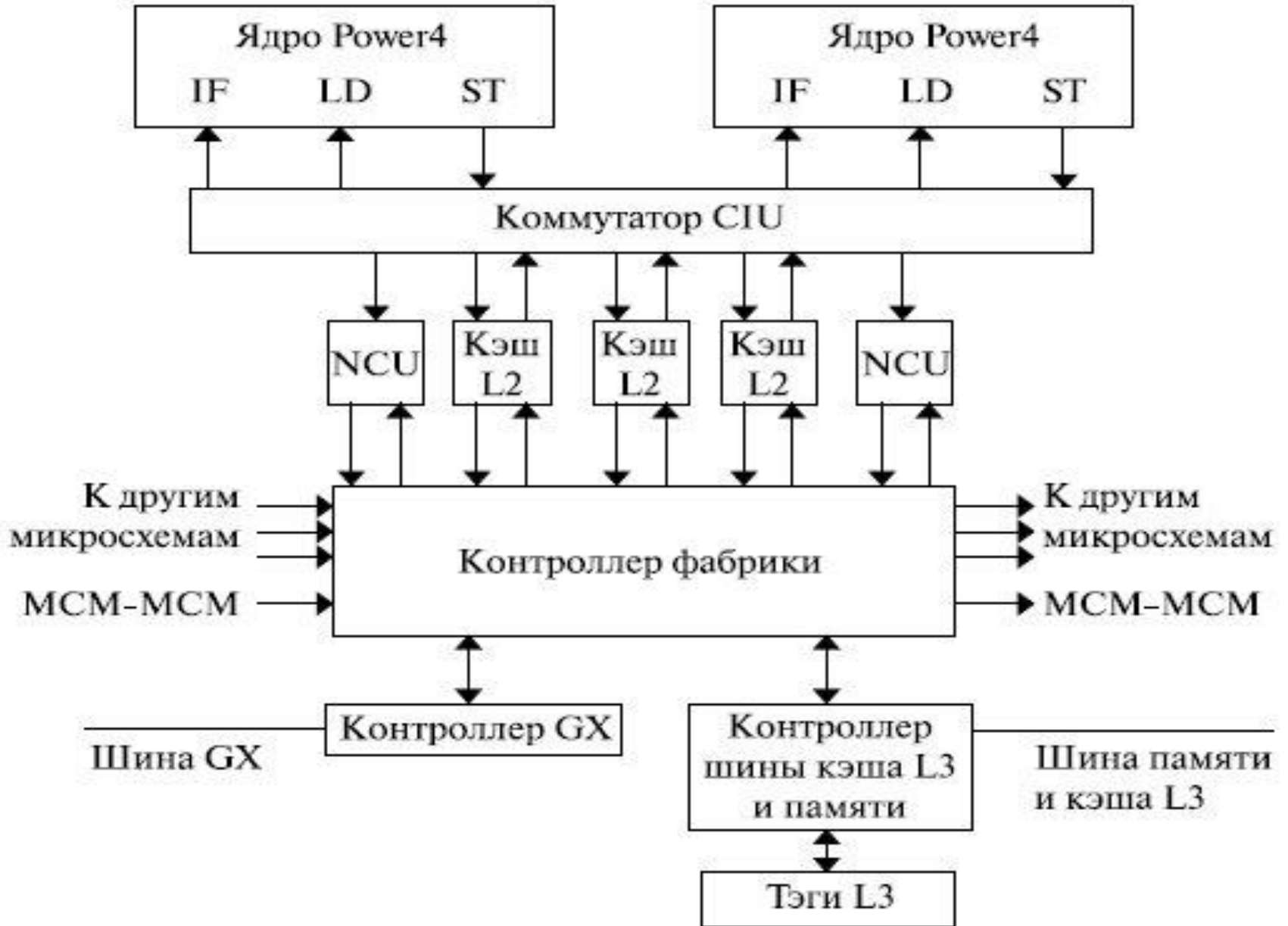
За последние годы активно внедряются в различную аппаратуру RISC-микропроцессоры семейства **PowerPC**.

Среди фирм, выпускающих RISC-микропроцессоры, находятся также Intel, Hewlett Packard.

Совместный проект компаний Apple, Motorola и IBM - микропроцессор **PowerPC** (Performance Optimization With Enhanced RISC) - был ориентирован на создание недорогого, но мощного RISC-процессора и платформы для него.

Рассмотрим организацию работы RISC-микропроцессора на примере МП **Power4** фирмы IBM, который является логическим развитием архитектуры PowerPC.

Структура МП Power4



Структура ядра МП Power 4

