

Цифровые вычислительные устройства и микропроцессоры приборных комплексов

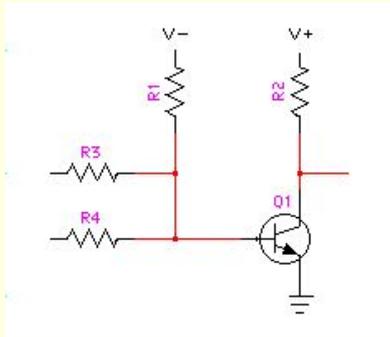
Цифровые интегральные микросхемы

Некрасов Александр Витальевич, канд. техн. наук, доцент кафедры С-16
Соловьёв Сергей Юрьевич, канд. техн. наук, доцент кафедры 303

1. Классификация и основные параметры базовых логических элементов

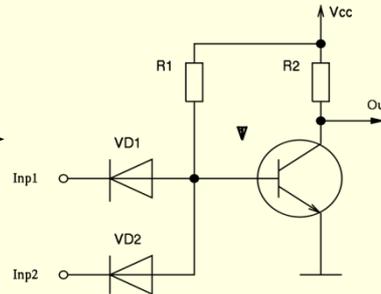
- *Цифровые интегральные микросхемы (ИМС)* – это микроэлектронные изделия, предназначенные для преобразования и обработки цифровых сигналов.
- *Логическим элементом* называется устройство, выполняющее элементарные логические операции И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, относящиеся к функциональным элементам одноступенчатой логики и элементы двухступенчатой логики: И-ИЛИ-НЕ, И-ИЛИ, ИЛИ-И и др.
- *Системой логических элементов* называется функционально полный набор логических элементов, объединенных общими электрическими, конструктивными и технологическими параметрами и использующих одинаковый тип межэлементных связей.
- Системы элементов содержат элементы для выполнения логических операций, запоминающие элементы, элементы, реализующие функции узлов ЭВМ, а также элементы для усиления, восстановления и формирования сигналов стандартной формы.

Развитие схемотехнических базисов цифровых ИМС на биполярных транзисторах

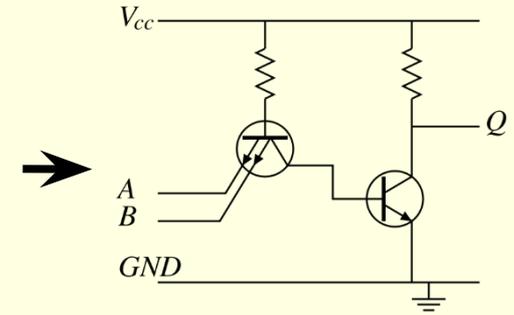


РТЛ

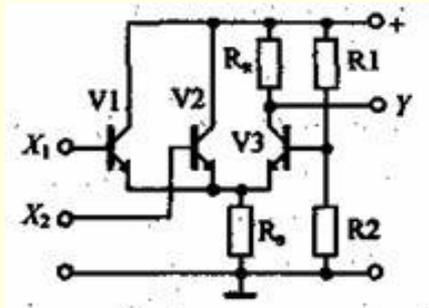
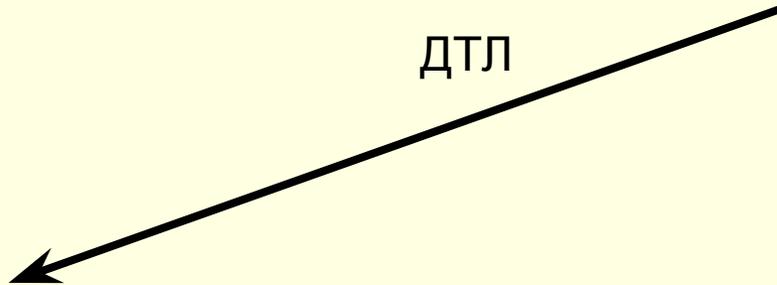
⇒ РКТЛ (РЕТЛ) ⇒



ДТЛ

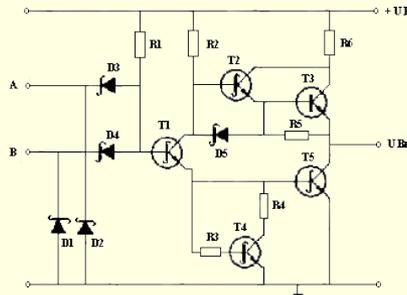


ТТЛ



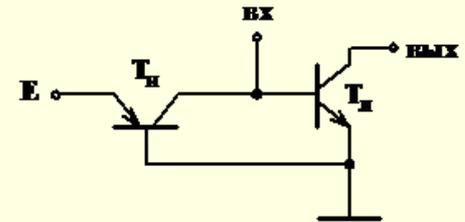
ЭСЛ

⇒



ТТЛШ

⇒



ИИЛ (И²Л)

Схемотехнические базисы

- В названиях этих базисов слово «логика» подразумевает понятие «электронный ключ».
- Наряду со схемами на биполярных транзисторах широкое распространение получили цифровые микросхемы на МОП-структурах (на транзисторах р- и n-типов с обогащённым каналом, **КМОП** – схемы на дополняющих транзисторах).
- Сегодня выпускаются серии микросхем ТТЛ, ЭСЛ, КМОП

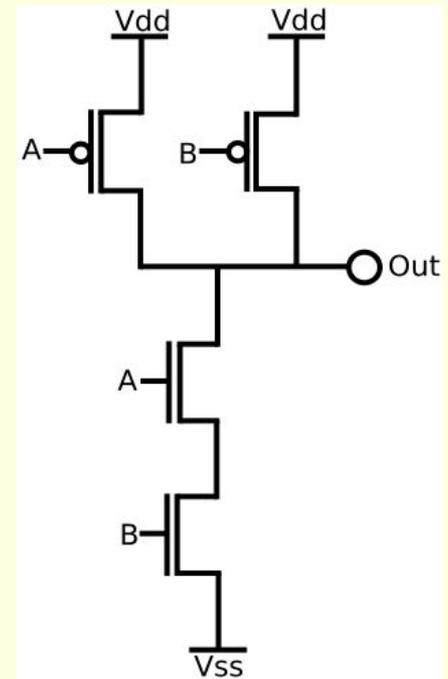
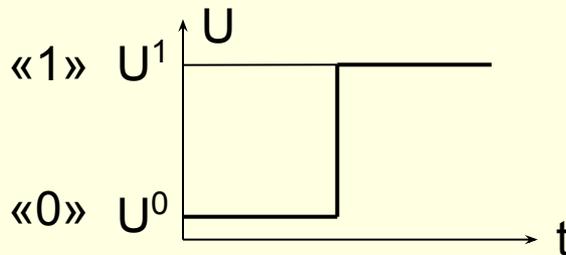


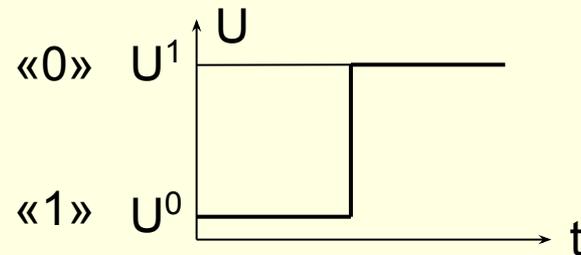
Схема на элементах КМОП

Положительная и отрицательная логика

- Цифровые ИМС могут использовать позитивную или негативную логику.
- Логика называется *позитивной* (положительной), если высокому уровню потенциала U^1 приписывается значение логической единицы, а низкому уровню потенциала U^0 – логический ноль.
- Логика называется *негативной* (отрицательной), если высокому уровню потенциала U^1 приписывается значение логического нуля, а низкому уровню потенциала U^0 – значение логической единицы.



Положительная логика



Отрицательная логика

Основные статические параметры ЛЭ

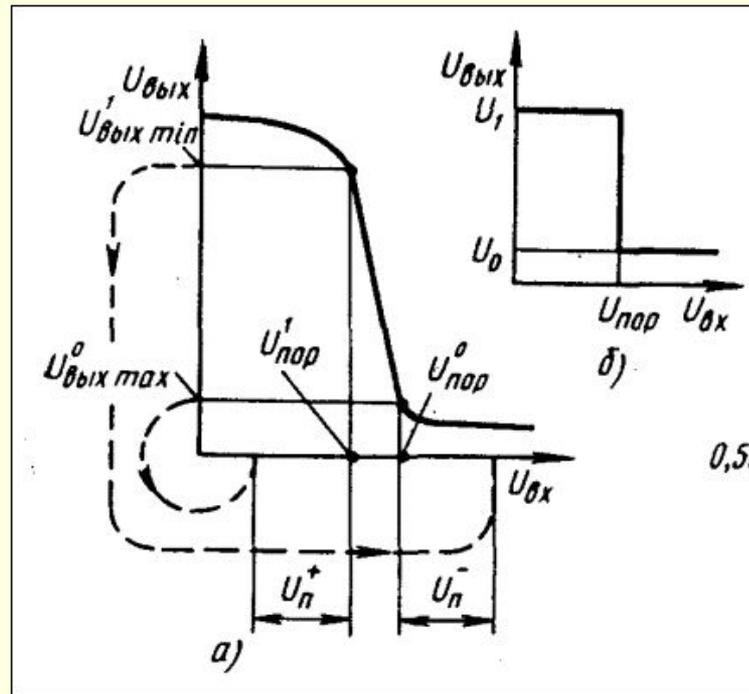
- Основными статическими параметрами ЛЭ являются:
 - напряжение источника питания;
 - входной ток;
 - уровни выходных напряжений;
 - потребляемая мощность ($P_{\text{пот}}$);
 - помехоустойчивость;
 - коэффициент разветвления по выходу $K_{\text{раз}}$ (нагрузочная способность);
 - коэффициент объединения по входу $K_{\text{об}}$.

Входной ток

- **Входной ток** $I_{ВХ}$ определяет нагрузку, которую представляет рассматриваемая схема для предшествующей ей схемы или другого источника сигнала. Наиболее полно этот параметр определяет зависимость $I_{ВХ}(U_{ВХ})$ от напряжения входного сигнала.
- В зависимости от вида полупроводниковых приборов, на которых построена входная логика (диоды или транзисторы, их тип и т. д.), а также от значения входного сигнала (1 или 0 при положительной или отрицательной логике) схемы могут как потреблять ток от источника входного сигнала, так и отдавать его. Поэтому различают входные токи $I_{ВХ}^0$ и $I_{ВХ}^1$ при подаче логического «0» или логической «1».
- Наименьшие входные токи имеют ИМС на МОП-транзисторах (до долей микроампер), наибольшие – быстродействующие ИМС на биполярных транзисторах (до единиц миллиампер).

Уровни выходных напряжений (1)

- По техническим условиям гарантируются наибольший и наименьший уровни выходных напряжений, соответствующих логической «1» и логическому «0» при изменениях напряжения питания, нагрузки, температуры и т. д.
- Рассмотрим уровни напряжений на примере инвертора (элемента НЕ).



Уровни выходных напряжений (2)

- Напряжение $U_{\text{вых min}}^1$ соответствует минимальному уровню логической «1» на выходе, а напряжение $U_{\text{вых max}}^0$ – максимальному уровню логического «0». Для современных ИМС эти параметры имеют значения от долей до единиц вольт.
- Абсцисса точки пересечения передаточной характеристики с уровнем $U_{\text{вых min}}^1$ называется **входным пороговым напряжением логической «1»** и обозначается $U_{\text{пор}}^1$, а абсцисса точки пересечения с уровнем $U_{\text{вых max}}^0$ – **входным пороговым напряжением логического «0»** $U_{\text{пор}}^0$.
- При напряжении входного сигнала $U_{\text{вх}} < U_{\text{пор}}^1$ на выходе элемента поддерживается уровень логической «1», при $U_{\text{вх}} > U_{\text{пор}}^0$ – уровень логического «0».
- Диапазон напряжений на входе $U_{\text{пор}}^1 < U_{\text{вх}} < U_{\text{пор}}^0$ и диапазон напряжений на выходе $U_{\text{вых max}}^0 < U_{\text{вых}} < U_{\text{вых max}}^1$ соответствует **области переключения**, в которой схема находится только во время действия фронтов входных сигналов.

Потребляемая мощность (1)

- В зависимости от технологии микросхем, мощности, потребляемые в состоянии логического «0» и в состоянии логической «1», могут отличаться.
- ЛЭ можно разделить на две большие группы:
 - к первой принадлежат элементы, у которых $P_{\text{потр. пп}} \gg P_{\text{потр. стат. сост.}}$;
 - ко второй – элементы, у которых $P_{\text{потр. стат. сост.}} \gg P_{\text{потр. пп}}$.
- По потребляемой мощности ИМС можно разделить на:
 - относительно мощные $1 \text{ мВт} < P_{\text{потр.}} < 1 \dots 3 \text{ Вт}$;
 - маломощные $1 \text{ мкВт} < P_{\text{потр.}} < 1 \dots 10 \text{ мВт}$;
 - «нановаттные» $P_{\text{потр.}} < 1 \text{ мкВт}$.

Потребляемая мощность (2)

- **Средняя потребляемая мощность в динамическом режиме** для ИМС на биполярных транзисторах (в предположении, что схема примерно одинаковое время находится в состояниях «0» и «1»), определяется как

$$P_{\text{потр}} = 0,5(P_{\text{пот}}^0 + P_{\text{пот}}^1) = 0,5(I^0 U_{\text{п}} + I^1 U_{\text{п}}),$$

где $P_{\text{потр}}^0$ – мощность, потребляемая микросхемой при состоянии выхода «0», а $P_{\text{потр}}^1$ – мощность при выходном состоянии «1».

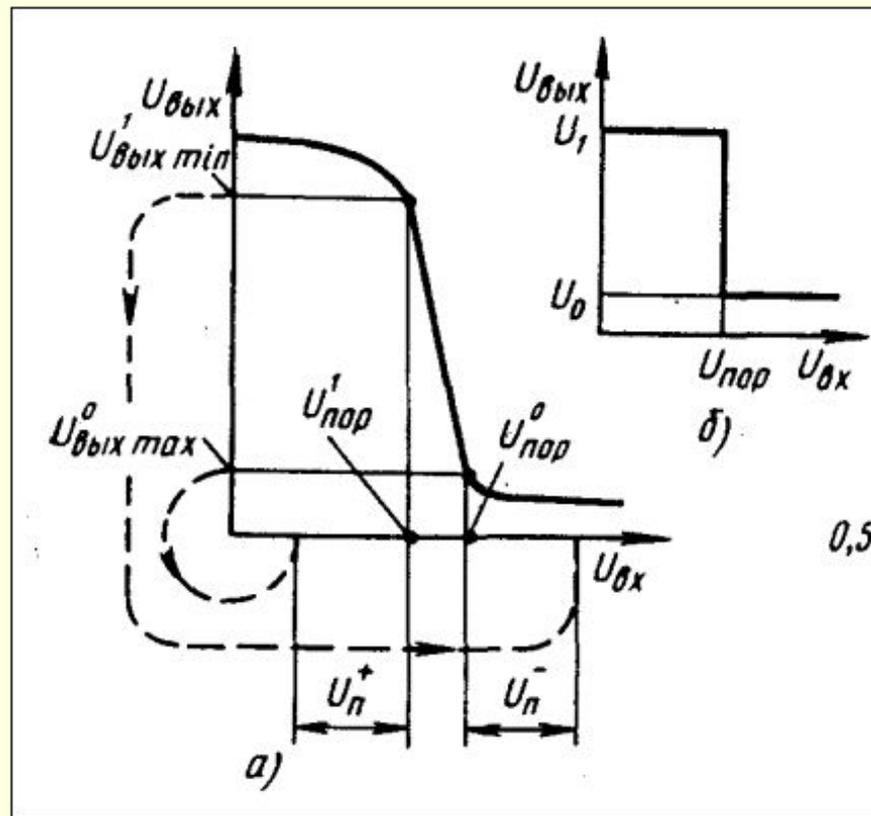
- Так как эта мощность отводится (рассеивается) в виде теплоты, её называют также **рассеиваемой мощностью**.
- Некоторые ЛЭ кроме статической средней мощности характеризуются **мощностью, потребляемой на максимальной частоте переключения**, когда токи в цепях питания возрастают во много раз. К таким схемам относятся микросхемы КМОП-технологии, которые потребляют микроамперы, если нет переключающих сигналов.

Помехоустойчивость

- **ИМС, принадлежащие одной серии, спроектированы взаимно согласованными**, т. е. уровни выходных сигналов одного ЛЭ (даже при их изменении в допустимых пределах) могут использоваться в качестве уровней входного сигнала следующего элемента без каких-либо согласующих устройств.
- **Допустимый уровень напряжения помехи** ЛЭ определяется уровнем входного напряжения, при котором ещё не происходит ложное срабатывание микросхемы.
- **В статическом режиме** помехоустойчивость определяется по низкому $U_{\text{пом}}^0$ и высокому $U_{\text{пом}}^1$ уровням.
- Помехоустойчивость **в динамическом режиме** зависит от длительности, амплитуды и формы импульса помехи, а также от запаса статической помехоустойчивости и скорости переключения ЛЭ.

Статическая помехоустойчивость (1)

- Параметры статической помехоустойчивости проиллюстрированы на рисунке построением, выполненным штриховыми линиями.



Статическая помехоустойчивость (2)

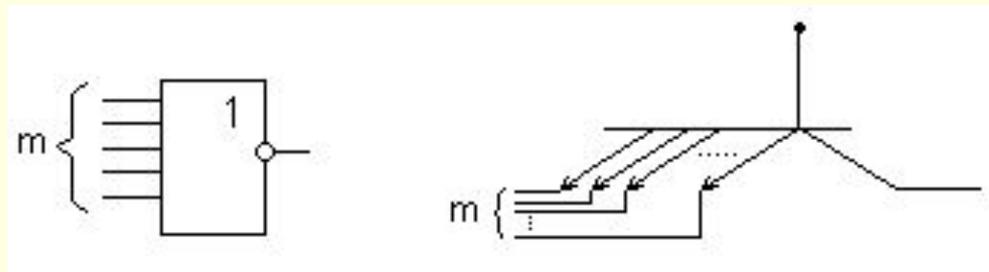
- Из построения видно, что между $U_{\text{вых max}}^0$, поданным на вход следующего элемента, и $U_{\text{пор}}^1$ имеется запас $U_{\text{п}}^+$. Этот запас означает, что переключения этого элемента из 1 в 0 не произойдет даже в том случае, если входной сигнал, соответствующий логическому «0», превысит по какой-либо причине значение $U_{\text{вых max}}^0$, но на величину, не большую, чем $U_{\text{п}}^+$. Значение $U_{\text{п}}^+$ и характеризует помехоустойчивость ИМС к положительным изменениям напряжения.
- Аналогично, если на вход следующего элемента подано с выхода предыдущего напряжение логической 1, даже меньшее, чем $U_{\text{вых min}}^1$, но на величину, не превышающую $U_{\text{п}}^-$, то переключения из 0 в 1 этого элемента не произойдет, так как $U_{\text{вх}}^0$ окажется всё-таки большим порогового $U_{\text{п}}^-$. Параметр $U_{\text{п}}^-$ характеризует помехоустойчивость ИМС к отрицательным изменениям напряжения. Этот параметр для различных типов микросхем колеблется от десятых долей до единиц вольт.

Динамическая помехоустойчивость

- **Динамическая помехоустойчивость** в общем случае зависит от многих параметров.
- Анализ динамической помехоустойчивости ЛЭ должен происходить с применением запоминающего элемента – триггера, построенного на основе базовых функциональных элементов, поскольку триггер в конечном счёте фиксирует превращение помехи в ложную информацию, т. е. запоминает сигнал помехи.
- Изменяя амплитуду и длительность импульсных помех, воздействующих на входы, и добиваясь его срабатывания, можно получить границы динамической помехоустойчивости функциональных элементов при воздействии различных форм импульсных помех.
- В результате анализа поведения триггера может быть графически определена зона динамической помехоустойчивости функциональных элементов.

Коэффициент разветвления по выходу, коэффициент объединения по входу

- **Коэффициент разветвления по выходу $K_{\text{раз}}$** определяет число входов аналогичных элементов, которое может быть подключено к выходу предыдущего элемента без нарушения его работоспособности.
 - С увеличением нагрузочной способности расширяются возможности применения цифровых микросхем и уменьшается число корпусов в разрабатываемом устройстве. Однако при этом ухудшаются помехоустойчивость и быстродействие микросхемы и возрастает потребляемая мощность.
- **Коэффициент объединения по входу $K_{\text{об}}$** определяет максимальное число входов цифровых микросхем.

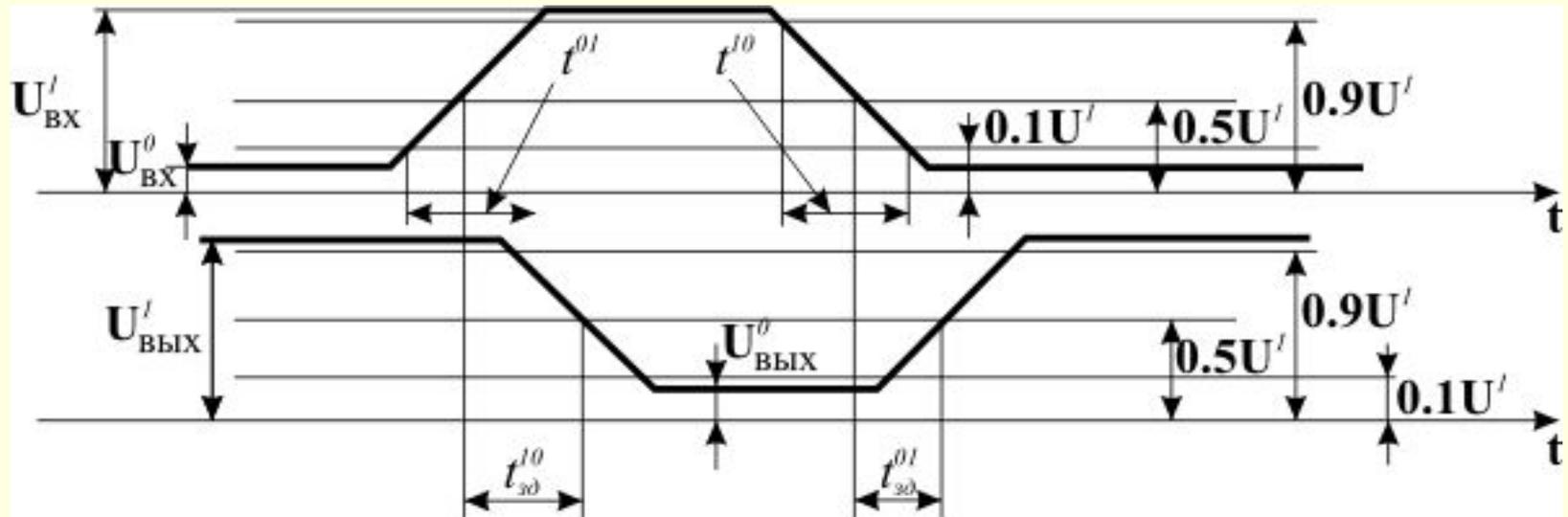


Динамические параметры логических элементов (1)

- К основным динамическим параметрам ЛЭ относятся:
 - t^{01} – время перехода при включении (фронт формирования уровня логической «1»);
 - t^{10} – время перехода при выключении (фронт формирования уровня логического «0»);
 - $t_{зд}^{10}$ – время задержки распространения при включении (переключении из состояния логической «1» в состояние логического «0»);
 - $t_{зд}^{01}$ – время задержки распространения при выключении (переключении из состояния логического «0» в состояние логической «1»);
 - $t_{зд\ ср}$ – среднее время задержки распространения (интервал времени, равный полусумме времён задержки распространения сигнала при включении и при выключении; в дальнейшем это время будем называть временем задержки элемента $t_{зд}$).
 - $t_{и}$ —длительность импульса;
 - $f_{р}$ —рабочая частота.

Динамические параметры логических элементов (2)

- Определение этих параметров обеспечивается при сравнении сигналов на входе и выходе ЛЭ, т. е. при рассмотрении процесса передачи информации через ЛЭ.
- Временная диаграмма входного и выходного сигналов элемента «НЕ», на которой отмечены его динамические параметры:



Эксплуатационные параметры

- Кроме рассмотренных параметров, характеризующих электрический режим работы ИМС, используют и эксплуатационные параметры, характеризующие работоспособность ИМС в условиях воздействия окружающей среды.
- К числу таких параметров относятся следующие:
 - диапазон рабочих температур;
 - допустимые механические воздействия (частота и амплитуда вибраций, ударные нагрузки, ускорения);
 - границы допустимого диапазона изменения атмосферного давления, влажности и т. д.

2. Серии логических микросхем

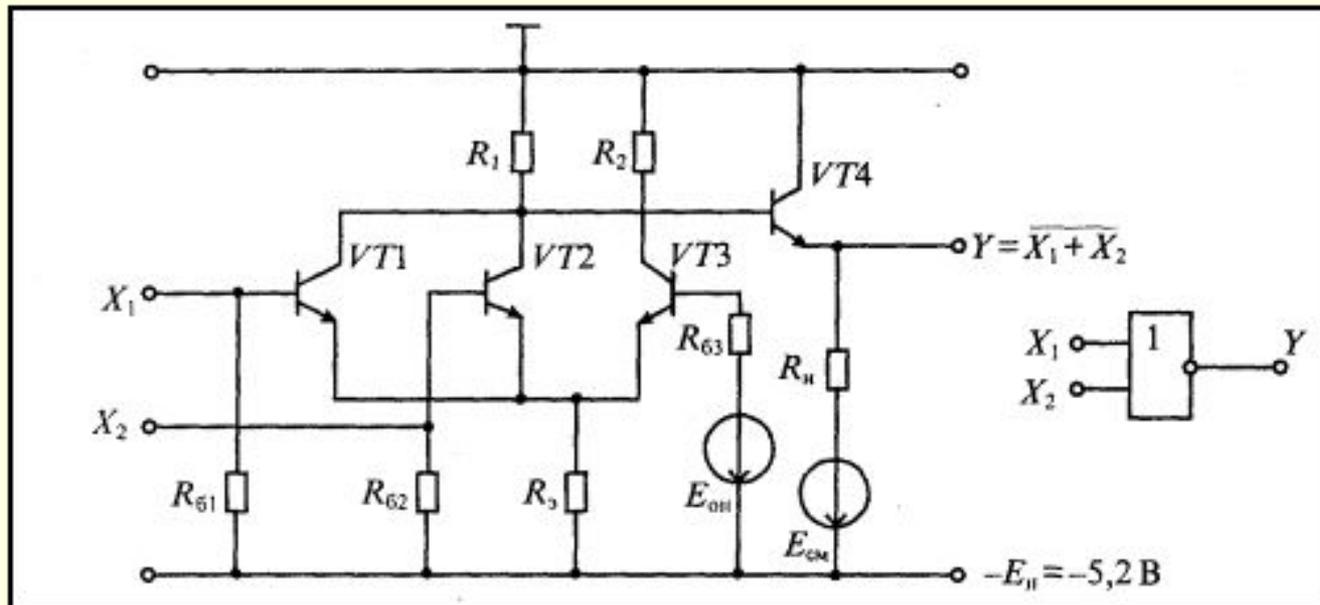
- В зависимости от технологии изготовления логические ИМС делятся на серии, отличающиеся набором элементов, напряжением питания, потребляемой мощностью, динамическим параметрам и др.
- Наибольшее применение получили серии логических ИМС, выполненные по технологиям **ТТЛ (транзисторно-транзисторная логика)**, **ЭСЛ (эмиттерно-связанная логика)** и **КМОП (комплиментарная МОП логика)**.
- Каждая из перечисленных технологий совершенствовалась, поэтому в каждой серии ИМС имеются подсерии, отличающиеся по параметрам.

Микросхемы ТТЛ и ТТЛШ

- В ИМС, выполненных по технологии ТТЛ, в качестве базового элемента используется многоэмиттерный транзистор. Многоэмиттерный транзистор (МЭТ) имеет несколько эмиттеров, расположенных так, что прямое взаимодействие между ними исключается. Благодаря этому переходы база-эмиттеры МЭТ можно рассматривать как параллельно включённые диоды.
- В ИМС, выполненных по технологии ТТЛШ, используется сложный инвертор с двуполярным ключом, а для исключения насыщения МЭТ – диоды Шотки с малым падением напряжения в прямом направлении (ТТЛШ).
- Первым разработчиком ИМС по технологии ТТЛ является фирма **Texas Instruments**, которая выпустила ИМС серии **SN74**. Дальнейшие усовершенствования этой серии были направлены на повышение быстродействия и снижение потребляемой мощности.

Микросхемы ЭСЛ (1)

- В ИМС, выполненных по технологии ЭСЛ, в качестве базового элемента используется дифференциальный усилитель.
- Упрощённая схема логического элемента ИЛИ-НЕ с дифференциальным усилителем приведена на рисунке.

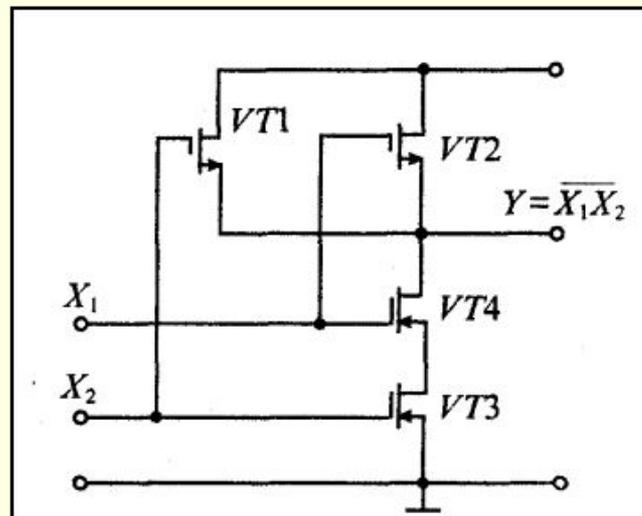


Микросхемы ЭСЛ (2)

- Высокое быстродействие ИМС ЭСЛ обусловлено тем, что в этих элементах транзисторы работают в ненасыщенном (линейном) режиме. На выходе элемента применяется эмиттерный повторитель, который обеспечивает *быстрый заряд ёмкости нагрузки*.
- Повышение быстродействия в этих элементах достигается также ограничением перепада выходного напряжения, что связано с *уменьшением помехоустойчивости*.
- Первым разработчиком ИМС по технологии ЭСЛ была фирма **Motorola**, которая выпустила серию ИМС MC 10000 (MC10K).

Микросхемы КМОП (1)

- В ИМС, выполненных по технологии КМОП, в качестве базового элемента используются ключевые схемы, построенные на комплиментарных МОП-транзисторах.
- Применение полевых транзисторов с изолированным затвором обеспечивает высокое входное сопротивление микросхем КМОП.
- Из-за малой входной ёмкости и высокому сопротивлению микросхемы КМОП чувствительны к статическому электричеству. Пробой изоляции под затвором происходит при напряжении около 30 В, в результате чего транзистор повреждается.



Микросхемы КМОП (2)

- Защита входов ИМС КМОП осуществляется с помощью встроенных диодов или стабилитронов, подключенных к линиям питания ИМС.
- Достоинствами ИМС КМОП являются:
 - малая потребляемая мощность,
 - высокая помехозащищенность,
 - высокое быстродействие,
 - высокая нагрузочная способность.
- Питание таких ИМС производится от источника напряжения +5...+15В.
- Разработка первых ИМС КМОП серии **CD4000** была выполнена фирмой RCA в 1968 г. Позднее эта фирма выпустила еще две серии усовершенствованных ИМС **CD4000A** и **CD4000B**.

Микросхемы КМОП (3)

- По сравнению с ИМС ТТЛ микросхемы КМОП имеют следующие достоинства:
 - малая потребляемая мощность в диапазоне частот до 2 МГц (мощность в статическом режиме не превышает 1 мкВт);
 - большой диапазон напряжений питания (от 3 до 15 В);
 - очень высокое входное сопротивление (больше 1 МОм);
 - большая нагрузочная способность (коэффициент разветвления больше 50).
- Недостатки ИМС КМОП относятся:
 - большие времена задержки (до 100 нс);
 - повышенное выходное сопротивление (до 1 кОм);
 - значительный разброс всех параметров.

Микросхемы КМОП (4)

■ Основные параметры ИМС КМОП

Серия ИМС	Потребляемая мощность, мВт	Задержка распространения, нс	Максимальная частота, МГц	Коэффициент разветвления
CD4000	30	200	5	50
CD4000A	50	100	5	50
CD4000B	100	30	10	100
54НС	100	10	50	50

- Уровни выходных сигналов зависят от напряжения питания.
- Совершенствование технологии ИМС КМОП привело в настоящее время к тому, что характеристики наиболее быстродействующих ИМС КМОП серии **54НС** практически сравнялись с характеристиками ИМС ТТЛ серии **SN74TS**.

3. Сравнительные характеристики базовых логических элементов

■ Быстродействие

Тип ИЛЭ	ТТЛ	ТТЛШ	ЭСЛ	И ² Л	n-МОП	КМОП
$t_{\text{зад. ср.}}^{\text{нс}}$	5...20	2...10	0,5...3	10...100	10 (для короткого канала)... ...100	2 (для короткого канала)..... 50

■ Помехоустойчивость

Тип ИЛЭ	ТТЛ	ТТЛШ	ЭСЛ	И ² Л	n-МОП	КМОП
Статич. помехоуст., В	0,8...1	0,5...0,8	0,2...0,3	0,02...0,05	2...3	1...2

■ Средняя потребляемая мощность

Тип ИЛЭ	ТТЛ	ТТЛШ	ЭСЛ	И ² Л	n-МОП	КМОП
$P_{\text{потр. сред.}}^{\text{мВт}}$	1...20	1...20	20...50	0,01...0,1	1...10	0,01...0,1

4. Типы выходных каскадов цифровых элементов

- Цифровые элементы (логические, запоминающие, буферные) могут иметь выходы следующих типов:
 - логические;
 - с третьим состоянием;
 - с открытым эмиттером (истокон).
 - с открытым коллектором (стоком);
- Наличие четырёх типов выходов объясняется различными условиями работы элементов в логических цепях, в магистрально-модульных микропроцессорных системах и т. д.

Логический выход (1)

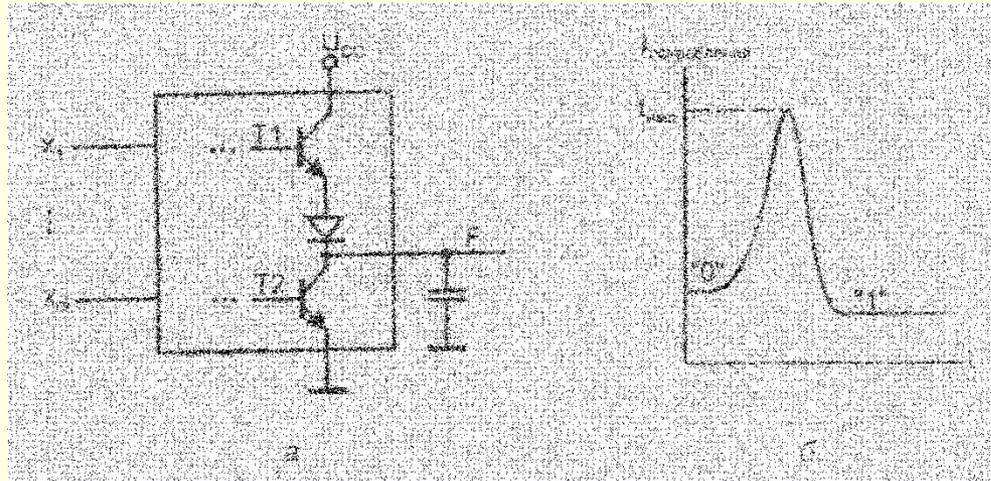
- **Логический выход** формирует два уровня выходного напряжения (U^0 и U^1).
- $R_{\text{вых}}$ логического выхода стремятся сделать малым, способным развивать большие токи для перезаряда ёмкостных нагрузок и, следовательно, получения высокого быстродействия элемента.
- Такой тип выхода имеют большинство ЛЭ, используемых в комбинационных цепях.
- Схемы логических выходов элементов ТТЛ(Ш) и КМОП подобны двухтактным каскадам – в них оба фронта выходного напряжения формируются с участием активных транзисторов, работающих противофазно, что обеспечивает малые $R_{\text{вых}}$ при любом направлении переключения выхода.

Логический выход (2)

- Особенность таких выходов состоит в том, что их нельзя соединять параллельно.
 - Во-первых, это создает логическую неопределённость, т. к. в точке соединения выхода, формирующего логическую единицу, и выхода, формирующего логический ноль, не будет нормального результата.
 - Во-вторых, при соединении выходов, находящихся в различных логических состояниях, возникло бы их «противоборство». Вследствие малых величин выходных сопротивлений уравнивающий ток при этом может достигать достаточно большой величины, что может вывести из строя электрические элементы выходной цепи.
- Вторая особенность логического выхода двухтактного типа связана с протеканием через оба транзистора коротких импульсов тока при переключениях из одного логического состояния в другое. Эти токи протекают от источника питания на общую точку («землю»). В статических состояниях таких токов быть не может, т. к. транзисторы Т1 и Т2 работают в противофазе, и один из них всегда заперт. Однако в переходном процессе из-за некоторой несинхронности переключения транзисторов возникает кратковременная ситуация, в которой проводят оба транзистора, что и порождает короткий импульс сквозного тока значительной величины.

Логический выход (3)

- Схема выходной цепи цифрового элемента (а) и график изменения потребляемого им тока в процессе переключения (б)

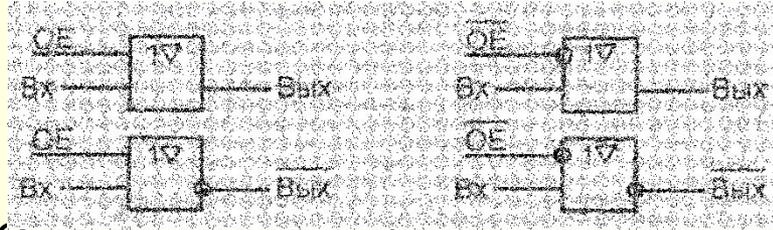


Элементы с тремя состояниями выхода (1)

- **Элементы с тремя состояниями (ТС)** выхода кроме логических состояний 0 и 1 имеют состояние «отключено», в котором ток выходной цепи пренебрежимо мал.
- В это состояние (третье) элемент переводится специальным управляющим сигналом, обеспечивающим запертое состояние обоих транзисторов выходного каскада (Т1 и Т2).
- Сигнал управления элементом типа ТС обычно обозначается как OE (Output Enable). При наличии разрешения (OE = 1) элемент работает как обычно, выполняя свою логическую операцию, а при его отсутствии (OE = 0) переходит в состояние «отключено».
- В цифровых устройствах широко используются буферные элементы типа ТС для управляемой передачи сигналов по тем или иным линиям. Буферы могут быть неинвертирующими или инвертирующими, а сигналы OE – Н-активными или L-активными, что ведёт к наличию четырёх типов буферных каскадов.

Элементы с тремя состояниями выхода (2)

- **Типы буферных каскадов с третьим состоянием**



- Выходы типа ТС отмечаются в обозначениях элементов значком треугольника или буквой **Z**.
- Выходы типа ТС можно соединять параллельно при условии, что в любой момент времени активным может быть только один из них. В этом случае отключённые выходы не мешают активному формировать сигналы в точке соединения выходов. Эта возможность позволяет применять элементы типа ТС в магистрально-модульных микропроцессорных системах, где многие источники информации поочередно пользуются одной и той же линией связи.
- Элементы типа ТС сохраняют такие достоинства элементов с логическим выходом как быстродействие и высокая нагрузочная способность.

Выход с открытым эмиттером

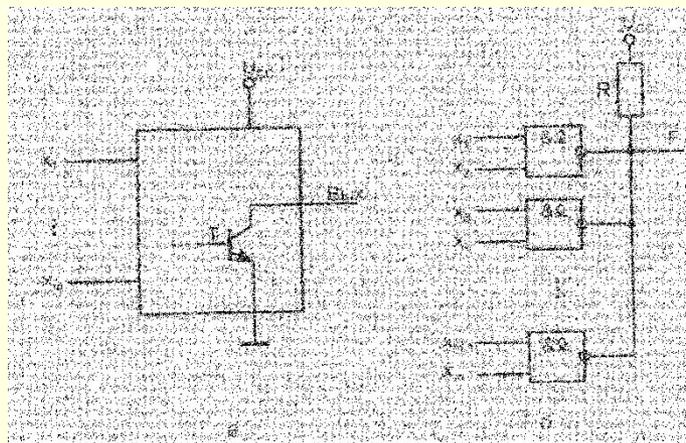
- **Выход с открытым эмиттером** характерен для элементов типа ЭСЛ. Для работы на магистраль такие элементы не используются. Возможность соединять друг с другом выходы с открытым эмиттером при объединении эмиттерных резисторов в один общий резистор приводит к схеме, называемой «эмиттерный дот» и используемой при построении логических схем для получения дополнительной операции монтажной логики.
- Элементы ЭСЛ имеют противофазные выходы, на одном из которых реализуется функция ИЛИ, на другом – ИЛИ-НЕ. Соединяя прямые выходы нескольких элементов, получают расширение по ИЛИ (входные переменные соединяемых элементов образуют единую дизъюнкцию). Соединяя инверсные выходы, получают операцию И-ИЛИ относительно инверсий входных переменных.

Выход с открытым коллектором (1)

- **Элементы с открытым коллектором (ОК)** имеют выходную цепь, заканчивающуюся одиночным транзистором, коллектор которого не соединен с какими-либо цепями внутри микросхемы.
- Транзистор управляется от предыдущей части схемы элемента так, что может находиться в насыщенном или запертом состоянии. Насыщенное состояние трактуется как отображение логического нуля, запертое – единицы. Насыщение транзистора обеспечивает на выходе напряжение U^0 – малое напряжение насыщения «коллектор-эмиттер». Запирание же транзистора какого-либо уровня напряжения на выходе элемента не задает, выход при этом имеет фактически неизвестный «плавающий» потенциал, т. к. не подключен к каким-либо цепям схемы элемента. Поэтому для формирования высокого уровня напряжения при запирании транзистора на выходе элементов с открытым коллектором (типа ОК) требуется подключать внешние резисторы (или другие нагрузки), соединенные с источником питания.

Выход с открытым коллектором (2)

- Несколько выходов типа ОК можно соединять параллельно, подключая их к общей для всех выходов цепочке. При этом можно получить режим поочередной работы элементов на общую линию, как и для элементов типа ТС, если активным будет лишь один элемент, а выходы всех остальных окажутся запертыми. Если же разрешить активную работу элементов, выходы которых соединены, то можно получить дополнительную логическую операцию, называемую операцией монтажной логики.
- **Схема выходной цепи цифрового элемента с открытым коллектором (а) и реализации монтажной логики (б)**



Выход с открытым коллектором (3)

- При реализации монтажной логики высокое напряжение на общем выходе возникает только при запираии всех транзисторов, т. к. насыщение хотя бы одного из них снижает выходное напряжение до уровня $U^0 = U_{кЭН}$. То есть для получения логической единицы на выходе требуется единичное состояние всех выходов: выполняется монтажная операция И. В обозначениях элементов с ОК после символа функции ставится ромб с черточкой снизу.
- При использовании элементов с ОК в магистрально-модульных структурах требуется разрешать или запрещать работу того или иного элемента. Для элементов типа ТС это делалось с помощью специального сигнала ОЕ. Для элементов типа ОК в качестве входа ОЕ может быть использован один из обычных входов элемента. Если речь идет об элементе И-НЕ, то, подавая 0 на любой из входов, можно запретить работу элемента, поставив его выход в разомкнутое состояние независимо от состояния других входов. Уровень 1 на этом входе разрешит работу элемента.

Выход с открытым коллектором (4)

- **Положительной чертой** элементов с ОК при работе в магистрально-модульных системах является их защищенность от повреждений из-за ошибок управления, приводящих к одновременной выдаче на шину нескольких слов, а также возможность реализации дополнительных операций монтажной логики.
- **Недостатком** таких элементов является большая задержка переключения из 0 в 1. При этом переключении происходит заряд выходной ёмкости сравнительно малым током резистора R . Сопротивление резистора нельзя сделать слишком малым, т. к. это привело бы к большим токам выходной цепи в статике при насыщенном состоянии выходного транзистора. Поэтому положительный фронт выходного напряжения формируется относительно медленно с постоянной времени RC . До порогового напряжения (до середины полного перепада напряжения) экспоненциально изменяющийся сигнал изменится за время $0.7RC$.

Выход с открытым коллектором (5)

- При работе с элементами типа ОК проектировщик должен задать сопротивление резистора R , которое не является стандартным, а определяется для конкретных условий. Анализ статических режимов задает ограничения величины сопротивления R снизу и сверху. Значение сопротивления резистора R выбирается в этом диапазоне с учётом быстродействия схемы и потребляемой ею мощности.
- *Ограничение снизу* величины сопротивления резистора R связано с тем, что её уменьшение может вызвать перегрузку насыщенного транзистора по току.
- *Ограничение сверху* величины сопротивления резистора R связано с необходимостью обеспечения достаточно высокого уровня напряжения U^1 , формируемого в схеме при запертом состоянии всех выводов элементов с ОК.

Выход с открытым коллектором (6)

- Схемы для расчета минимального (а) и максимального (б) значений сопротивления внешней цепи в каскадах с открытым коллектором

